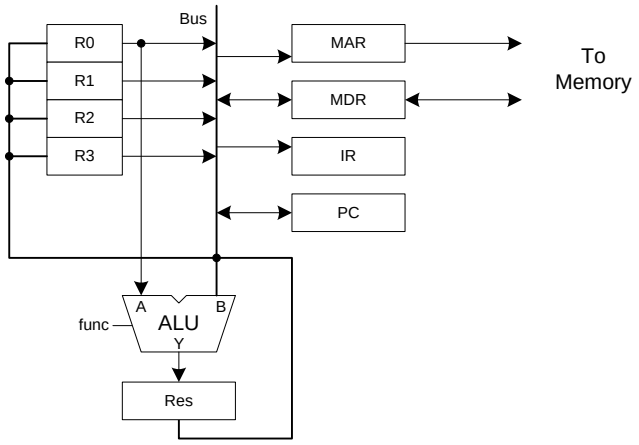
آزمون پایان ترم **معماری کامپیوتر**
نیم‌سال **اول ۹۴-۹۳**
مدت زمان آزمون : **۱۲۰ دقیقه**

پرسش ۱ [پیاده‌سازی چند مرحله‌ای پردازنده، ۴ نمره]: مسیر داده‌ی یک پردازنده ساده در زیر نمایش داده شده است.

الف- مراحل لازم برای Instruction Fetch را نشان دهید.

ب- برای اجرای دستور SWAP R0, R1 به چند سیکل نیاز است؟ (این دستور محتویات رجیسترهای R0 و R1 را جابجا می‌کند)



func	Y
000	A
001	B
010	A + B
011	A – B
100	B + 1
101	NOT A
110	A AND B
111	A OR B

پرسش ۲ [پایپ‌لاین، ۳ نمره]: یک پردازنده‌ی پایپ‌لاین با ۵ مرحله را در نظر بگیرید. اگر تعداد مراحل این پایپ‌لاین را به ۸ مرحله تبدیل کنیم، سیکل ساعت پایپ‌لاین جدید برابر ۷۰٪ سیکل پایپ‌لاین ۵ مرحله‌ای است. اگر یک برنامه روی پایپ‌لاین ۵ مرحله‌ای اجرا شود، ۱۰٪ از دستورات وابستگی داده‌ای دارند که پایپ‌لاین را به مدت ۱ سیکل متوقف می‌کنند. اگر همین برنامه روی پایپ‌لاین ۸ مرحله‌ای اجرا شود، ۲۰٪ از دستورات وابستگی داده‌ای دارند که پایپ‌لاین را به مدت ۲ سیکل متوقف می‌کنند. برای اجرای این برنامه کدام پردازنده سریعتر است و میزان تسریع آن تقریبا چقدر است؟

پرسش ۳ [پایپ‌لاین، ۳ نمره]: فرض کنید در یک پردازنده پایپ‌لاین با ۵ مرحله، ۲۰٪ دستورات وابستگی کنترلی دارند. اگر از روش پیش-بینی ایستای شرط استفاده کنیم در یک برنامه خاص ۲۰٪ و اگر از روش پیش‌بینی پویا استفاده کنیم حدود ۸۰٪ پیش‌بینی‌های پرش شرطی به صورت صحیح انجام می‌شود. اگر به ازای هر پیش‌بینی اشتباه ۲ دستور از پایپ‌لاین خارج شود، حد میزان تسریع روش پویا نسبت به روش ایستا چقدر است؟

پرسش ۴ [سلسله مراتب حافظه، ۳ نمره]: فرض کنید در یک برنامه ۴۰٪ از دستورات به حافظه اصلی دسترسی پیدا می‌کنند که از آن ۷۵٪ دستورات دسترسی به حافظه از نوع lw و ۲۵٪ باقیمانده از نوع sw باشند. فرض کنید حافظه دارای دو Cache یکسان برای دستورات و داده‌ها است و هم‌چنین فرض کنید نرخ برخورد و زمان دسترسی به حافظه Cache و حافظه اصلی به ترتیب برابر ۹۸٪ ، ۱ سیکل و ۱۰۰٪ ۲۰ سیکل باشند. در این صورت زمان دسترسی موثر به حافظه در این برنامه برای دو حالت زیر چقدر است:

الف – از سیاست Write Through برای نوشتن در Cache استفاده شود.

ب- از سیاست Write Back برای نوشتن در Cache استفاده شود. فرض کنید تا پایان برنامه هیچ خانه‌ای از Cache جایگزین نمی‌شود.

پرسش ۵ [سلسله مراتب حافظه، ۳ نمره]: یک سیستم حافظه با سه سطح L_1 cache، L_2 cache و RAM را در نظر بگیرید. فرض کنید تأخیر هریک از این حافظه‌ها به ترتیب 1، 3 و 70 نانو ثانیه باشد. اگر در 90 درصد موارد دسترسی به L_2 و در 100 درصد موارد

دسترسی به RAM موفقیت‌آمیز باشد، نرخ برخورد (Hit Rate) حافظه L_1 باید حداقل چقدر باشد که زمان دسترسی مؤثر به این سیستم حافظه از 1.5 برابر زمان دسترسی به L_1 بیشتر نباشد؟

پرسش ۶ [ورودی/خروجی، ۲ نمره]: یک پردازنده با سیکل ۵۰ نانوثانیه را در نظر بگیرید که از طریق یک گذرگاه به یک حافظه با زمان دسترسی ۴۰ نانوثانیه متصل شده است. در صورتی که تمام پهنای باند حافظه مورد استفاده قرار بگیرد، چند دستگاه ورودی با سرعت انتقال 1 MW/Sec را می‌توان بدون اینکه کارایی پردازنده افت کند به این پردازنده متصل کرد؟
فرض کنید هر دستور پردازنده یک کلمه حافظه را اشغال می‌کند.

پرسش ۷ [پردازنده‌های چند هسته‌ای، ۲ نمره]: فرض کنید در یک برنامه قرار است ۱۰ عدد اسکالر را با هم و دو ماتریس ۱۰۰ × ۱۰۰ را نیز با هم جمع کنیم. جمع اعداد اسکالر را به عنوان بخش ترتیبی برنامه و جمع دو ماتریس را به عنوان بخش قابل موازی‌سازی برنامه در نظر بگیرید.
الف- اگر برای اجرای این برنامه از ۱۰۰ پردازنده استفاده کنیم، میزان تسریع اجرای موازی برنامه در مقایسه با اجرای ترتیبی آن بر روی یک پردازنده چقدر است؟
ب- اگر به یکی از پردازنده‌ها ۲٪ کار را اختصاص دهیم و بقیه کار را بین ۹۹ پردازنده دیگر تقسیم کنیم، میزان تسریع اجرای موازی برنامه در مقایسه با اجرای ترتیبی آن بر روی یک پردازنده چقدر است؟

پیروز باشید
صفری