آشنایی با ابزار TimeQuest

در نرم افزار Quartus Analyzer

راهنمای پیش‌رو برای آموزش کار با نرم‌افزار Quartusنسخه ۱۳/۱ متعلق به شرکت Altera تهیه شده است. کلیه حقوق این اثر متعلق به گروه ICEEP دانشگاه تهران است. هر گونه تکثیر از این اثر منوط به اجازه‌ی کتبی پدیدآورندگان این راهنما در گروه ICEEP می‌باشد.

بر اساس قانون حق انتشار تمام حقوق این سند به دانشگاه تهران تعلق دارد و هر گونه انتشار از آن صرفاً با کسب اجازه از آن نهاد امکان پذیر می‌باشد.

www.ICEEP.ir

فهرست

فصل ۱: پیشگفتار ۳

فصل ۲: آشنایی با ابزار TimeQuest Analyzer ۲

فصل ۳: مرور سریع بر نحوه ساخت پروژه جدید و ایجاد و کامپایل یک فایل HDL ٤

فصل ٤: نحوه استفاده از ابزار MegaWizard Plug-In Manager ۱۰

فصل ۵ : نحوه استفاده از ابزار TimeQuest Analyzer ۱٤

۵-۱- نحوه ایجاد Timing Netlist ۱۸

۵-۲- نحوه تعریف کلاک مدار و تاخیر بر روی ورودی ها و خروجی ها ۱۹

۵-۳- نحوه ایجاد فایل SDC و اضافه کردن آن به پروژه ۲۵

۵-٤- کشف و رفع خطاهای زمانی با استفاده از ابزار TimeQuest Analyzer ۲۷

www.ICEEP.ir

فهرست اشکال

شکل (۳-۱) شمای کلی نرم افزار Quartus برای ایجاد یک پروژه جدید. ۵
شکل (۳-۲) ست کردن نام و محل ذخیره شدن پروژه جدید ۶
شکل (۳-۳) مرحله نهایی تعریف یک پروژه جدید ۷
شکل (۳-٤) نحوه تعریف یک فایل HDL جهت کامپایل کردن و سنتز ۸
شکل (۳-۵) نمایی از یک فایل HDL ساده از گیت یک مالتی پلکسر 3*1 با استفاده از زبان VHDL ۸
شکل (٤-۱) صفحه نخست استفاده از ابزار MegaWizard Plug-In Manager جهت استفاده از ابزارها و گیت های از پیش تعریف شده در Quartus ۱۱
شکل (٤-۲) نحوه استفاده از گیت مالتی پلکسر موجود در Quartus و تعریف یک نمونه از آن با نام MUX3X1 ۱۲
شکل (٤-۳) تعیین تعداد ورودی ها و تعداد بیت های هر ورودی و خروجی ۱۳
شکل (۵-۱) انتخاب گزینه Start Compilation جهت شروع عملیات کامپایل و سنتز مدار ۱۵
شکل (۵-۲) پیغام انجام بدون خطای syntax عملیات کامپایل ۱۶
شکل (۵-۳) نحوه مقدار دهی پین ها به پورت های ورودی و خروجی ۱۶
شکل (۵-٤) آنالیز و سنتز موفقیت آمیز مدار ۱۷
شکل (۵-۵) محیط نرم افزار Quartus جهت استفاده از ابزار TimeQuest Analyzer ۱۸
شکل (۵-۶) پنجره ظاهر شده برای ایجاد یک Timing Netlist ۱۹
شکل (۵-۷) ایجاد کلاک در مدار ۲۰
شکل (۵-۸) تخصیص دادن کلاک ایجاد شده بر روی کلاک مدار ۲۱
شکل (۵-۹) ست کردن مقدار تاخیر بر روی ورودی مدار ۲۲
شکل (۵-۱۰) اضافه کردن سیگنال های ورودی مدار جهت اعمال تاخیر ۲۳
شکل (۵-۱۱) ست کردن مقدار تاخیر بر روی خروجی مدار ۲٤
شکل (۵-۱۲) اضافه کردن سیگنال های ورودی مدار جهت اعمال تاخیر ۲۵
شکل (۵-۱۳) صفحه Add/Remove File جهت اضافه کردن یا حذف کردن یک فایل از مدار ۲۶
شکل (۵-۱٤) رخ دادن خطای زمانی به علت بالا بودن میزان تاخیر روی ورودی ها و خروجی ها ۲۷
شکل (۵-۱۵) مشخص کردن خطای زمانی در گزارش های نهایی تولید شده توسط Quartus ۲۸
شکل (۵-۱۶) بخش مربوط به گزارشات TimeQuest Timing Analyzer و مشخص بودن خطاهای رخ داده ۲۸

www.ICEE.ir

شکل (۵-۱۷) فایل SDC اضافه شده به لیست فایل های موجود در پروژه..... ۲۹
شکل (۵-۱۸) بخش مربوط به تاخیرهای ورودی و خروجی در فایل SDC تولید شده..... ۳۰
شکل (۵-۱۹) گزارش اجرای درست مدار بدون رخ دادن خطای زمانی..... ۳۰

www.ICEEP.ir

فصل اول

پیشگفتار

Copyright © 2014 ICEEP, University of Tehran

در این راهنما به بررسی نحوه‌ی استفاده از ابزار TimeQuest Analyzer در نرم افزار Quartus، جهت تحلیل مدار از نظر زمانی و رفع خطاهای تاخیر موجود می پردازیم.

بدیهی است گفتار پیش رو برای آن دسته از افرادی که آشنایی ابتدایی با نرم افزار Quartus را دارند و با نحوه ایجاد یک پروژه جدید و کامپایل و سنتز کردن آن آشنایی ابتدایی دارند.

در فصل ۲ توضیحات کلی در مورد ابزار TimeQuest Analyzer را خواهیم دید. در فصل ۳ مروری سریع بر نحوه ایجاد یک پروژه جدید در Quartus خواهیم داشت. فصل ٤ به استفاده از ابزار MegaWizard Plug-In Manager جهت استفاده از گیت و مدارات آماده موجود در Quartus می پردازد و در نهایت در فصل ۵ به نحوه استفاده از ابزار TimeQuest Analyzer جهت تحلیل زمانی مدار و کشف و رفع خطاهای زمانی موجود در مدار خواهیم پرداخت.

www.ICEEP.ir

فصل دوم

آشنایی با ابزار

TimeQuest Analyzer

آنالیز زمانی (Timing Analysis) مقدار تاخیر یک سیگنال برای رسیدن به مقصدش را محاسبه می کند. TimeQuest Analyzer یک ابزار قوی در زمینه ی آنالیز زمانی می باشد که نرم افزار Quartus این ابزار را در اختیار طراحان مدارات قرار می دهد. بر روی این ابزار می توان محدودیت و آنالیز صنعتی را وارد کرد.

در طول آنالیز زمانی، TimiQuest analyzer مسیر زمانی در طراحی مورد نظر را آنالیز و همچنین تاخیر انتشار را در طول مسیر محاسبه می کند. از دیگر وظایف این ابزار می توان بررسی کردن تخلف در محدودیت زمانی و گزارش نتایج زمانی می باشد. از این رو به راحتی می توان نقاطی را که احتیاج به محدودیت بیشتری دارد تشخیص داد. در بخش های بعد می توانید با نحوه ی عملکرد TimeQuest Timing Analyzer بیشتر آشنا شوید.

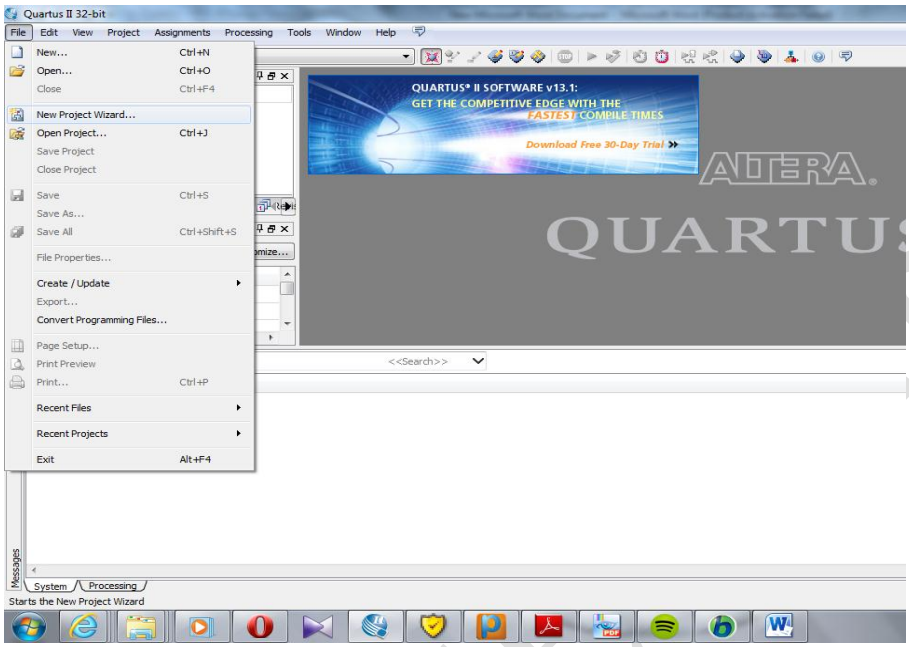
در ادامه سعی بر این داریم تا از TimeQuest Timing analyzerجهت آنالیز زمانی استفاده کنیم. برای این کار ابتدا پروژه ی جدیدی می سازیم سپس محدودیت های لازم را بر روی Clock و ورودی و خروجی های سیستم اعمال می کنیم. در نهایت یک SDC فایل تولید میشود که این فایل را به پروژه ی خود اضافه می کنیم.

www.ICEP.ir

فصل سوم

مرور سریع بر نحوه ساخت پروژه جدید و ایجاد و کامپایل یک فایل HDL

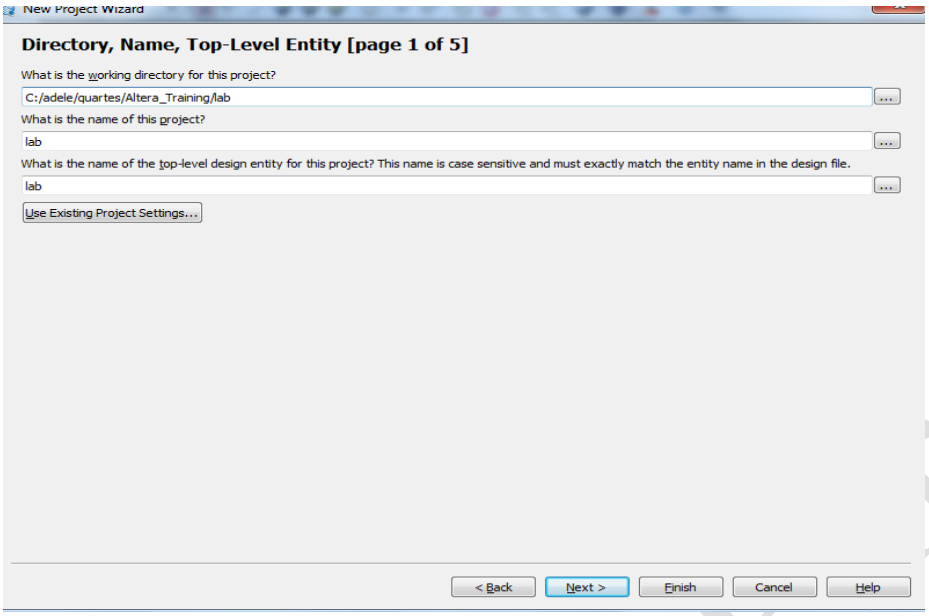
همان طور که در راهنما ی شروع اولیه با Quartus II گفتیم برای شروع کار ابتدا باید پروژه ی مورد نظر را تعریف کنیم به منوی File میرویم و گزینه New project wizard را انتخاب می کنیم.



شکل (۳-۱) شمای کلی نرم افزار Quartus برای ایجاد یک پروژه جدید.

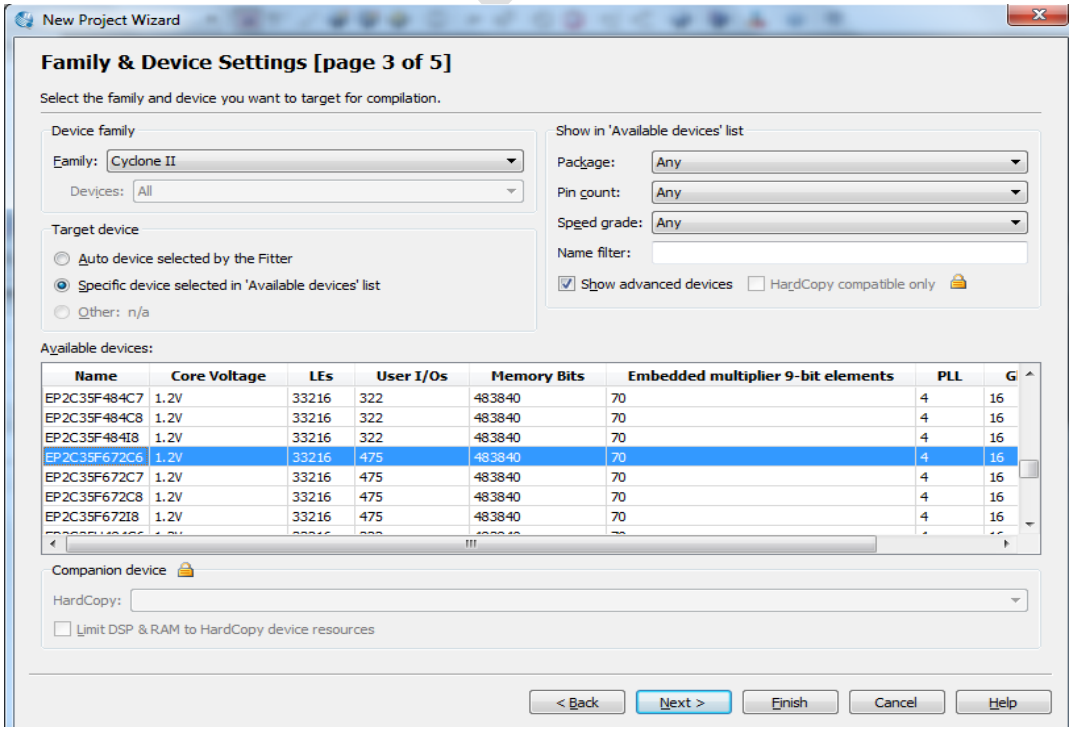
سپس در پنجره ی باز شده برای قسمت Introduction ، Next را انتخاب می کنیم و حال برای قسمت directory باید working Directory و Project Name را تعیین کنیم.برای مثال داریم:

www.ICE...



شکل (۳-۲) ست کردن نام و محل ذخیره شدن پروژه جدید.

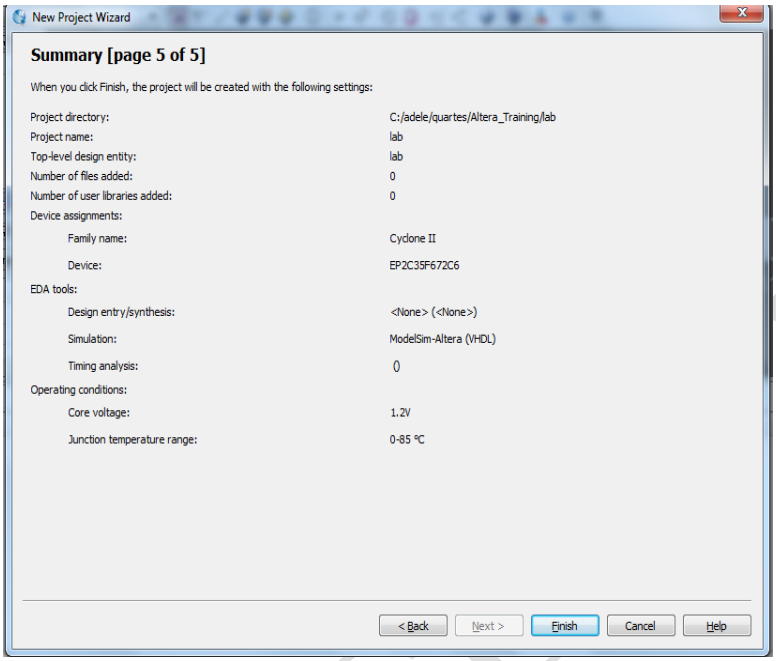
سپس Next را میزنیم ودر قسمت Add File همNext را می زنیم و در قسمت Family & Device در بخش Device Family ، Cyclone II را انتخاب می کنیم و در بخش Available Device، Device خود را انتخاب می کنید که در اینجا device ما EP2C35F672C6 است .



شکل ۳-۳. تعیین نام Device مورد استفاده و نوع آن.

Copyright © 2014 ICEEP, University of Tehran

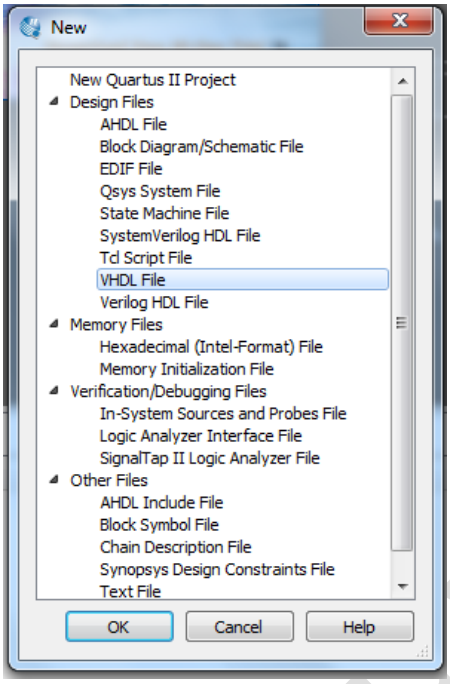
در ادامه کلید Next را فشار می دهیم و در صورتی که از ابزارهای دیگرEDA استفاده نشود دوباره کلید Next را فشار می دهیم و در انتها کلید Finish را فشار می دهیم .



شکل (۳-۳) مرحله نهایی تعریف یک پروژه جدید.

برای تولید و Compile کردن یک فایل به صورت زیر عمل می کنیم. در زیر منوی File گزینه ی New را انتخاب می کنیم و در منوی باز شده گزینه ی VHDL File را انتخاب می کنیم و بر روی ok کلید می کنیم.

www.ICEEP.ir



شکل (۳-۴) نحوه تعریف یک فایل HDL جهت کامپایل کردن و سنتز.

حال پنجره ی سفیدی برای ما باز می شود که داخل آن می توانیم کد VHDL را وارد کنیم که در اینجا شما می توانید از کد زیر استفاده کنید.

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY Lab IS
   PORT (clk: IN STD_LOGIC;
            input0, input1, input2: IN STD_LOGIC_VECTOR (3 DOWNTO 0);
            sel: IN STD_LOGIC_VECTOR (1 DOWNTO 0);
            output: OUT STD_LOGIC_VECTOR (3 DOWNTO 0)
           );
END Lab;
ARCHITECTURE Structure OF Lab IS
   COMPONENT Mux3x1 IS PORT (clock: IN STD_LOGIC;
      data0x, data1x, data2x: IN STD_LOGIC_VECTOR (3 DOWNTO 0);
      sel: IN STD_LOGIC_VECTOR (1 DOWNTO 0);
      result: OUT STD_LOGIC_VECTOR (3 DOWNTO 0));
   END COMPONENT;
BEGIN
   MuxOut: Mux3x1 PORT MAP (clk, input0, input1, input2, sel, output);
END Structure;
```

شکل (۳-۵) نمایی از یک فایل HDL ساده از گیت یک مالتی پلکسر 3*1 با استفاده از زبان VHDL.

www.ICEEP.ir

سپس ازمنویFile گزینه ی Save را می زنیم و فایل را در همان پنجره Save می کنیم. در

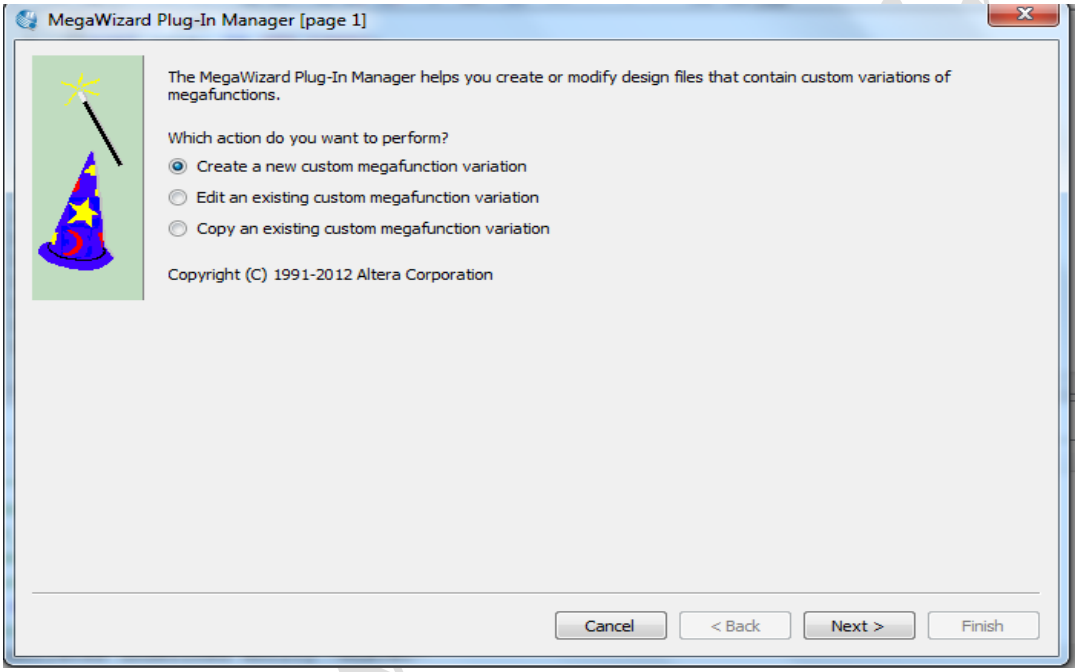
این مثال ما یک مالتی پلکسر را PORT MAP کرده ایم که با استفاده از زبان VHDL می باشد.

www.ICEEP.ir

فصل چهارم

نحوه استفاده از ابزار MegaWizard Plug-In Manager

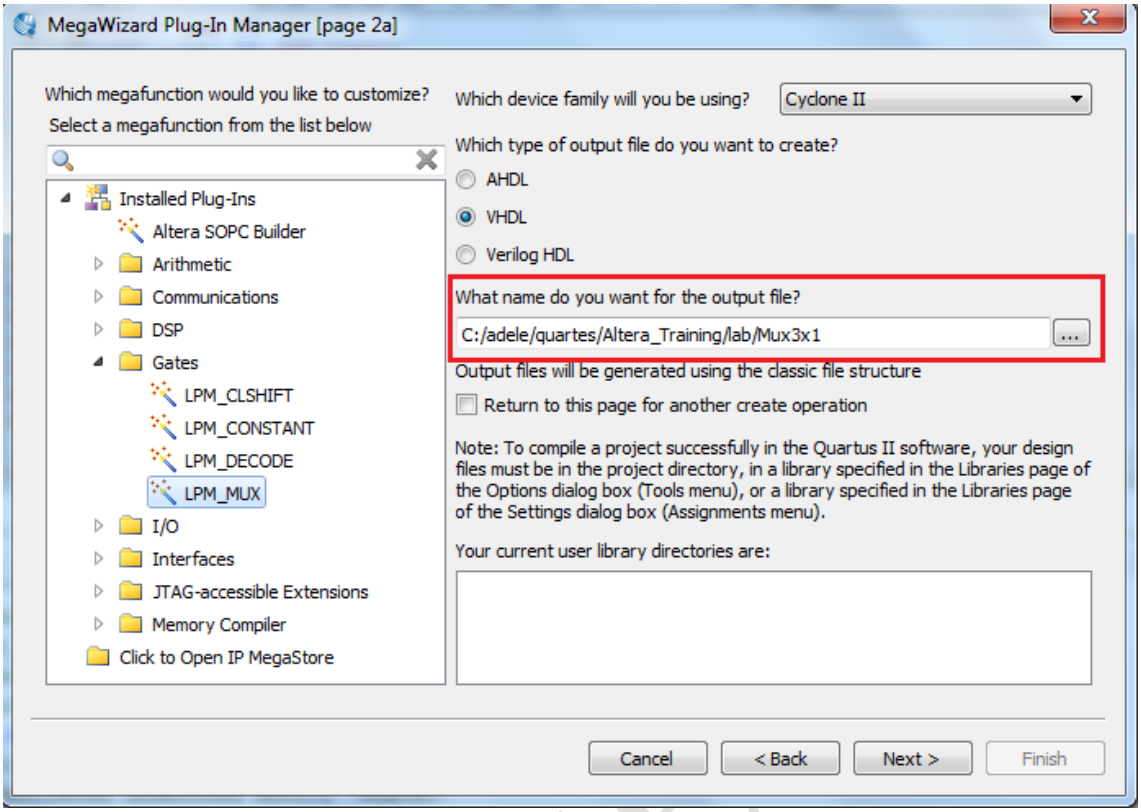
در بخش قبل نحوه ایجاد یک پروژه جدید و نحوه تعریف و اضافه کردن یک مدار مالتی پلکسر به پروژه را به طور مختصر یاد گرفتیم. برای ساختن مالتی پلکسر می توانستیم از ابزار MegaWizard® Plug-in Manager نیز استفاده کنیم . برای این کار ابتدا از منوی Tools، MegaWizard Plug-in Manager را انتخاب می کنیم. در ادامه صفحه ای مشابه شکل زیر ظاهر می شود.



شکل (۴-۱) صفحه نخست استفاده از ابزار MegaWizard Plug-In Manager جهت استفاده از ابزارها و گیت های از پیش تعریف شده در Quartus.

در پنجره ی باز شده گزینه ی Create a New Custom Megafunction Variation را انتخاب می کنیم وNext را می زنیم.

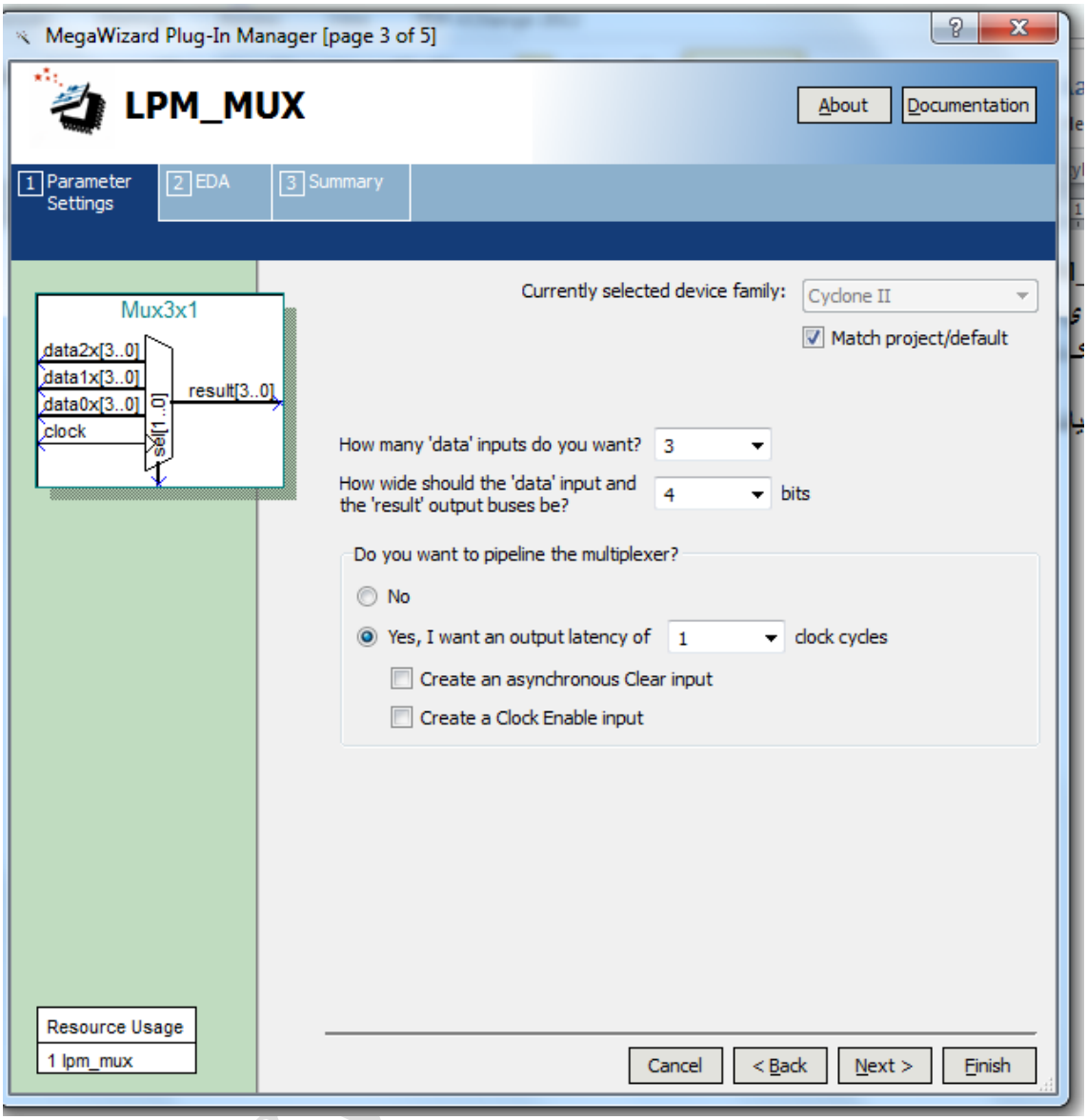
حال در صفحه ی ظاهر شده در زیر منوی Gate، LPM_MUX را انتخاب می کنیم و برای انتخاب نام ، Mux3x1 را نام گذاری می کنیم و دوباره Next را می زنیم.



شکل (۴-۲) نحوه استفاده از گیت مالتی پلکسر موجود در Quartus و تعریف یک نمونه از آن با نام MUX3X1.

در پنجره ی LPM_MUX برای تعداد ورودی ها عدد ۳ را انتخاب می کنیم و برای تعداد بیت های داده ی ورودی عدد ٤ را انتخاب می کنیم. برای بخش Do you want to pipeline the multiplexer گزینه ی Yes را انتخاب می کنیم و مقدار Clock Cycle را یک در نظر می گیریم و Next را می زنیم.

www.ICEEP.ir



شکل (۴-۳) تعیین تعداد ورودی ها و تعداد بیت های هر ورودی و خروجی.

برای قسمت بعد هم دوباره Next را می زنیم. حال در این قسمت بررسی می کنیم که Mux3x1.vhd و Mux3x1.cmp و Mux3x1_inst.vhd انتخاب شده باشند و تیک تایید آن ها را می زنیم و بعد از آن Finish را می زنیم. در این مرحله ممکن است پنجره ای مربوط به Quartus II Ip File باز شود که دراین پنجره نیز Yes را می زنیم. بدین ترتیب گیت مالتی پلکسر سه 3*1 به پروژه اضافه شد.

Copyright © 2014 ICEEP, University of Tehran

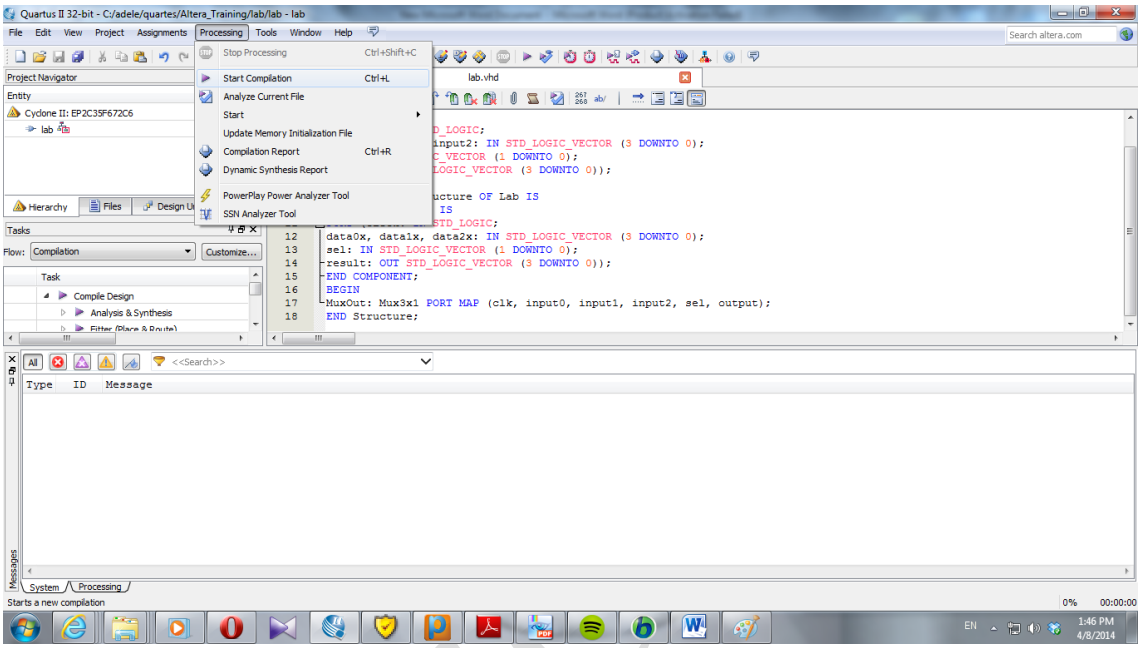
فصل پنجم

نحوه استفاده از ابزار

TimeQuest Analyzer

در بخش های قبل نحوه اضافه کردن یا ایجاد یک مدار در پروژه را به اختصار تشریح کردیم.

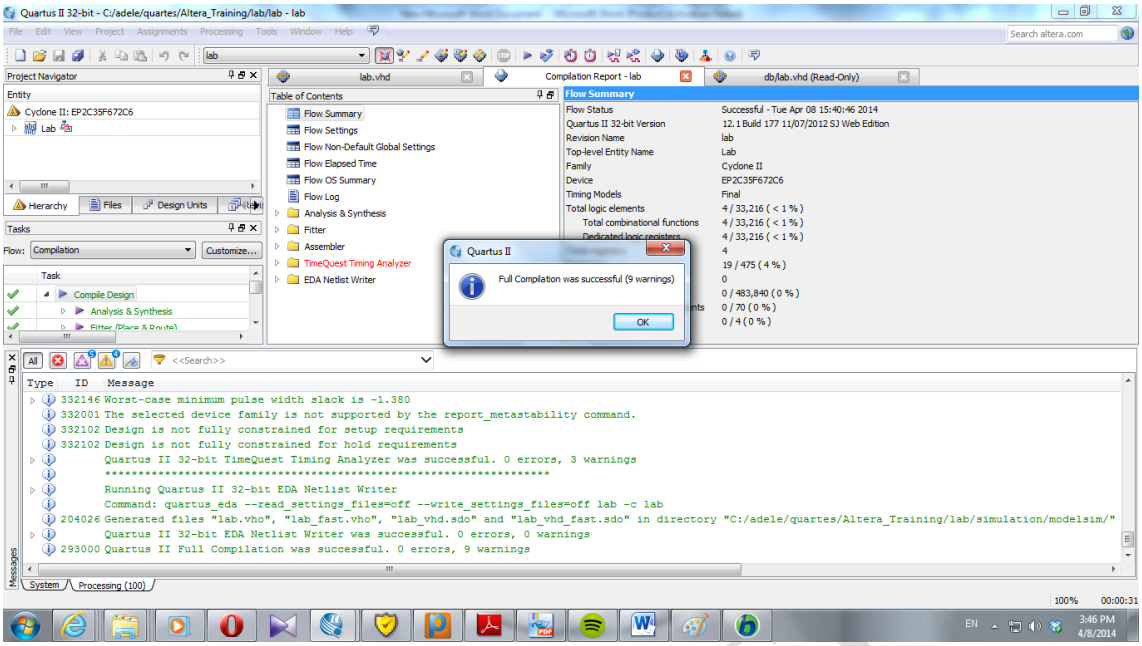
در ادامه برای انجام عملیات کامپایل از منوی Processing گزینه ی Start Compilation را انتخاب می کنیم.



شکل (۵-۱) انتخاب گزینه Start Compilation جهت شروع عملیات کامپایل و سنتز مدار

در این مرحله ممکن است با تعدادی Warning مواجه شویم که این Warning ها قابل چشم پوشی هستند . تمام Error ها و Warning ها را می توان در Box ی با نام Message مشاهده کرد.

www.ie



شکل (۵-۲) پیغام انجام بدون خطای syntax عملیات کامپایل.

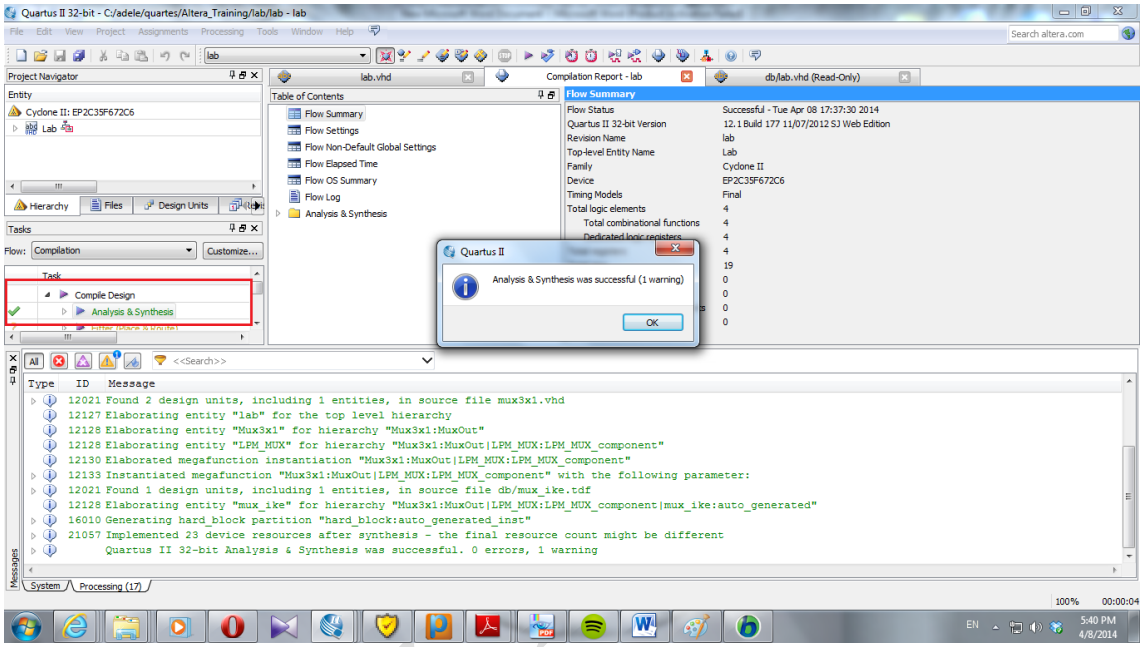
مرحله ی بعد مقدار دهی به Pin ها می باشد که در آموزش های قبل به طور کامل توضیح داده شده است . Pinها را به پورتها مشابه شکل زیر assign می کنیم.

	To	Location	DE2 Board Description
1	input0(0)	PIN_AF14	SW4
2	input0(1)	PIN_AD13	SW5
3	input0(2)	PIN_AC13	SW6
4	input0(3)	PIN_C13	SW7
5	input1(0)	PIN_A13	SW9
6	iInput1(1)	PIN_N1	SW10
7	input1(2)	PIN_P1	SW11
8	input1(3)	PIN_P2	SW12
9	input2(0)	PIN_U3	SW14
10	input2(1)	PIN_U4	SW15
11	input2(2)	PIN_V1	SW16
12	input2(3)	PIN_V2	SW17
13	sel(0)	PIN_N25	SW0
14	sel(1)	PIN_N26	SW1
15	output(0)	PIN_AE22	LEDG0
16	output(1)	PIN_AF22	LEDG1
17	output(2)	PIN_W19	LEDG2
18	output(3)	PIN_V18	LEDG3
19	Clk	PIN_N2	50MHz On Board Clock

شکل (۵-۳) نحوه مقدار دهی پین ها به پورت های ورودی و خروجی.

Copyright © 2014 ICEEP, University of Tehran

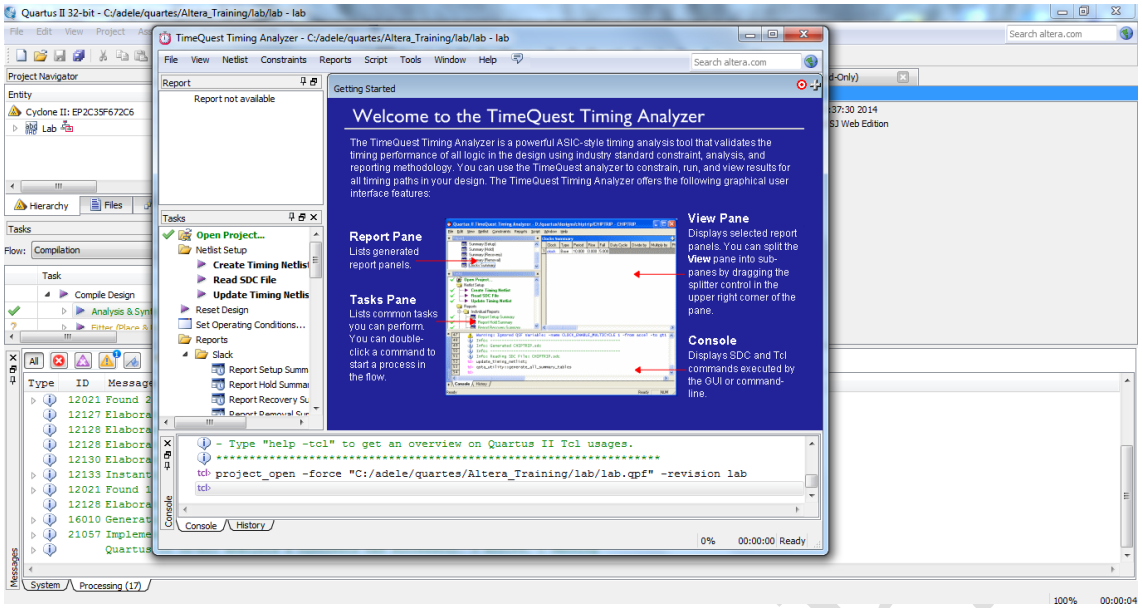
برای استفاده از ابزار TimeQuest Analyzer باید مدار طراحی شده را سنتز کنیم برای این کار لازم است به Box مربوط به Task ها برویم و بعد از آن بر روی گزینه ی Analysis & Synthesis کلیک میکنیم تا مدار ما سنتز شود و بعد در پنجره ی باز شده Ok می کنیم.



شکل (۵-۴) آنالیز و سنتز موفقیت آمیز مدار.

حال از منوی Tool گزینه ی TimeQuest Timing Analyzer را انتخاب می کنیم.

www.



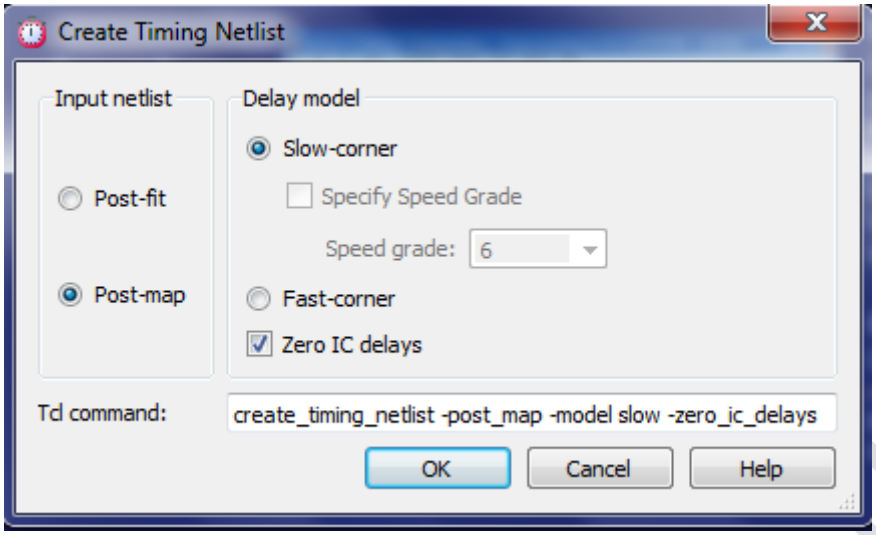
شکل (۵-۵) محیط نرم افزار Quartus جهت استفاده از ابزار TimeQuest Analyzer.

اگر در این حالت پنجره ای برای تولید SDC فایل باز شد بر روی گزینه ی No کلیک کنید.

۵-۱- نحوه ایجاد Timing Netlist

برای ساختن یک Timing Netlist ابتدا لازم است از منوی Netlist گزینه ی Create Timing Netlist را انتخاب کنیم و در قسمت Input netlist type گزینه ی Post-map را مارک دار می کنیم و سپس Ok می کنیم.

www.ICEEP.ir



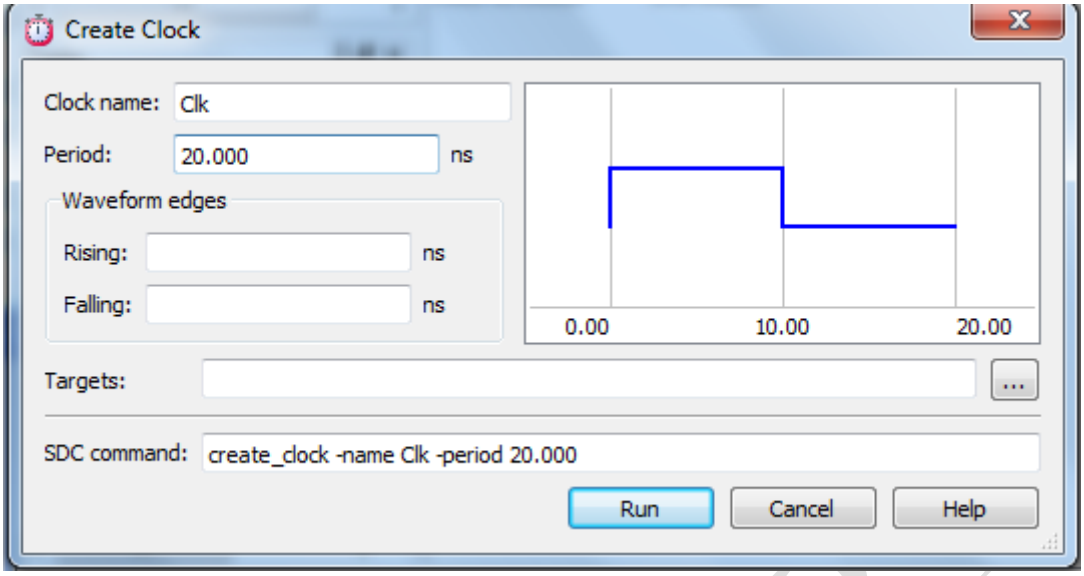
شکل (۵-۶) پنجره ظاهر شده برای ایجاد یک Timing Netlist.

حال قبل از آنکه clock مدار را تعیین کنیم از Box مر بوط به Task گزینه ی Read SDC File را انتخاب می کنیم و بر روی آن دوبار کلیک می کنیم تا اجرا شود.

۵-۲- نحوه تعریف کلاک مدار و تاخیر بر روی ورودی ها و خروجی ها

از منوی Constraints گزینه ی Create Clock را انتخاب می کنیم و Clock Name را Clk تعریف می کنیم و Period را ns۲۰ تعریف می کنیم و دکمه ی Run را می زنیم.

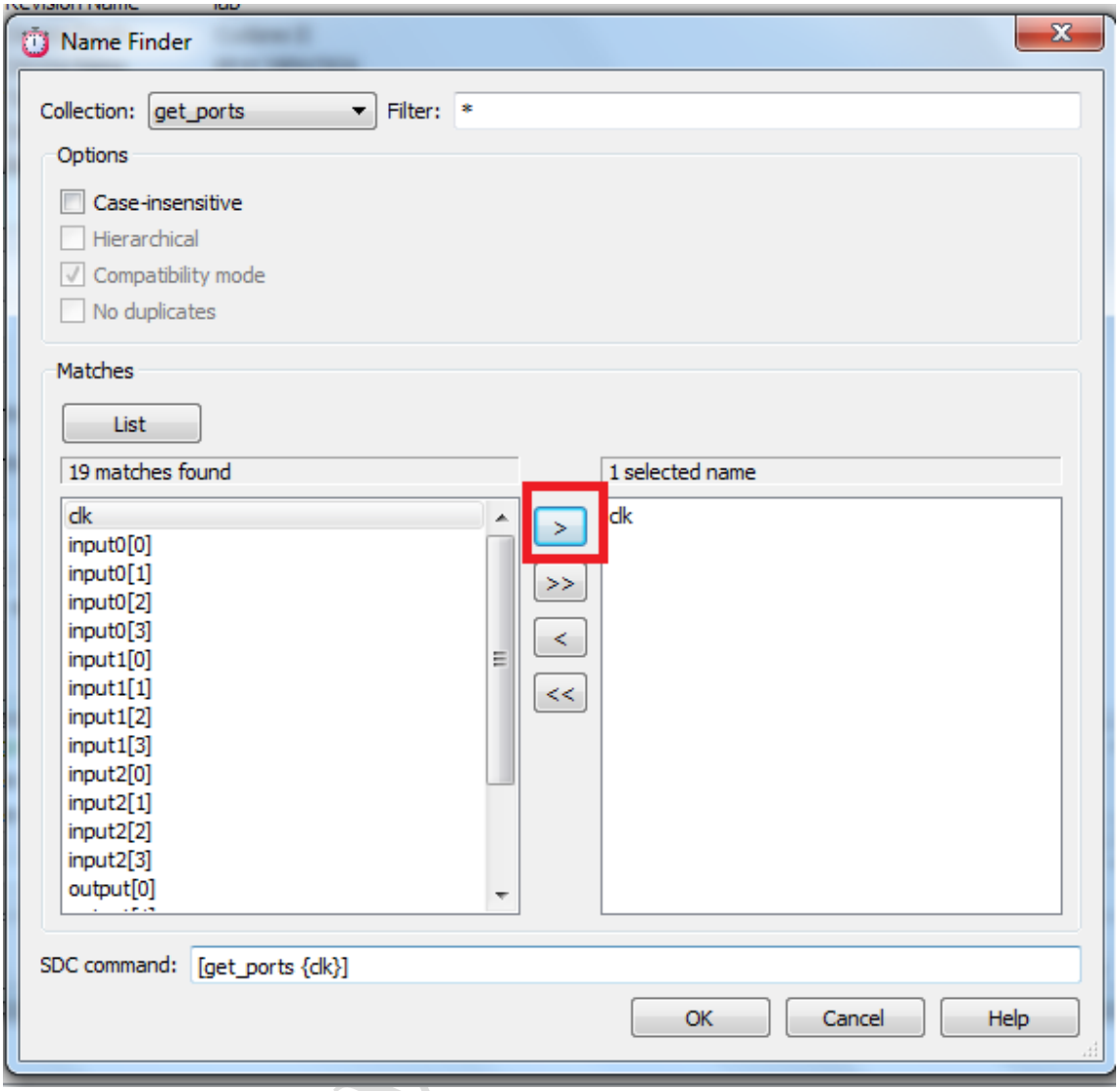
www.ICEEP.ir



شکل (۵-۷) ایجاد کلاک در مدار.

بر روی ... در مقابل بخش Target کلیک می کنیم تا پنجره ای با نام Name Finder باز شود. در بخش Matches بر روی list کلیک می کنیم و گزینه ی clk را پیدا می کنیم و بر روی > می زنیم تا کلاک در قسمت selected name ظاهر شود. حال ok را می زنیم و بعد از آن run را می زنیم.

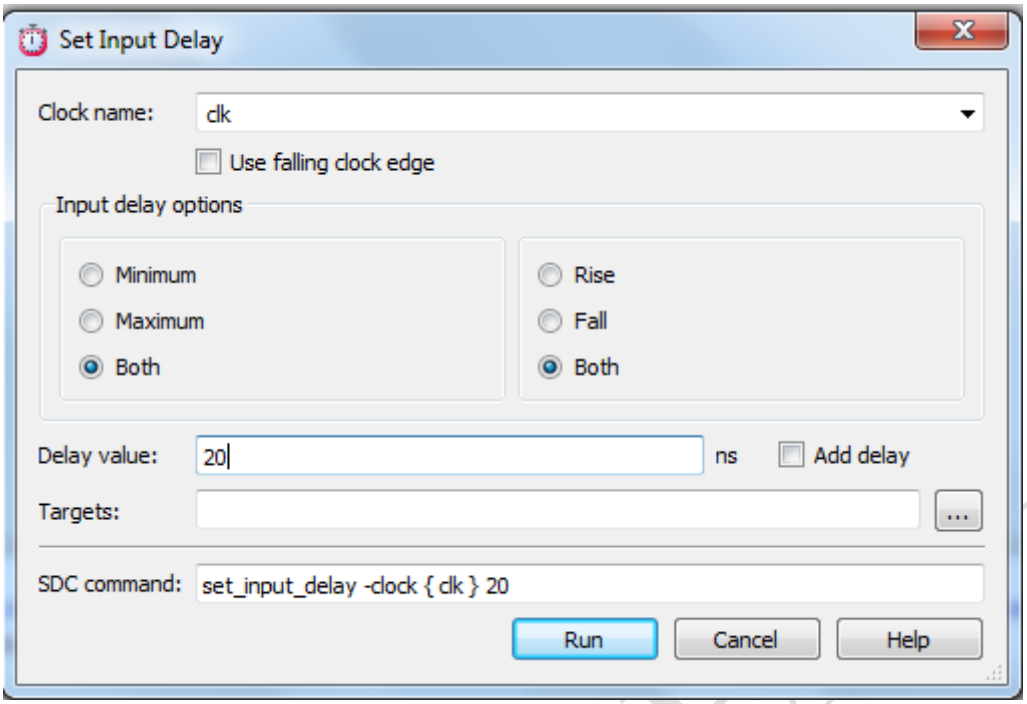
www.ICEEP.ir



شکل (۵-۸) تخصیص دادن کلاک ایجاد شده بر روی کلاک مدار

حال برای مقدار دهی برای تاخیر در ورودی از منوی constraints گزینه ی Set Input Delay را انتخاب می کنیم. در پنجره ی باز شده برای Clock Name نام clk را انتخاب می کنیم و در ابتدا برای تاخیر مقدار ۲۰ ns را در نظر می گیریم.

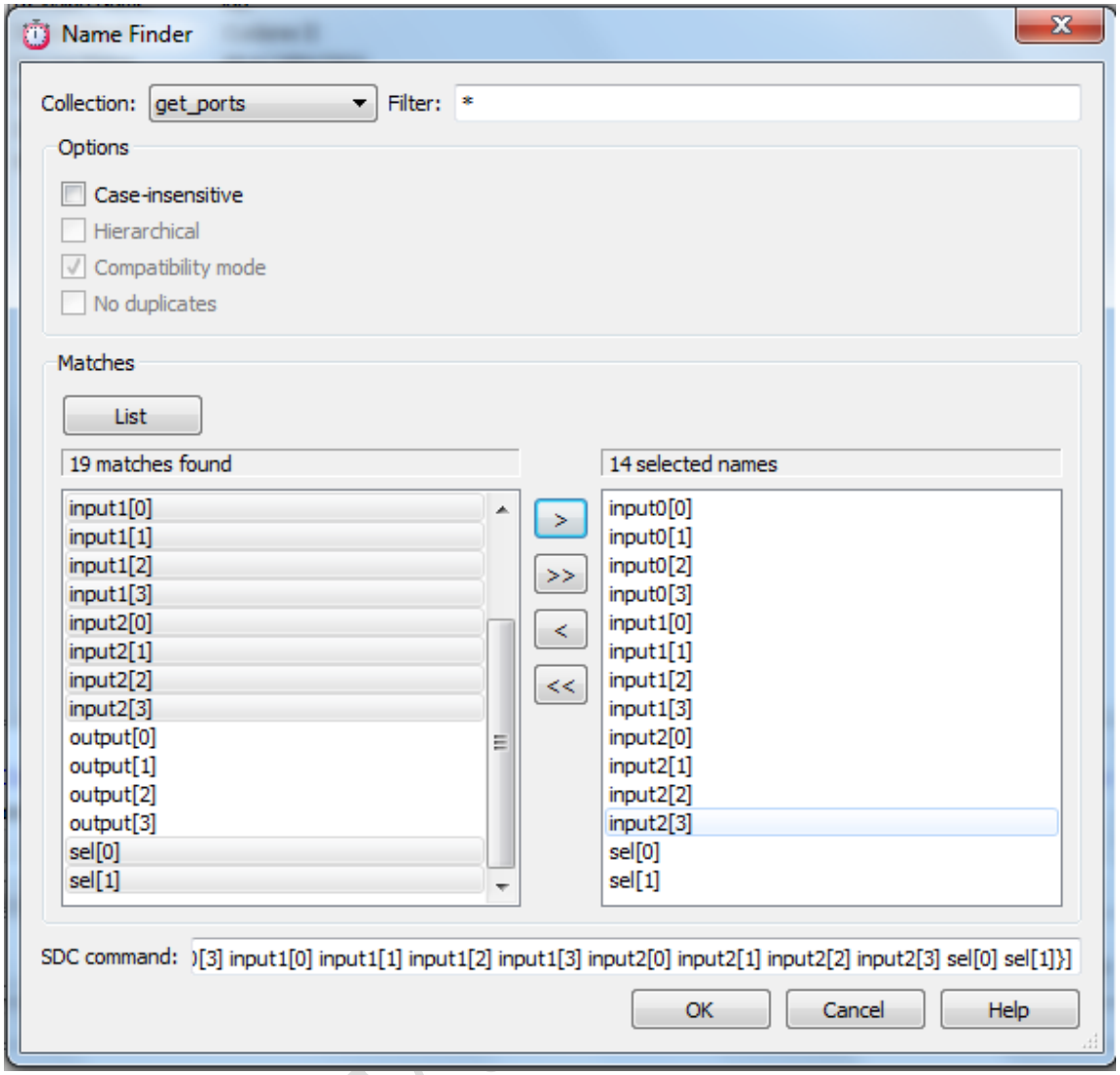
Copyright © 2014 ICEEP, University of Tehran



شکل (۵-۹) ست کردن مقدار تاخیر بر روی ورودی مدار.

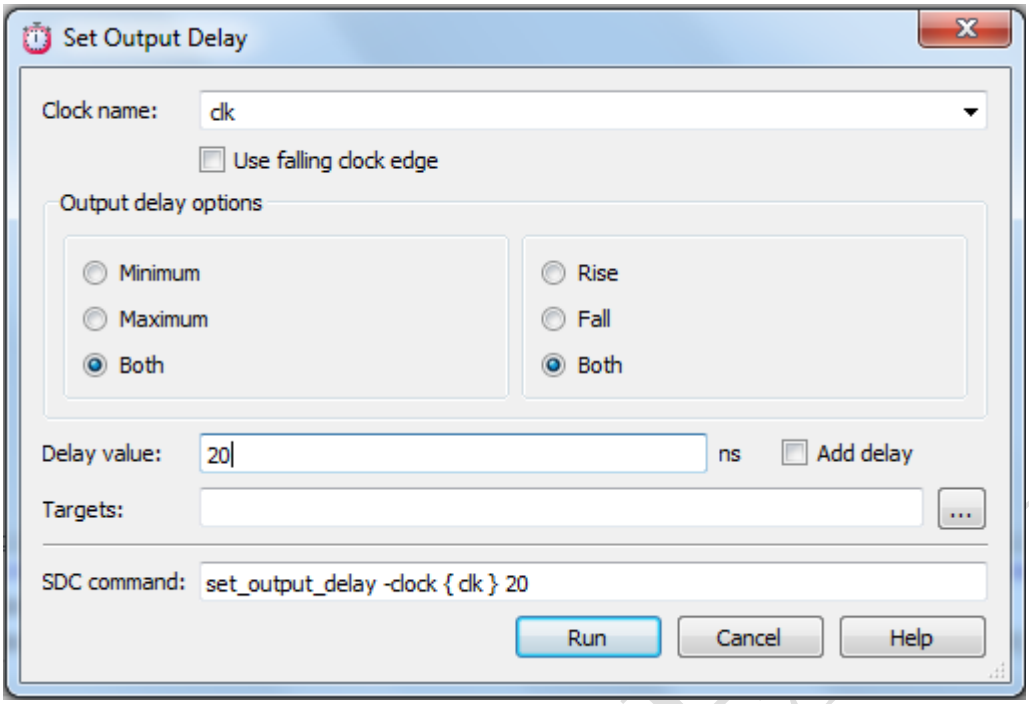
حال دوباره بر روی دکمه ... در بخش Target می زنیم و این بار در بخش Matches بر روی List می زنیم و در منوی List تمام ورودی ها را انتخاب می کنیم که در مالتی پلکسر طراحی شده ما ۳ ورودی ٤ بیتی و ۲ پایه ی select را به عنوان ورودی در نظر می گیریم.سپس بر روی > می زنیم تا ورودی های ما در قسمت selected قرار بگیرند و ok را می زنیم و پس از آن run را می زنیم.

www.ICEEP



شکل (۵-۱۰) اضافه کردن سیگنال های ورودی مدار جهت اعمال تاخیر.

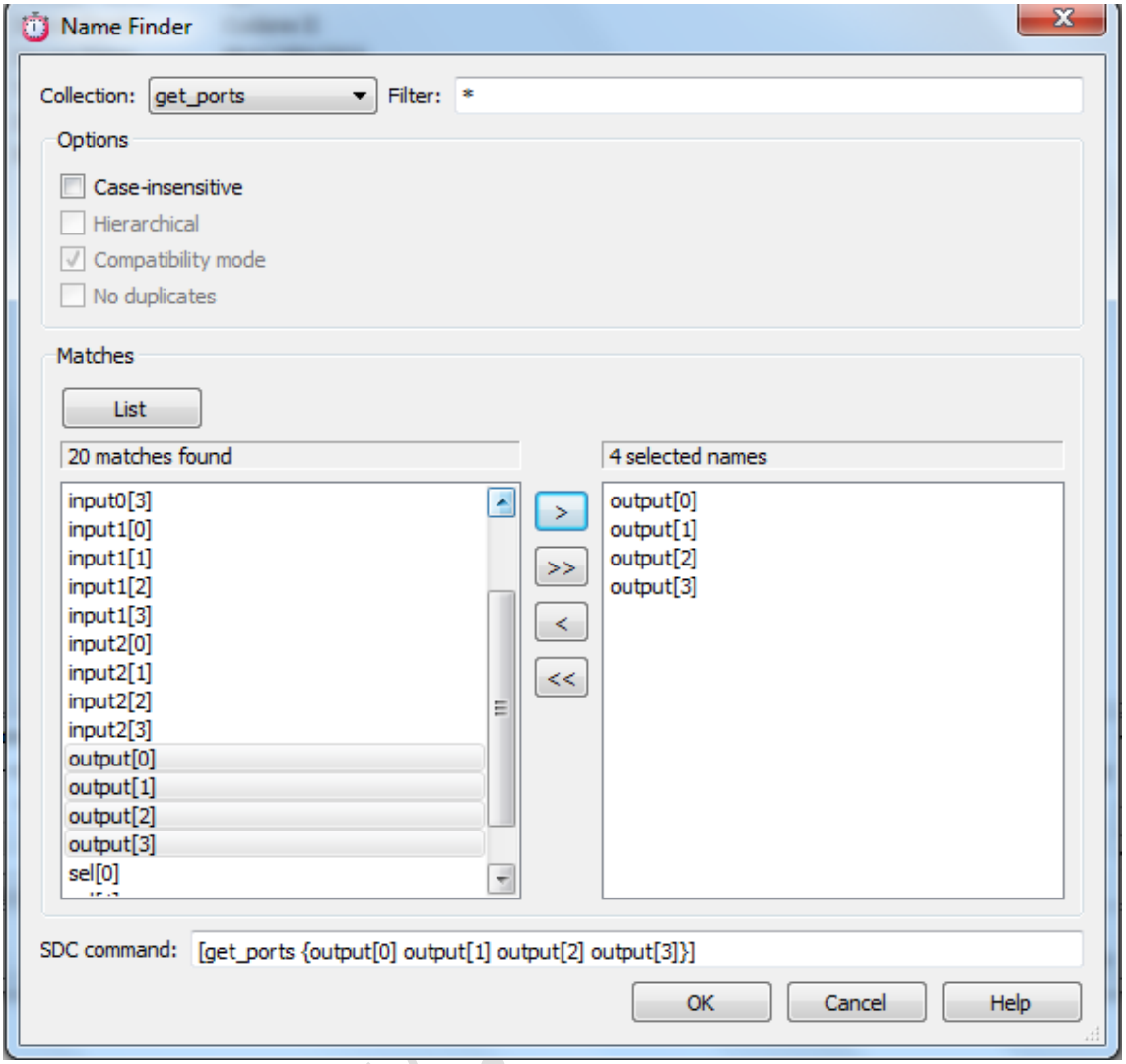
برای وارد کردن delay در خروجی همانند delay در ورودی عمل می کنیم. ابتدا از منوی Constraints گزینه ی Set Output Delay را انتخاب می کنیم .در پنجره ی باز شده برای Clock Name نام clk را انتخاب می کنیم و برای تاخیر مقدار ۲۰ ns را در نظر می گیریم.



شکل (۵-۱۱) ست کردن مقدار تاخیر بر روی خروجی مدار.

حال بر روی دکمه ... در بخش Target می زنیم و این بار در بخش Matches بر روی List می زنیم و در منوی List تمام خروجی ها را انتخاب می کنیم که در مالتی پلکسر طراحی شده ما خروجی ٤ بیتی را به عنوان خروجی مدار در نظر می گیریم.سپس بر روی > می زنیم تا خروجی های مداد در قسمت selected قرار بگیرند سپس ok را می زنیم و پس از آن run را می زنیم

www.ICEEP



شکل (۵-۱۲) اضافه کردن سیگنال های ورودی مدار جهت اعمال تاخیر.

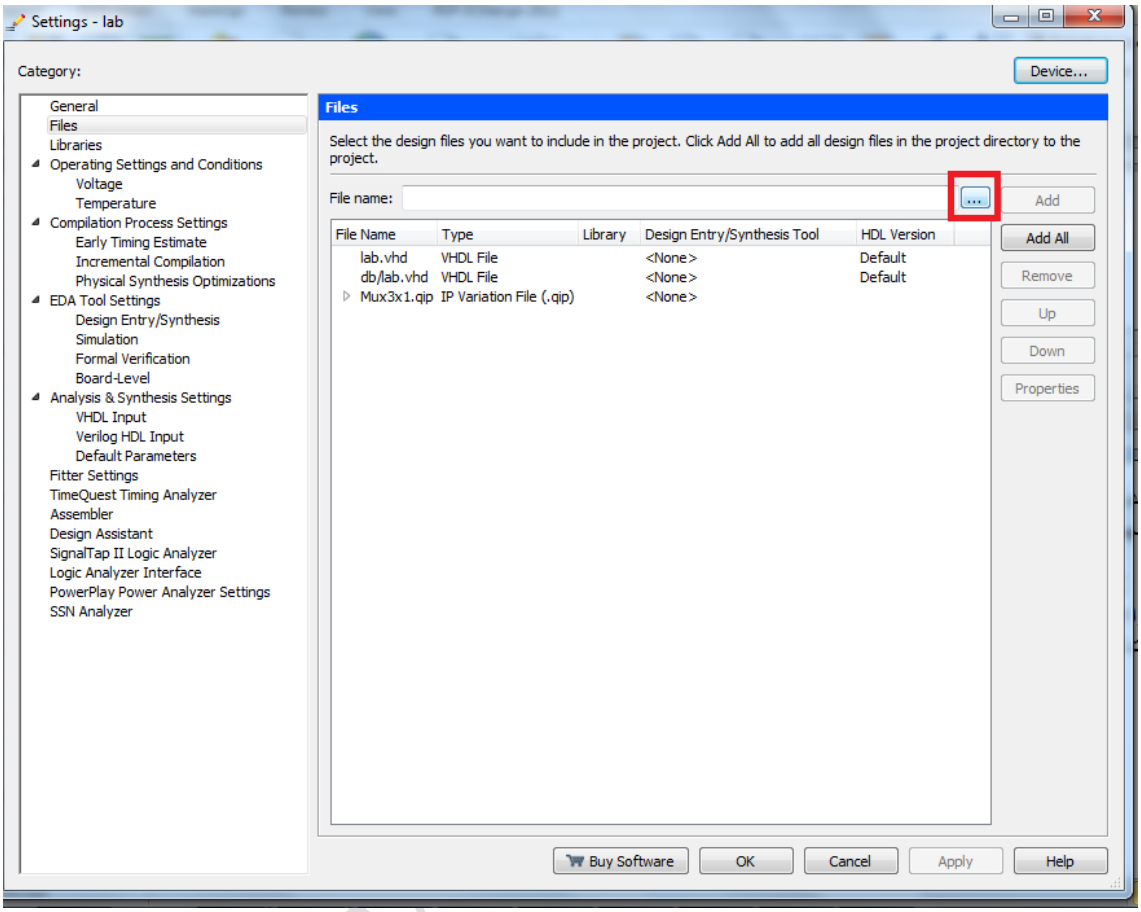
۵-۳- نحوه ایجاد فایل SDC و اضافه کردن آن به پروژه

تا اینجا توانستیم یک پروژه جدید ایجاد کرده و برای مدار مالتی پلکسر کلاک قرار دهیم و بر روی ورودی ها و خروجی های آن تاخیر قرار دهیم. مرحله ی بعد، مرحله ی ذخیره کردن SDC File است. برای این کار از منوی Constraints گزینه ی Write SDC File را انتخاب می کنیم و سپس ok می کنیم و می توانیم پنجره ی TimeQuest Timing Analyzer را ببندیم.

برای اینکه SDC فایلی را که تولید کرده ایم به مدارمان اضافه کنیم از منوی Projects گزینه

Copyright © 2014 ICEEP, University of Tehran

ی Add/Remove File in Project را انتخاب می کنیم و در این قسمت برروی file name کلیک می کنیم.



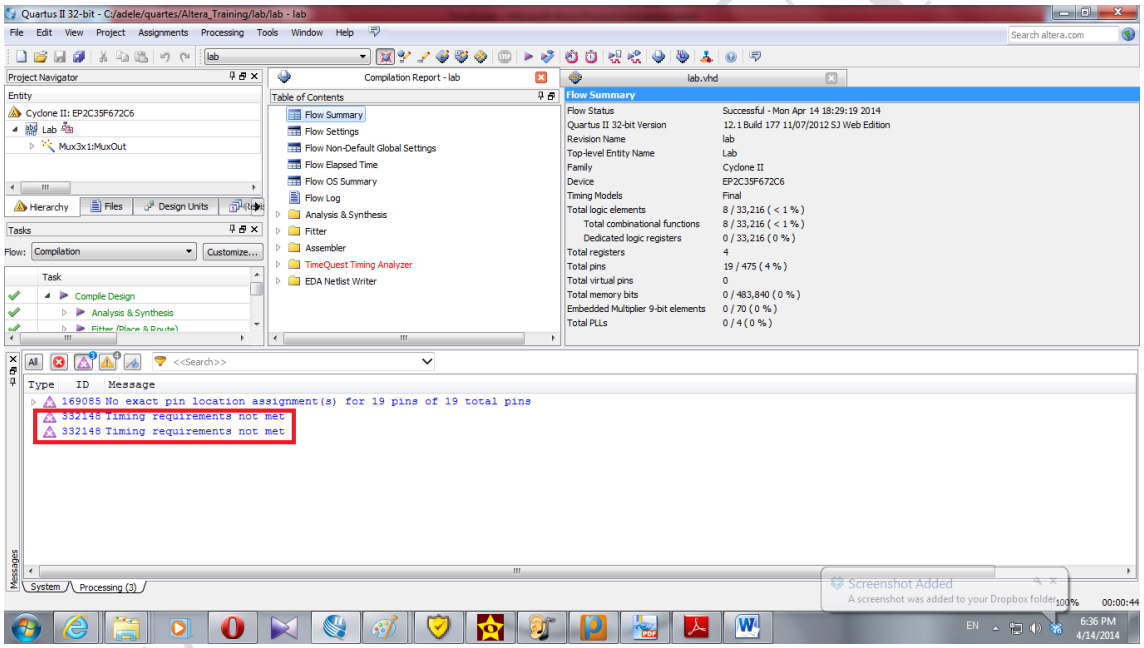
شکل (۵-۱۳) صفحه Add/Remove File جهت اضافه کردن یا حذف کردن یک فایل از مدار.

در پنجره ی باز شده Lab.out.sdc را انتخاب میکنیم.(دقت کنید که File Type در حالت All File باشد تا بتوانیم SDC فایل را بیابیم) سپس دکمه ی Add را می زنیم و بعد از آن Ok می کنیم.

Copyright © 2014 ICEEP, University of Tehran

۵-۴- نحوه کشف و رفع خطاهای زمانی با استفاده از ابزار TimeQuest Analyzer

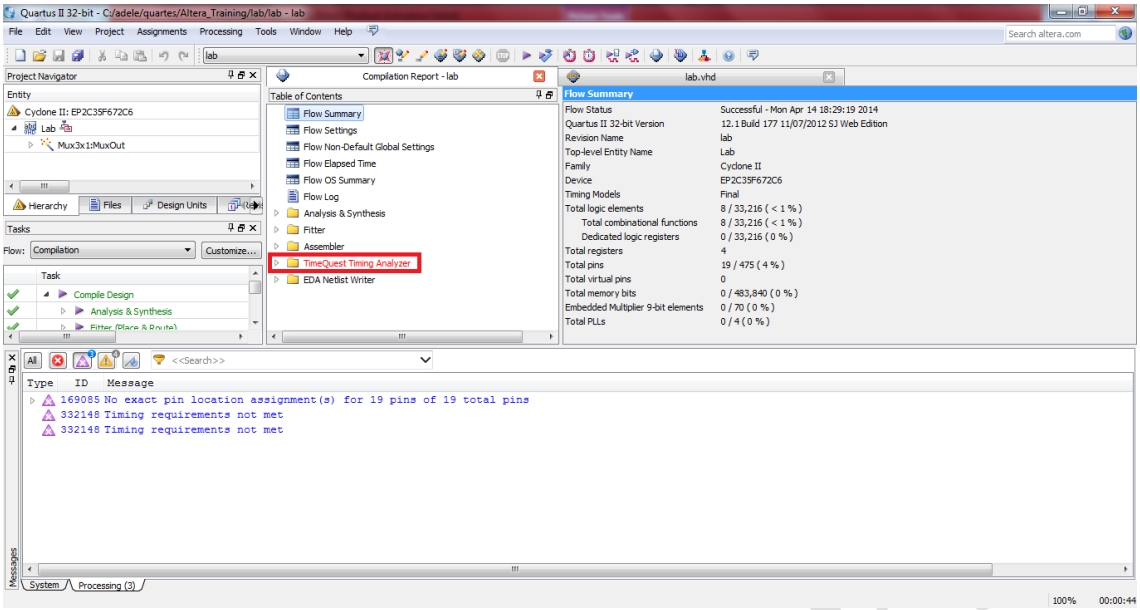
برای کشف خطاهای زمانی موجود در مدار باید برنامه را کامپایل کنیم. از منوی Processing بر روی Start Compilation می زنیم. بعد از آنکه برنامه با موفقیت کامپایل شد در Box مربوط به Messages در قسمت Critical Warning Message مشاهده میکنیم که برنامه دارای Warning ای با عنوان Timing Requirements not met می باشد در شکل زیر می توانید این Warning را مشاهده کنید. علت به وجود آمدن این Warning زیاد بودن زمان تاخیر در ورودی ها و خروجی ها می باشد.



شکل (۵-۱۴) رخ دادن خطای زمانی به علت بالا بودن میزان تاخیر روی ورودی ها و خروجی ها

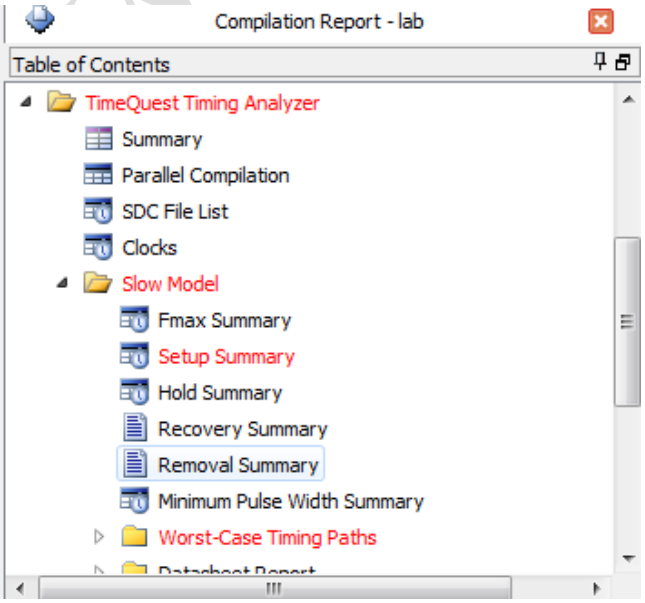
همان طور که در قسمت مربوط به Compilation Report مشاهده می شود که TimeQuest Timing Analyzer به رنگ قرمز در آمده است.

Copyright © 2014 ICEEP, University of Tehran



شکل (۵-۱۵) مشخص کردن خطای زمانی در گزارش های نهایی تولید شده توسط Quartus.

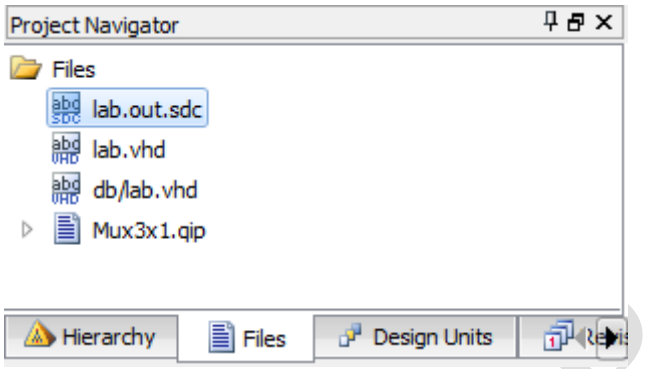
زمانی که این قسمت را Expand می کنیم در زیر منوی آن مشاهده می کنیم که Slow Model , Fast Model و Multicorner Timing Analysis Summary به رنگ قرمز می باشد. که این نشان دهنده ی انجام نشدن عملیات Timing Analysis بر روی آنها می باشد. با Expand کردن هر کدام از این موارد میتوانیم علت خطا را با جزئیات بیشتر متوجه شویم.



شکل (۵-۱۶) بخش مربوط به گزارشات TimeQuest Timing Analyzer و مشخص بودن خطاهای رخ داده.

Copyright © 2014 ICEEP, University of Tehran

برای تغییر دادن مقدار Delay در ورودی ها و خروجی ها، می توانیم از Box مربوط به Project Navigator استفاده کنیم برای اینکار بر روی قسمت Files می رویم و از آنجا Lab.out.sdc را انتخاب می کنیم و آنرا باز می کنیم.



شکل (۵-۱۷) فایل SDC اضافه شده به لیست فایل های موجود در پروژه.

در فایل مورد نظر Scroll Down می کنیم تا به قسمت های Set Input Delay و Set Output Delay برسیم. برای مثال در قسمت Set Input Delay داریم:

```
set_input_delay -add_delay -clock [get_clocks {clk}] 20.000 [get_ports [{input0[0]}]
```

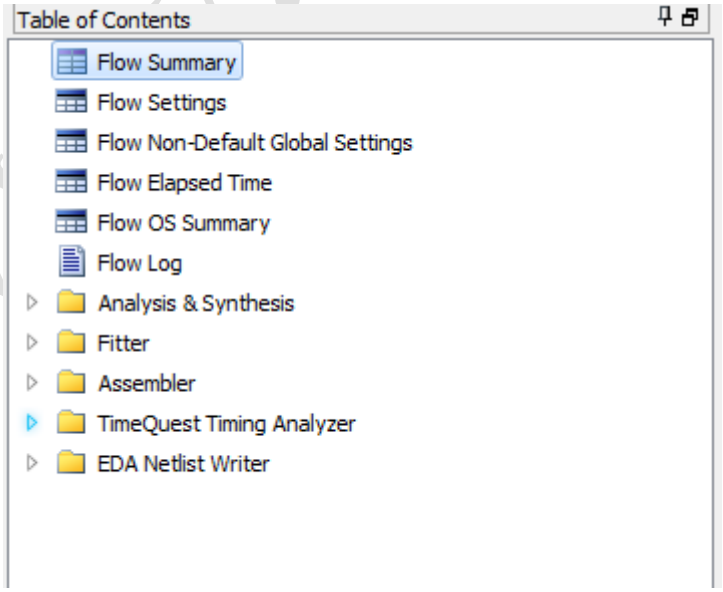
حال برای اینکه مقدار Delay را درست کنیم در تمام خطوطی که مشابه خط بالا هستند مقدار ۲۰,۰۰۰ را به ۲,۰۰۰ تغییر می دهیم.

www.ICEEP.ir

```
58  #**************************************************************
59
60
61
62  #**************************************************************
63  # Set Input Delay
64  #**************************************************************
65
66  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input0[0]}]
67  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input0[1]}]
68  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input0[2]}]
69  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input0[3]}]
70  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input1[0]}]
71  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input1[1]}]
72  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input1[2]}]
73  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input1[3]}]
74  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input2[0]}]
75  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input2[1]}]
76  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input2[2]}]
77  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {input2[3]}]
78  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {sel[0]}]
79  set_input_delay -add_delay  -clock [get_clocks {clk}]  20.000  get_ports {sel[1]}]
80
81
82  #**************************************************************
83  # Set Output Delay
84  #**************************************************************
85
86  set_output_delay -add_delay  -clock [get_clocks {clk}]  20.000 [get_ports {output[0]}]
87  set_output_delay -add_delay  -clock [get_clocks {clk}]  20.000 [get_ports {output[1]}]
88  set_output_delay -add_delay  -clock [get_clocks {clk}]  20.000 [get_ports {output[2]}]
89  set_output_delay -add_delay  -clock [get_clocks {clk}]  20.000 [get_ports {output[3]}]
90
91
92  #**************************************************************
```

شکل (۵-۱۸) بخش مربوط به تاخیرهای ورودی و خروجی در فایل SDC تولید شده.

سپس فایل تغییر یافته را Save می کنیم. و دوباره برنامه را کامپایل می کنیم . این بار مشاهده می کنیم که Critical Warning Message وجود ندارد و دیگر TimQuest Timing Analyzer در Box مربوط به Report Compilation به رنگ قرمز نمی باشد.



شکل (۵-۱۹) گزارش اجرای درست مدار بدون رخ دادن خطای زمانی.

www.ICEEP.ir

بدین ترتیب ما توانستیم با استفاده از ابزار TimeQuest Analyzer در Quartus یک مدار را آنالیز زمانی کنیم و برای آن کلاک تعریف کنیم و برای ورودی ها و خروجی ها تاخیر ست کنیم و در نهایت ابزار Quartus در صورت وجود اشکال و اشتباه در عملکرد مدار در زمان و کلاک تعریف شده این خطا را به ما گزارش می کند و ما می توانیم این اشکال را برطرف کنیم.

www.ICEEP.ir