راهنمای استفاده از نرم افزار Quartus

بر اساس نسخه Quartus II Web Edition 13.0.1.232

راهنمای راه اندازی اولیه

راهنمای پیش‌رو برای آموزش کار با نرم‌افزار Quartus II متعلق به شرکت Altera تهیه شده است. کلیه حقوق این اثر متعلق به گروه ICEEP دانشگاه تهران است. هر گونه تکثیر از این اثر منوط به اجازه‌ی کتبی پدیدآورندگان این راهنما در گروه ICEEP می‌باشد.

www.ICEEP.ir

روند بازبینی

نسخه	تاریخ	نسخه‌ی Quartus	تغییرات
۱,۰	۹۲/۸/٦	Quartus II Web Edition 13.0.1.232	-
۱,۱	۹۲/۹/۳۰	Quartus II Web Edition 13.0.1.232	• تقسیم‌بندی مطالب • اصلاح متن

www.ICEEP.ir

فهرست

فصل ۱: پیشگفتار ۸

فصل ۲: طراحی بر اساس HDL ۱۰

۲-۱- باز کردن Quartus ۱۱

۲-۲- ساخت پروژه جدید ۱۱

۲-۲-۱- نمای RTL ۲۱

۲-۲-۲- نمای ماشین حالت ۲۲

۲-۲-۳- نمای تکنولوژی ترسیم ۲۳

فصل ۳: طراحی بر اساس شماتیک ۲۷

فصل ٤: شبیه سازی رفتاری ۳۲

فصل ۵: پیاده‌سازی ۳۹

۵-۱- انتخاب دستگاه هدف ٤۰

۵-۲- تخصیص پین ٤۱

۵-۲-۱- تخصیص پین با روش استفاده از فایل آماده ٤۲

۵-۲-۲- تخصیص پین باروش دستی ٤۳

۵-۳- برنامه‌ریزی دستگاه ٤٤

واژه‌نامه ۵۲

www.ICEEP.ir

فهرست شکل‌ها

شکل (۲-۱) مقدمه‌ی ساخت پروژه ۱۲
شکل (۲-۲) انتخاب نام برای پروژه ۱۳
شکل (۲-۳) افزودن فایل به پروژه ۱٤
شکل (۲-٤) انتخاب دستگاه مقصد ۱۵
شکل (۲-۵) انتخاب EDA ۱٦
شکل (۲-٦) خلاصه ساخت پروژه ۱۷
شکل (۲-۷) توصیف سخت‌افزاری واحد جمع‌کننده ۱۷
شکل (۲-۸) اضافه کردن فایل جدید ۱۸
شکل (۲-۹) پنجره Quartus (حالت کامپایل پروژه بدون خطا) ۱۹
شکل (۲-۱۰) خلاصه اطلاعات سنتز جمع‌کننده ۲۰
شکل (۲-۱۱) انواع نماها ۲۱
شکل (۲-۱۲) نمای RTL برای جمع‌کننده ۲۲
شکل (۲-۱۳) نمای تکنولوژی ترسیم برای جمع‌کننده ۲٤
شکل (۲-۱٤) انواع مشخصه‌های اتم ۲٦
شکل (۳-۱) پنجره‌ی طراحی شماتیک ۲۸
شکل (۳-۲) انتخاب گیت از کتابخانه‌ها ۲۹
شکل (۳-۳) انتخاب اجزای جمع‌کننده ۳۰
شکل (۳-٤) برقراری ارتباط بین اجزای جمع‌کننده ۳۰

www.ICEEP.ir

Copyright © 2013 ICEEP, University of Tehran

شکل (٤-١) پنجره شکل‌موج ٣٣

شکل (٤-٢) انتخاب گرهای دلخواه ٣٤

شکل (٤-٣) انتخاب ورودی و خروجی برای لیست پین‌ها ٣٥

شکل (٤-٤) حالت اولیه شکل موج‌ها ٣٥

شکل (٤-٥) مقداردهی سیگنال‌ها ٣٦

شکل (٤-٦) اجرای عملکردی شبیه‌سازی ٣٧

شکل (٤-٧) نتیجه شبیه‌سازی ٣٧

شکل (٥-١) انتخاب دستگاه ٤١

شکل (٥-٢) وارد نمودن فایل Excel ٤٢

شکل (٥-٣) تغییر نام پورت‌ها با توجه به نام‌گذاری در فایل Excel(١) ٤٢

شکل (٥-٤) تغییر نام پورت‌ها با توجه به نام‌گذاری در فایل Excel(٢) ٤٣

شکل (٥-٥) پنجره‌ی تخصیص پین ٤٤

شکل (٥-٦) پنجره‌ی مدیریت کامپیوتر ٤٥

شکل (٥-٧) نصب درایور ٤٦

شکل (٥-٨) نصب دستی نرم‌افزار ٤٧

شکل (٥-٩) مسیر پوشه‌ی USB-Blaster ٤٨

شکل (٥-١٠) اجازه نصب درایور ٤٨

شکل (٥-١١) انتخاب سخت‌افزار ٤٩

شکل (٥-١٢) انتخاب فایل برنامه‌ریزی ٥٠

www.ICEEP.ir

Copyright © 2013 ICEEP, University of Tehran

شکل (۵-۱۳) برنامه‌ریزی دستگاه هدف ۵۱

www.ICEEP.ir

Copyright © 2013 ICEEP, University of Tehran

فصل اول

پیشگفتار

Copyright © 2013 ICEEP, University of Tehran

در این راهنما به بررسی نحوه‌ی استفاده از نرم‌افزار Quartus II خواهیم پرداخت. برای این کار قدم به قدم به بررسی بخش‌های مختلف و نحوه‌ی کار با آن‌ها می‌پردازیم.

بدیهی است گفتار پیش رو برای آن دسته از افرادی که با این نرم‌افزار آشنا نبوده و یا افرادی که خواهان بازیابی اطلاعاتشان در مورد این نرم‌افزار هستند مفید خواهد بود.

در ادامه ٤ فصل خواهیم داشت. در فصل ۲ و ۳ با مبانی ایجاد یک طراحی آشنا می‌شوید، در فصل ٤ روش شبیه‌سازی طراحی را می‌آموزید و در نهایت با استفاده از راهنمایی فصل ۵ پیاده‌سازی طراحی را فرا خواهید گرفت.

www.ICEEP.ir

Copyright © 2013 ICEEP, University of Tehran

فصل دوم

طراحی بر اساس

HDL

Copyright © 2013 ICEEP, University of Tehran

در این فصل، فرآیند طراحی یک واحد سخت‌افزاری بر اساس HDL را طی می‌کنیم. برای این کار یک مثال ساده مانند جمع‌کننده‌ی کامل[1] را انتخاب می‌کنیم. با این مثال به راحتی می‌توانید ارتباط کُد نوشته شده‌ی خود را با مدار تولید شده بیابید. در این مثال، ما از زبان توصیف سخت‌افزاری Verilog برای مدار خود بهره گرفته‌ایم. لازم به ذکر است که مراحل لازم برای سنتز، مستقل از زبان انتخاب شده می‌باشند.

۲-۱- باز کردن Quartus

با تکمیل نصب نرم‌افزار دو آیکون بر روی Desktop شما ظاهر شده که یکی از آن‌ها مختص ویندوز ۳۲ بیتی بوده و دیگری برای ٦٤ بیتی مناسب می‌باشد. بسته به نسخه‌ی ویندوز شما یکی از این گزینه‌ها اجرا شده و با انتخاب دیگری خطایی مبنی بر عدم تطابق نسخه‌ی برنامه با نسخه‌ی ویندوز شما اعلام می‌گردد.

۲-۲- ساخت پروژه جدید

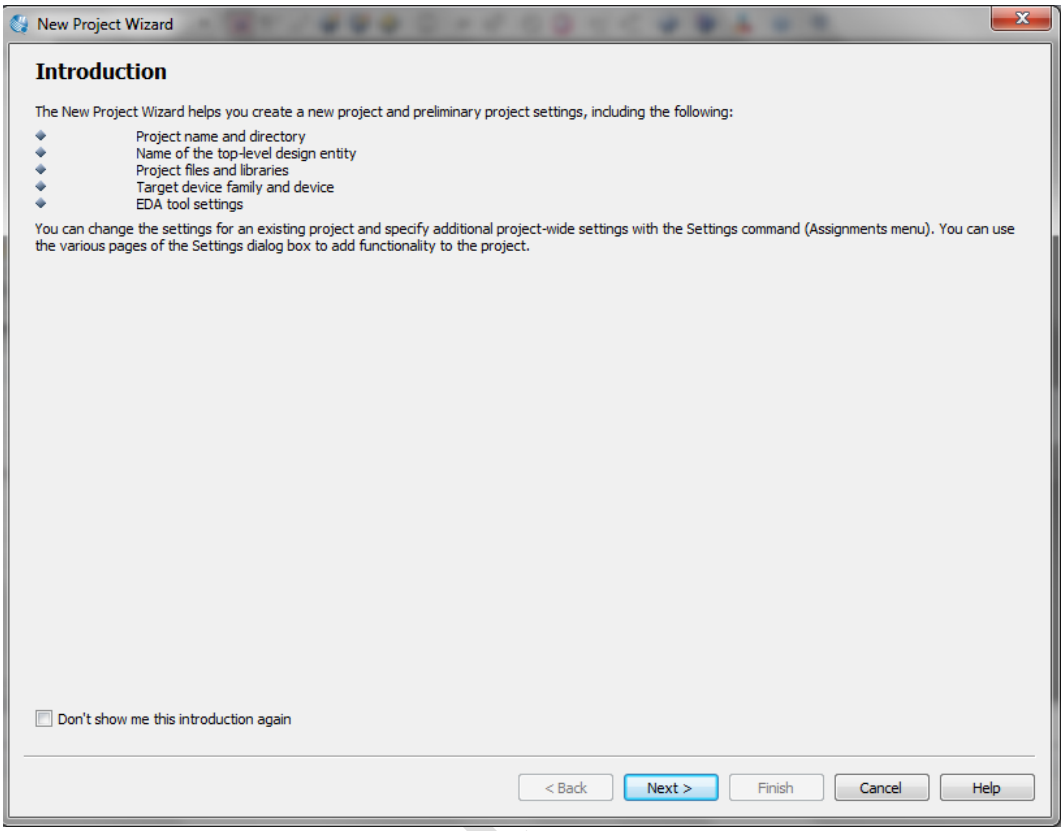
File -> New Project Wizard پنجره‌ی مربوط به ساخت پروژه را باز می‌کند. ابتدا مقدمه‌ای از پنج مرحله‌ی پیش رو برای تکمیل ساخت یک پروژه نمایش داده می‌شود که می‌توان با انتخاب گزینه‌ی " عدم نشان دادن دوباره‌ی مقدمات[2]" از نمایش مجدد این پنجره در مراجعات بعدی

[1] Full Adder

[2] Don’t show me this introduction again

www.ICEEP.ir

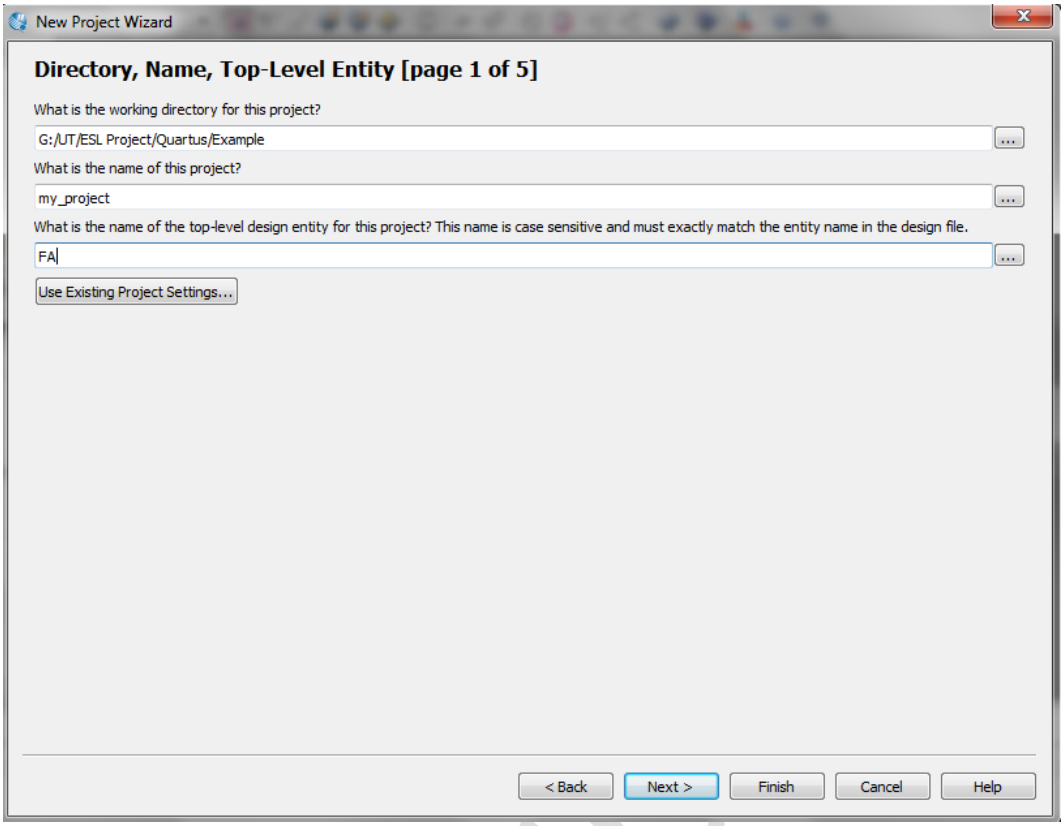
به این بخش، جلوگیری کرد. پس از ورود به مرحله‌ی بعد، اطلاعات موردنیاز برای ساخت پروژه‌ی موردنظر از شما پرسیده می‌شود.



شکل (۲-۱) مقدمه‌ی ساخت پروژه

نام پروژه، محل موردنظر برای ذخیره‌ی آن و هم‌چنین نام طراحی سطح بالای موردنظر برای این پروژه، در این مرحله از شما درخواست می‌گردد. لازم به ذکر است که این نام می‌بایست به طور دقیق با نام ماژول یا موجودیت تعریف شده در طراحی شما یکسان باشد.

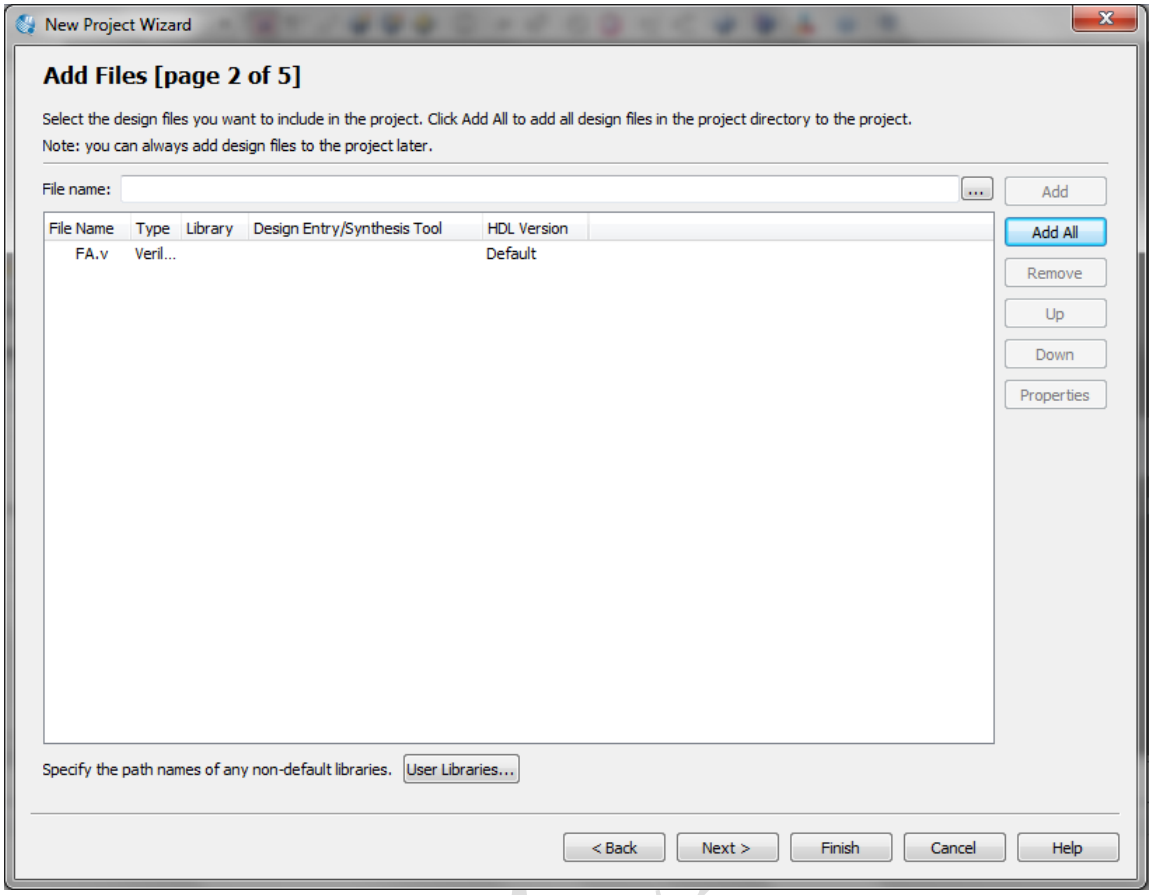
Copyright © 2013 ICEEP, University of Tehran



شکل (۲-۲) انتخاب نام برای پروژه

در این مرحله می‌توان فایل‌های موجود را که پیشتر نوشته شده‌اند و موردنیاز این پروژه می‌باشند به آن اضافه نمود. شایان ذکر است که افزودن فایل به پروژه در هر زمان دیگری نیز امکان‌پذیر می‌باشد.

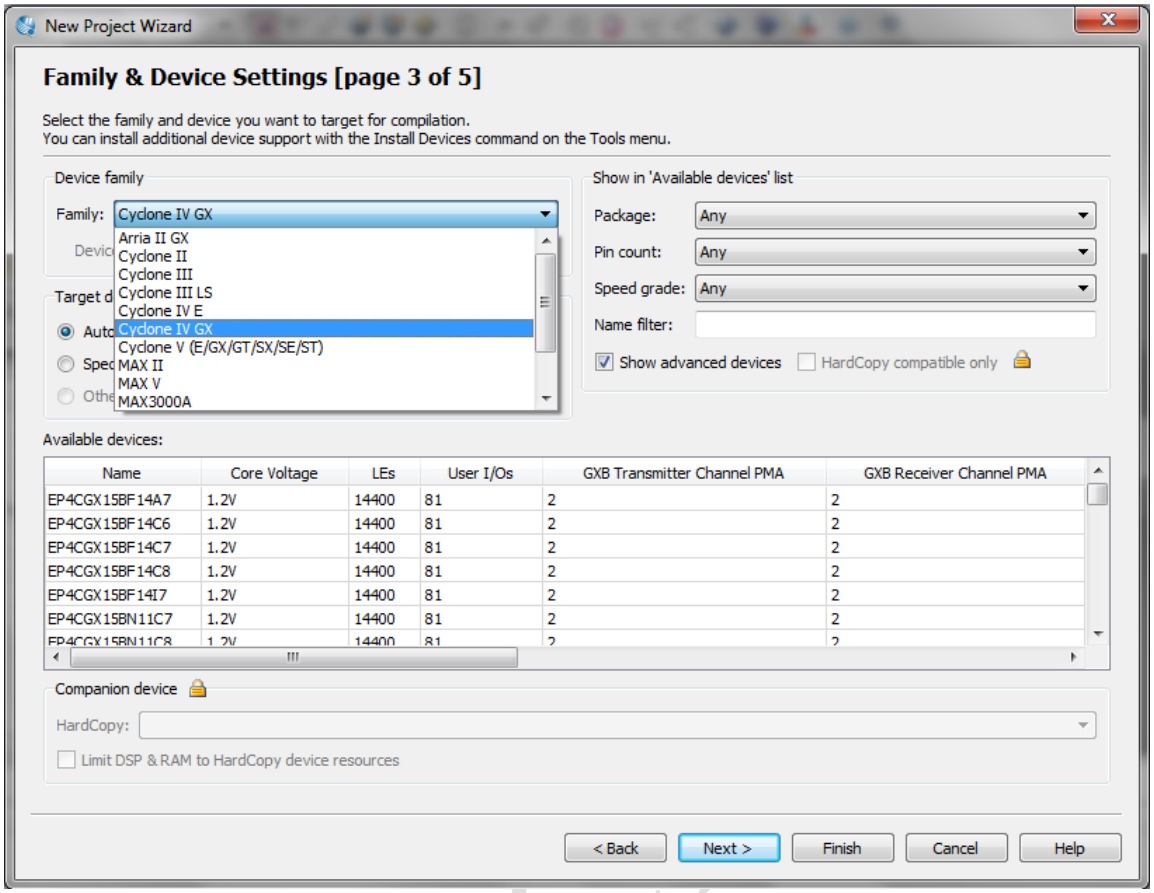
www.ICEEP.ir



شکل (۲-۳) افزودن فایل به پروژه

در این بخش دستگاه مقصدی را که برای سنتز طراحی خود در نظر گرفته‌اید، انتخاب نمایید. این مرحله شامل گزینه‌های متعددی می‌باشد که بسته به نیاز کاربر تنظیم می‌گردند. در این بخش می‌توان به تنظیمات پیش‌فرضِ نرم‌افزار بسنده کرد و بر این اساس باقی مراحل را ادامه داد.

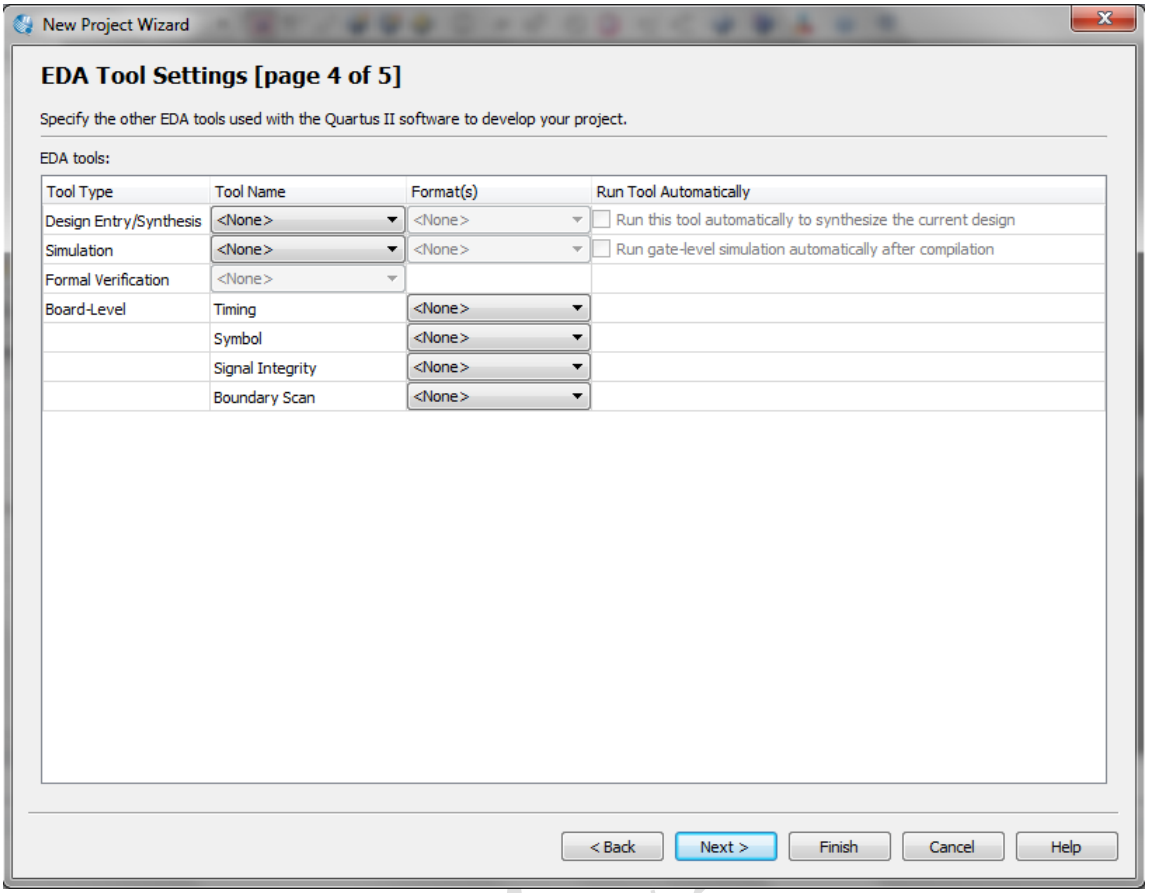
Copyright © 2013 ICEEP, University of Tehran



شکل (۲-۴) انتخاب دستگاه مقصد

در صورت نیاز به استفاده از دیگر ابزارهای EDA در نرم‌افزار Quartus، در این مرحله می‌بایست آن‌ها را تعیین نمایید.

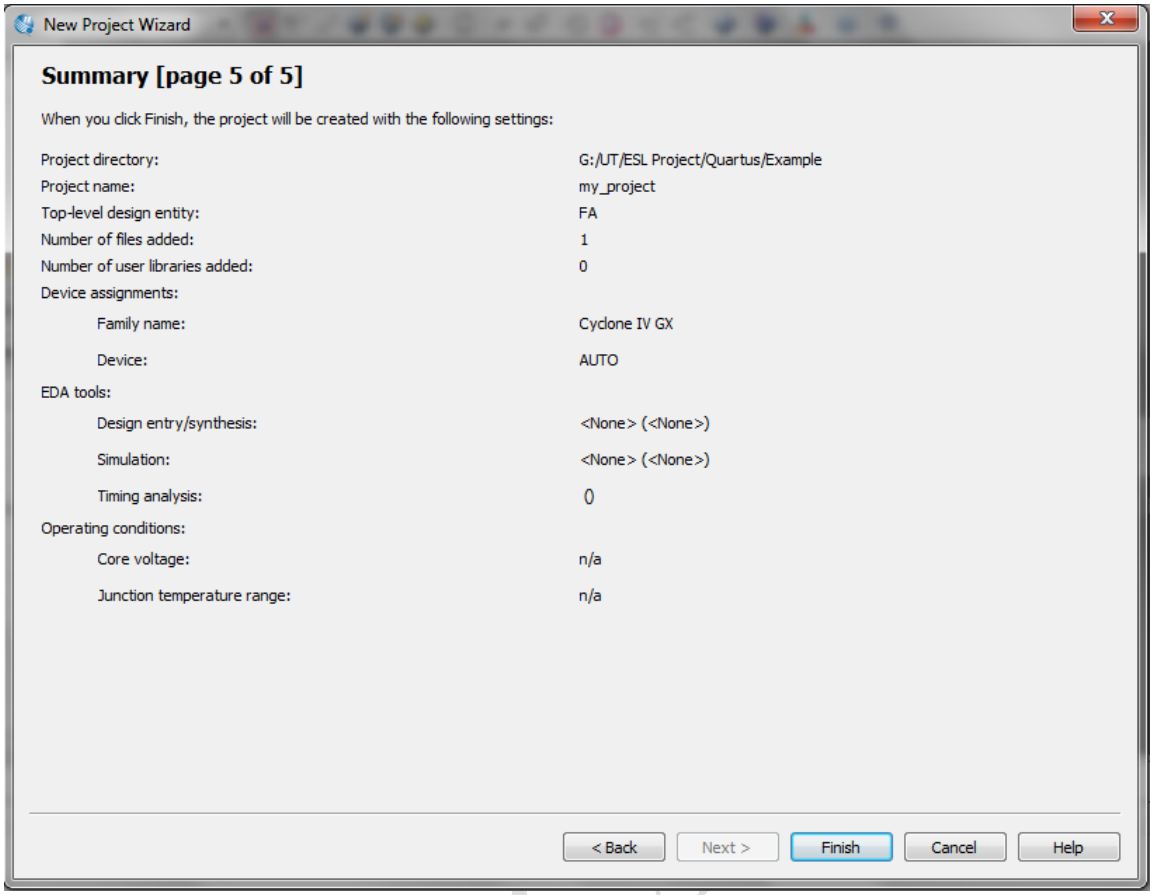
www.ICEEP.ir



شکل (۲-۵) انتخاب EDA

در نهایت تمامی تنظیمات معین شده برای پروژه، به صورت خلاصه در این مرحله به نمایش گذاشته می‌شوند.

www.ICEEP.ir



شکل (۲-۶) خلاصه ساخت پروژه

همان‌طور که پیشتر بیان کردیم برای سنتز مدار خود می‌توانید از تعریف شماتیک آن استفاده کنید و یا آن‌که مدار خود را با زبان‌های HDL توصیف نمایید. در این بخش مراحل سنتز جمع‌کننده‌ی کامل که به زبان Verilog نوشته شده است را بیان می‌کنیم. مدار به صورت شکل ۲-۷ توصیف شده است:

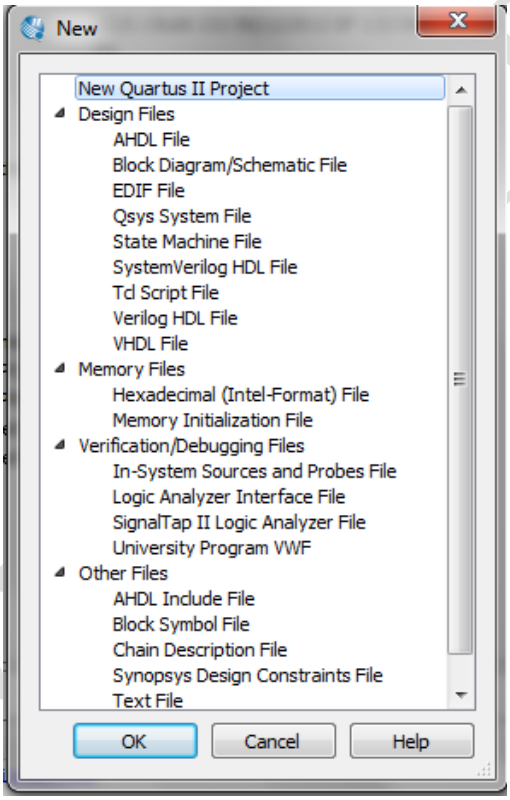
```
1  `timescale 1ns/100ps
2
3  module FA (input a, b, cin, output sum, cout);
4     assign  sum = a ^ b ^ cin;
5     assign  cout = (a & b)|(a & cin)|(b & cin);
6  endmodule
```

شکل (۲-۷) توصیف سخت‌افزاری واحد جمع‌کننده

Copyright © 2013 ICEEP, University of Tehran

در گام پیشین، هنگام ساخت پروژه‌ی my_project، فایل FA را به آن اضافه نمودیم و از آن‌جا که در کُد Verilog، ماژول خود را FA نام‌گذاری کرده‌ایم هنگام ساخت پروژه نیز نام top-level design را FA نهادیم.

برای توصیف یک مدار می‌توان از مسیر File -> New استفاده کرد و از میان فایل‌های طراحی‌ای که در اختیار گذاشته شده یکی از زبان‌های Verilog یا VHDL را انتخاب نمود و یا آن که از تعریف مدار به شکل بلوک‌دیاگرام یا همان شماتیک بهره برد.



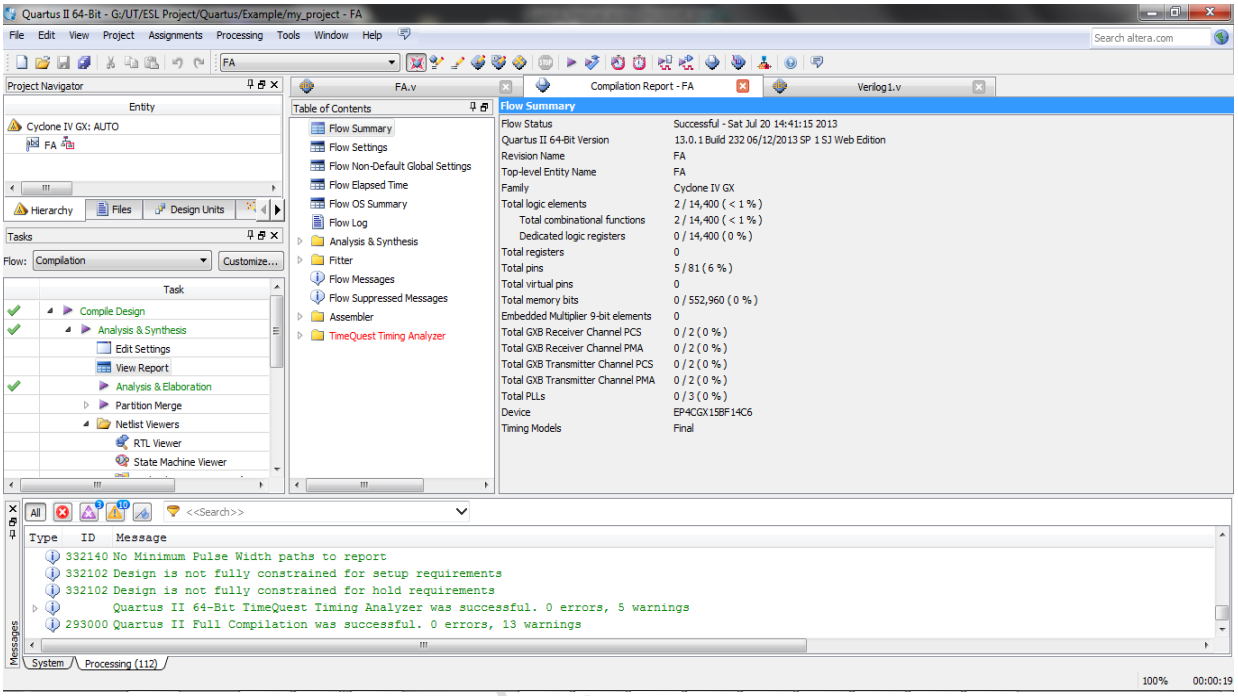
شکل (۲-۸) اضافه کردن فایل جدید

پس از اضافه نمودن فایل‌های موردنیاز به پروژه، اکنون می‌توانید آن را کامپایل کنید. برای این کار Processing -> Start Complilation را اجرا کنید.

در صورتی که خطایی در کُد شما وجود نداشته باشد، این مرحله بدون مشکل پایان یافته و

Copyright © 2013 ICEEP, University of Tehran

در انتها نتایج حاصل از سنتز به صورت خلاصه درپنجره‌ای به نمایش گذاشته می‌شوند در حالی‌که در صورت وجود خطا، این مرحله به درستی پایان نمی‌پذیرد و در قسمت مربوط به پیغام‌ها، تعداد خطاهای موجود در کُد شما نشان داده می‌شوند. با کلیک بر روی هر یک از این خطاها، به خط مربوطه در کُد ارجاع داده می‌شود. با برطرف نمودن تمامی خطاها دوباره مدارتان را کامپایل کنید.



شکل (۲-۹) پنجره Quartus (حالت کامپایل پروژه بدون خطا)

اطلاعات مهم سنتز به صورت خلاصه دربخشی با نام خلاصه‌ی روند[۱] قابل مشاهده می‌باشد. این اطلاعات شامل وضعیت سنتز، نسخه‌ی نرم‌افزار Quartusای که برای سنتز استفاده شده، خانواده‌ای از بردهای FPGA که به عنوان بُرد مقصد در نظر گرفته شده، تعداد کل المان‌های موردنیاز برای ساخت مدار مورد نظر بر روی بُرد انتخاب شده، تعداد ثباتها و المان‌های ترکیبی مورد نیازِ مدار و اطلاعاتی از این دست می‌باشد. خلاصه‌ی روند حاصل از سنتز مدار جمع‌کننده در شکل ۲-۱۰

[۱] Flow Summary

Copyright © 2013 ICEEP, University of Tehran

آورده شده است.

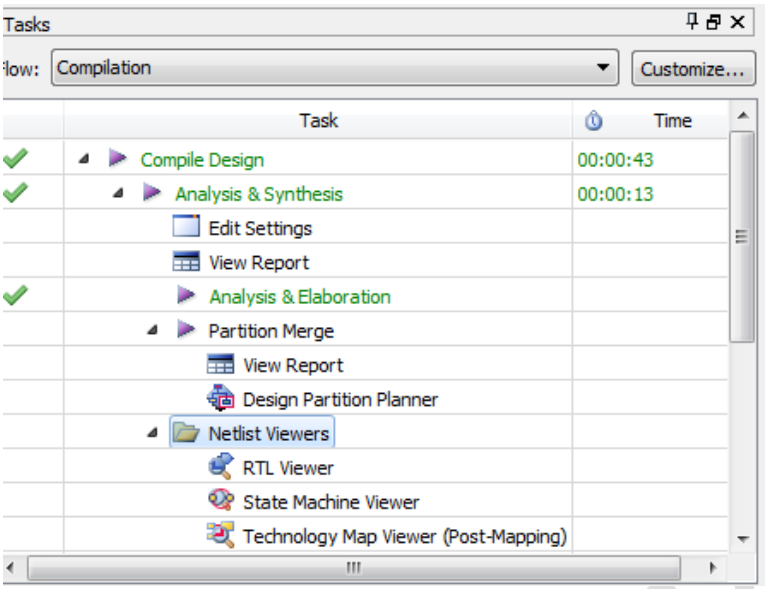
Flow Summary	
Flow Status	Successful - Wed Jul 24 12:25:52 2013
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	FA
Top-level Entity Name	FA
Family	Cyclone IV GX
Total logic elements	2 / 14,400 (< 1 %)
Total combinational functions	2 / 14,400 (< 1 %)
Dedicated logic registers	0 / 14,400 (0 %)
Total registers	0
Total pins	5 / 81 (6 %)
Total virtual pins	0
Total memory bits	0 / 552,960 (0 %)
Embedded Multiplier 9-bit elements	0
Total GXB Receiver Channel PCS	0 / 2 (0 %)
Total GXB Receiver Channel PMA	0 / 2 (0 %)
Total GXB Transmitter Channel PCS	0 / 2 (0 %)
Total GXB Transmitter Channel PMA	0 / 2 (0 %)
Total PLLs	0 / 3 (0 %)
Device	EP4CGX15BF14C6
Timing Models	Final

شکل (۲-۱۰) خلاصه اطلاعات سنتز جمع‌کننده

برای آنالیز و خطایابی مدار خود می‌توانید از قابلیت‌هایی که نمای لیست گره[۱] در اختیار شما قرار می‌دهد، بهره ببرید. این بخش تنها زمانی که کامپایل مدارتان با موفقیت پایان پذیرد به نمایش در آمده و فعال می‌گردد. چگونگی دسترسی به این بخش در شکل ۲-۱۱ نشان داده شده است. همان‌طور که مشاهده می‌شود این قسمت دارای سه زیر شاخه با نام‌های نمای RTL[۲]، نمای ماشین حالت[۳] و نمای تکنولوژی ترسیم[۴] می‌باشد.

[۱] Netlist Viewer
[۲] RTL Viewer
[۳] State Machine Viewer
[۴] Technology Map Viewer

Copyright © 2013 ICEEP, University of Tehran



شکل (۲-۱۱) انواع نماها

۲-۲-۱- نمای RTL

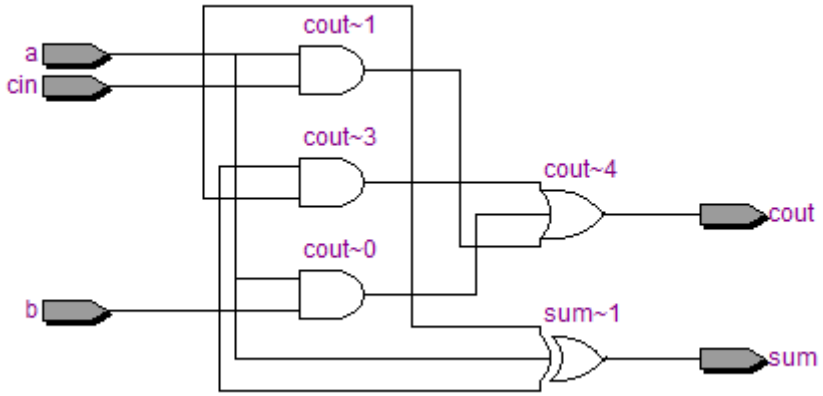
این گزینه برای مشاهده‌ی نتایج حاصل از سنتزِ مدار گزینه‌ی مناسبی می‌باشد و این امکان را برای شما فراهم می‌آورد تا تشخیص دهید که، به لحاظ المان‌های منطقی و نحوه‌ی اتصال آن‌ها با یکدیگر، آیا مدار به درستی توسط نرم‌افزار تفسیر شده است یا خیر. در حقیقت شماتیک مدار شما به صورت گرافیکی در این بخش قابل مشاهده است. از نمای RTL و نمای ماشین حالت می‌توان استفاده کرد و مدار را پیش از انجام هر پروسه‌ی دیگری، به صورت چشمی بررسی نمود. مشاهده‌ی مدار طراحی شده به شما کمک می‌کند تا مدار خود را آنالیز کرده و منشأ خطاهای طراحی را بیابید و در صورتی که نمای RTL آن درست باشد، خواهید دانست که آنالیز خود را بر روی دیگر قسمت‌ها مانند آنالیز زمانی متمرکز نمایید. لازم به ذکر است که این شماتیک، ساختار نهایی مدار شما نبوده و بیشتر طراحی اولیه‌ی شما را به تصویر می‌کشد؛ چرا که بهینه‌سازی‌ها هنوز بر روی آن اعمال نگردیده‌اند. در واقع به کمک این بخش می‌توان به راحتی به مداری که نرم‌افزار از توصیف ما به

www.ICEEP.ir

Copyright © 2013 ICEEP, University of Tehran

دست آورده پی برد. هر چه مدار توصیف شده پیچیده‌تر باشد و به جای ساختاری به صورت رفتاری توصیف گردیده باشد، نقش این بخش پر رنگ‌تر می‌گردد. چراکه با تولید RTL این گونه مدارات به سادگی می‌توان به چگونگی مدارِ سنتز شده پی برد و در صورت نیاز، کُد نوشته شده برای آن‌ها را تغییر داد.

نمایRTL جمع‌کننده‌ی موردنظر به شکل ۲-۱۲ تولید گردیده است. از آن‌جا که جمع‌کننده کاملاً به صورت ساختاری توصیف شده، تناظر یک به یکی میان کُد مربوطه و مدار شکل ۲-۱۲ مشاهده می‌شود. سه گیت AND دو ورودی و یک گیت OR سه ورودی برای ساخت رقم نقلی خروجی و یک گیت XOR سه ورودی برای حاصل‌جمع که در شکل ۲-۱۲ وجود دارند به راحتی با توصیف مدار مطابقت دارد.



شکل (۲-۱۲) نمای RTL برای جمع‌کننده

۲-۲-۲- نمای ماشین حالت

این قسمت دید مناسبی از ماشین حالت‌های موجود در طراحی به شما می‌دهد. این بخش یک نمایش گرافیکی از حالت‌ها و گذارهای ماشین حالت‌های موجود در مدار ارائه می‌دهد.

Copyright © 2013 ICEEP, University of Tehran

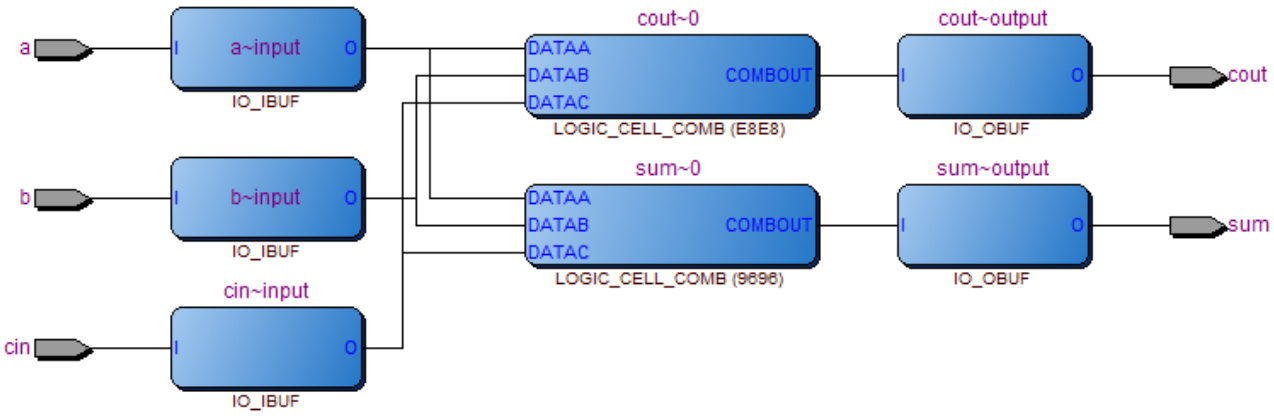
از آن‌جا که مثال جمع‌کننده مداری ترکیبی می‌باشد، هیچ ماشین حالتی برای آن تولید نخواهد شد.

۲-۲-۳- نمای تکنولوژی ترسیم

این قسمت نیز یک نمایش گرافیکی و وابسته به تکنولوژی را در اختیار طراح قرار می‌دهد. نمای تکنولوژی ترسیم به صورت سلسله مراتبی، بخش‌های پایه‌ی[۱] طراحی شما مانند سلول‌های منطقی دستگاه و هم‌چنین پورت‌های ورودی/خروجی را نمایش می‌دهد و برای برخی از خانواده‌ها امکان مشاهده‌ی ثبات‌ها و LUT[۲]های داخل این سلول‌ها را نیز فراهم می‌کند؛ علاوه بر آن به شما کمک می‌کند تا گره‌ها را پس از سنتز مکان‌یابی کنید. به این ترتیب که می‌توان از پورت‌های ورودی و خروجی طراحی شروع کرده و به سمت جلو یا به عقب حرکت کنید و یا آن‌که به صورت سلسله مراتبی در سطوح مختلف طراحی جستجو کرده تا به گره دلخواه خود دست یابید و یا با بررسی شماتیک طراحی، یک ثبات بخصوص را پیدا نمایید. نمای تکنولوژی ترسیم برای مدار جمع‌کننده به صورت شکل ۲-۱۳ می‌باشد. به هریک از المان‌های آبی رنگ نشان داده شده در شکل، بخش پایه‌ای گفته می‌شود که هر یک دارای نام اتم، نام پورت‌ها و نوع اتم می‌باشند و جزییات بیشتری را نیز شامل می‌شوند.

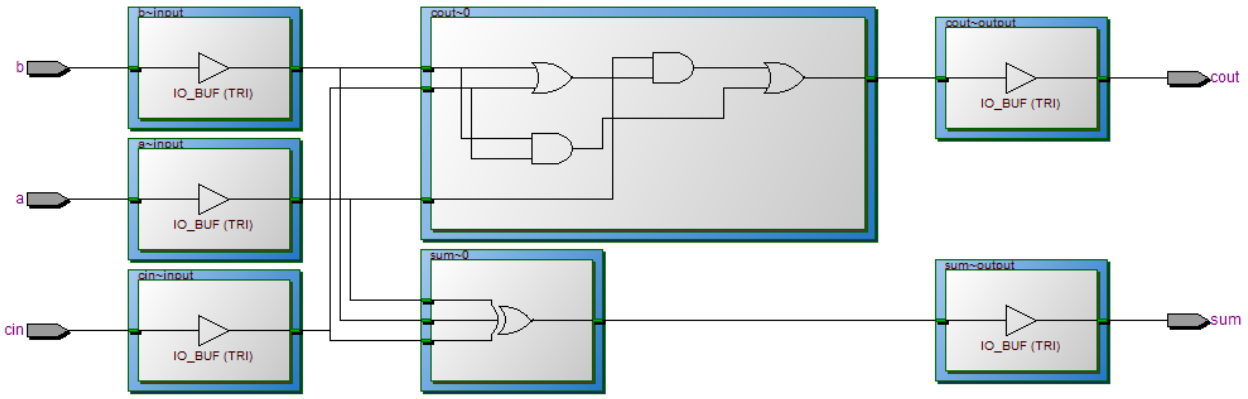
[۱] Atom Primitive
[۲] Look Up Table

www.ICEEP.ir



شکل (۲-۱۳) نمای تکنولوژی ترسیم برای جمع‌کننده

که با کلیک بر روی هر یک از المان‌های نشان داده شده می‌توان یک مرحله دقیق‌تر شد و



بدین ترتیب به جزییات بیشتری دسترسی پیدا کرد.

با کلیک راست بر روی هر یک از بخش‌های پایه‌ای و انتخاب گزینه‌ی ویژگی‌ها[۱] می‌توان به اطلاعات جزئی‌تری از آن اتم دسترسی پیدا کرد. این اطلاعات بسته به ماهیت اتم انتخابی متفاوت

[۱] Properties

Copyright © 2013 ICEEP, University of Tehran

خواهند بود. در مثال جمع‌کننده دو دسته اتم وجود دارند: یکی سلول‌های منطقی[۱] و دیگری بافرهای ورودی و خروجی[۲].

برای سلول منطقی مربوط به حاصل‌جمع که معادل با XOR در نظر گرفته شده، ویژگی‌های زیر نشان داده شده است. برای این اتم چهار مشخصه وجود دارند:

- شماتیک

پیشتر با کلیک بر روی اتم، جزییات این قسمت را مشاهده کردیم.

- جدول درستی

این جدول در ازای مقادیر مختلف برای ورودی‌ها، مقدار خروجی را نشان می‌دهد.

- جدول کارنو

این جدول نمایش گرافیکی جدول درستی می‌باشد.

- پورت‌ها

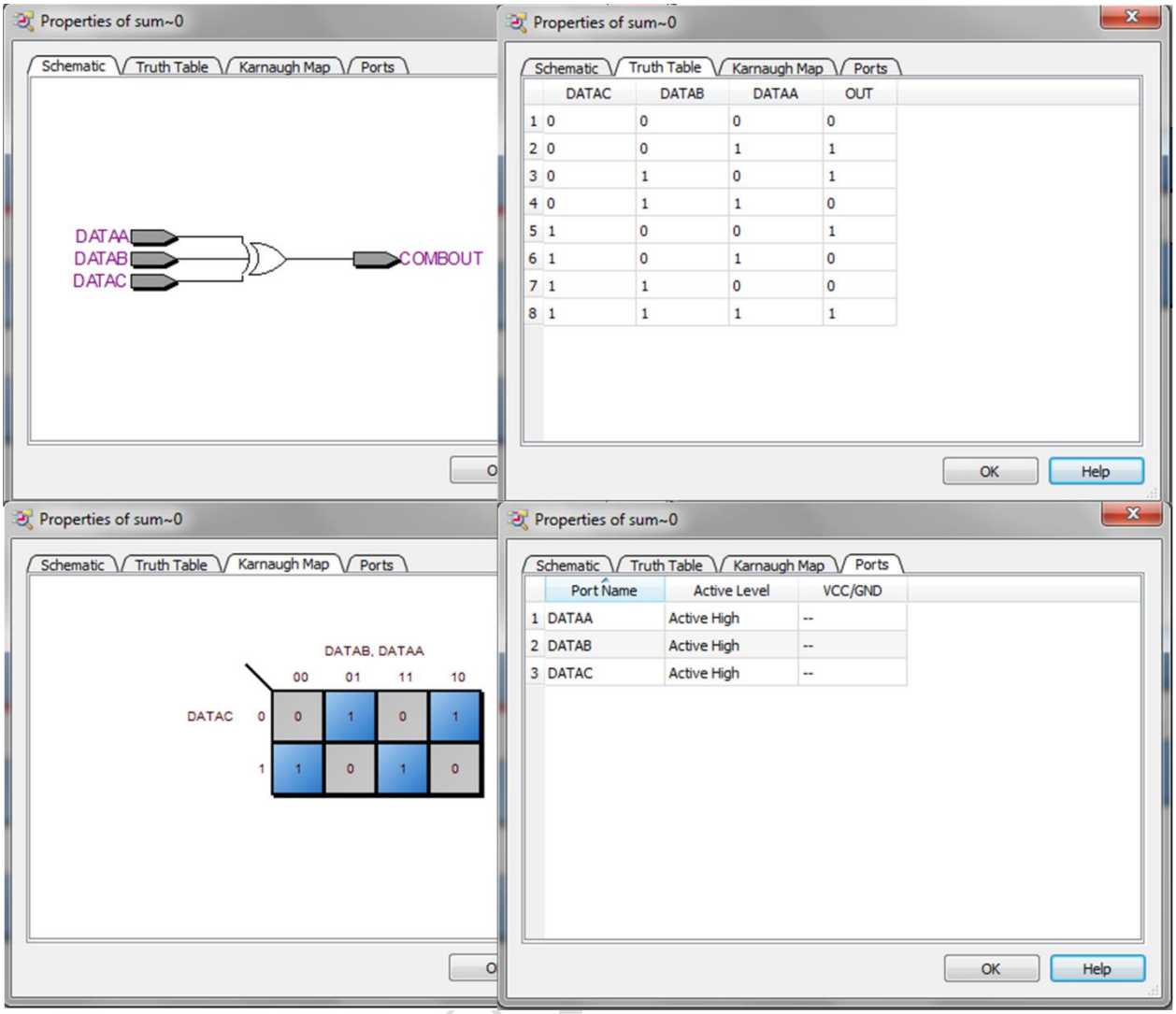
پورت‌های ورودی/خروجی اتم موردنظر را نشان داده و فعال بالا[۳] و یا فعال پایین[۴] بودن هر یک را مشخص می‌نماید.

این در حالی است که برای پورت‌های موجود تنها دو مشخصه‌ی شماتیک و پورت وجود دارد.

www.ICEEP.ir

---

۱ Logic Cell
۲ I/O Buffer
۳ Active High
۴ Active Low



شکل (۲-۱۴) انواع مشخصه‌های اتم

شایان ذکر است که تمام این نماها همواره نتایج آخرین کامپایلی را که با موفقیت انجام شده است، نشان می‌دهد. بنابراین اگر شما طراحی خود را تغییر داده به طوری که در فاز آنالیز آن خطایی حاصل شود، نمی‌توانید لیست گره مربوط به این طراحی را مشاهده کنید ولی هنوز قادر خواهید بود تا نتایج حاصل از آخرین نسخه‌ی کامپایل شده‌ی طراحی خود را ببینید.

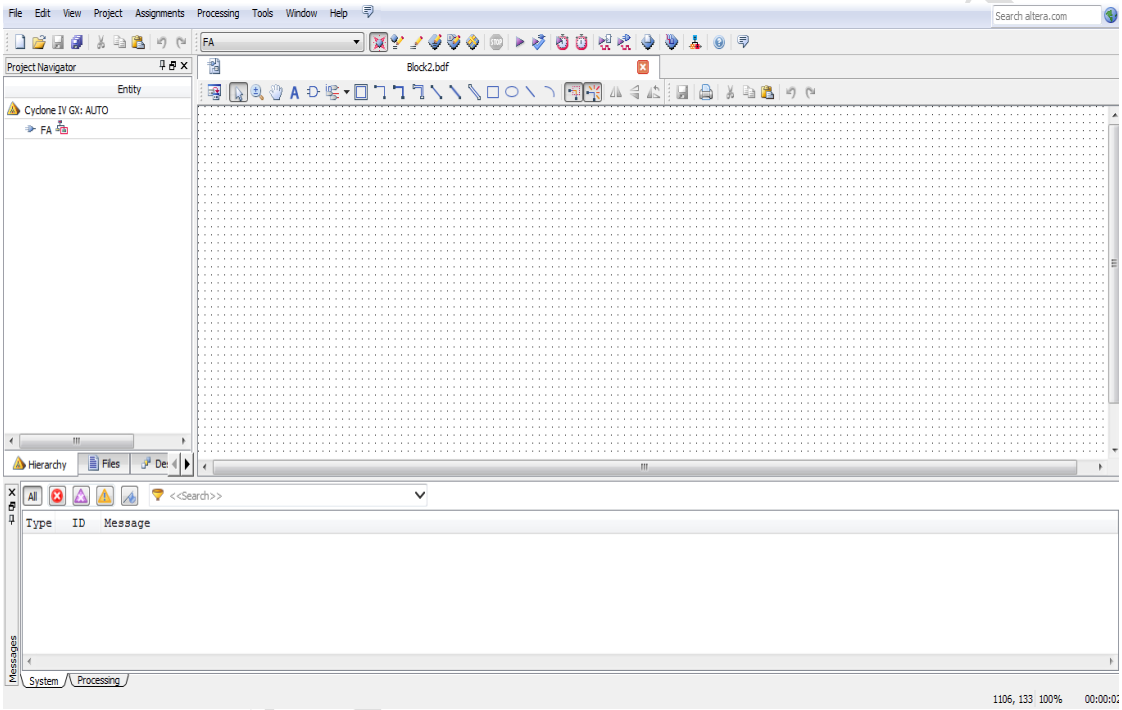
Copyright © 2013 ICEEP, University of Tehran

فصل سوم

طراحی بر اساس شماتیک

Copyright © 2013 ICEEP, University of Tehran

در این فصل به توضیح ایجاد یک طراحی بر اساس اتصال بلوک‌های کتابخانه‌ای می‌پردازیم. بنابراین این بار از شماتیک مدار جمع‌کننده استفاده می‌کنیم تا با این مثال، ویژگی‌های دیگر نرم‌افزار Quartus را نشان دهیم. درابتدا به طریقی که در فصل چهارم توضیح دادیم، یک پروژه‌ی جدید با نام FA_Shematic می‌سازیم. به File > New رفته و این بار گزینه‌ی بلوک دیاگرام[1]/ فایل شماتیک را از زیر گروه فایل‌های طراحی[2] انتخاب می‌کنیم.

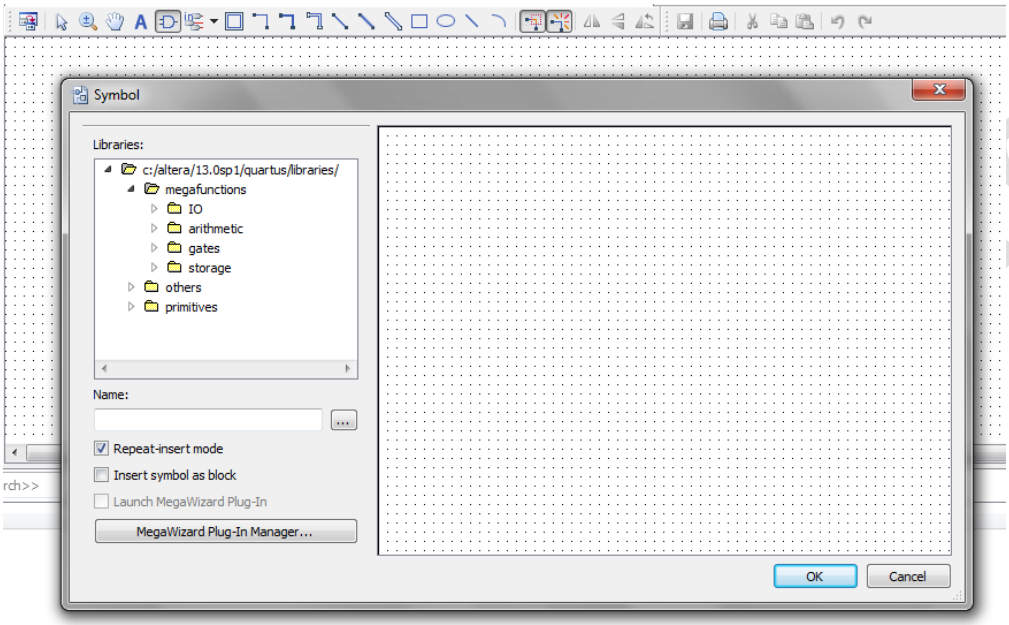


شکل (۳-۱) پنجره‌ی طراحی شماتیک

حال می‌بایست با کنار هم قرار دادن تمامی اجزای موردنیاز، مدار موردنظر را ساخت. می‌دانیم که عملیات این جمع‌کننده با تعریف رقم نقلی خروجی و حاصل‌جمع همراه است. بنابراین برای چیدن گیت‌های لازم، ابزار نماد[3] را که با نماد گیت AND مشخص شده است را از نوار ابزار

[1] Block Diagram
[2] Design Files
[3] Symbol Tool

انتخاب کنید. همان‌طور که مشاهده می‌شود سه دسته‌ی اصلی با نام‌های توابع اصلی[۱]، غیره[۲] و پایه‌ها[۳] وجود دارند که هریک زیر گروه‌های دیگری را شامل می‌شوند. بسته به نوع المان‌های مورد نظر، طراح می‌تواند میان هر یک از این گروه‌ها گشته و اجزای مربوطه را انتخاب نماید.

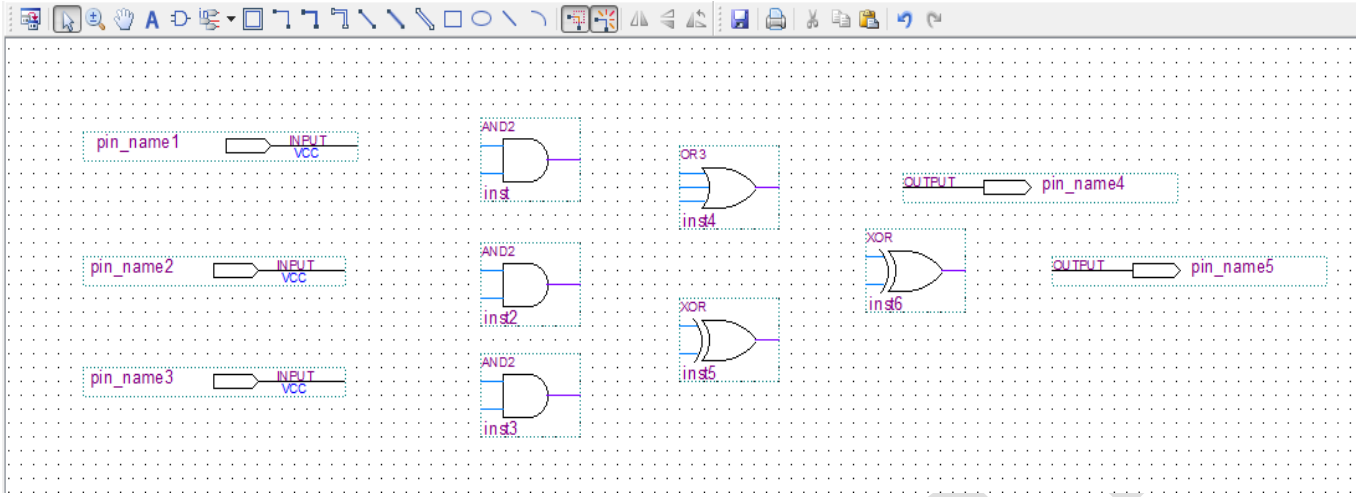


شکل (۳-۲) انتخاب گیت از کتابخانه‌ها

از آن‌جا که ما برای مدار جمع‌کننده‌ی خود به گیت‌های منطقی پایه از قبیل AND، OR و XOR نیازمندیم، به زیر گروه منطقی[۴] از بخش پایه‌ها مراجعه کرده و آن‌ها را انتخاب می‌نماییم. توجه به این نکته ضروری است که برای ورودی‌ها و خروجی‌های مدار نیز می‌بایست از پورت‌های ورودی یا خروجی استفاده کرد. این پورت‌ها نیز در بخش پایه‌ها و زیر بخش پین قابل دسترس می‌باشند.

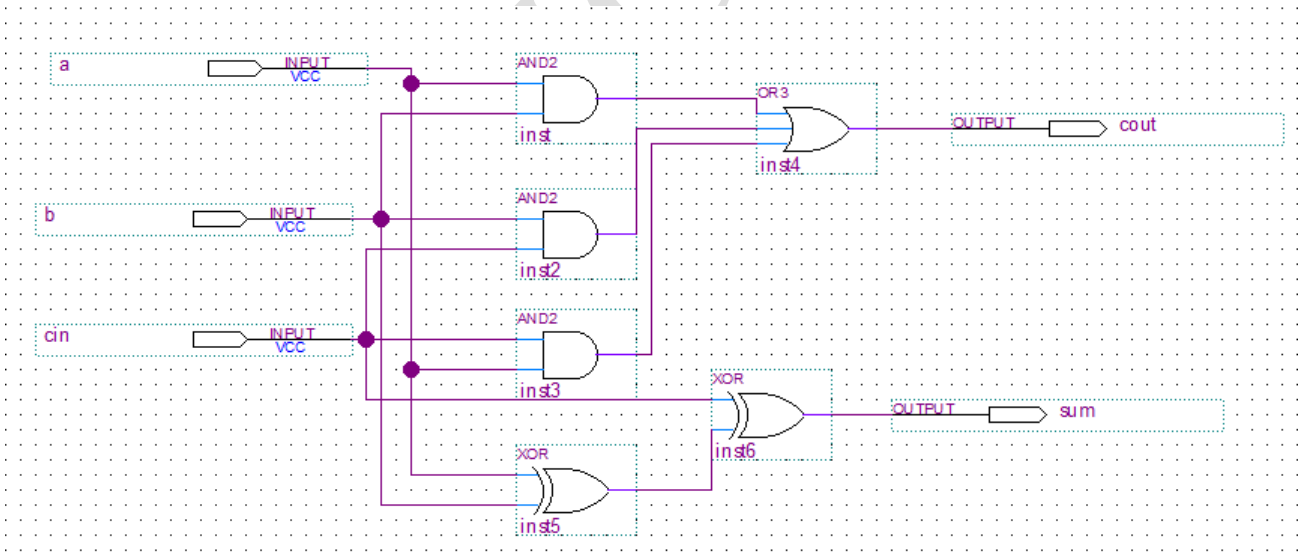
۱ Megafunctions
۲ Others
۳ Primitives
۴ Logic

Copyright © 2013 ICEEP, University of Tehran



شکل (۳-۳) انتخاب اجزای جمع‌کننده

پس از انتخاب تمامی اجزای موردنیاز، حال می‌بایست ارتباط میان آن‌ها را به درستی برقرار کرد.



شکل (۳-۴) برقراری ارتباط بین اجزای جمع‌کننده

حال برای کامپایل کردن مدار ساخته شده می‌بایست ابتدا این فایل را وذخیره کنیم و سپس آن را به پروژه‌ی خود بیافزاییم. در صورتی که مشکلی در ارتباطات و یا هر بخش دیگری از مدار

Copyright © 2013 ICEEP, University of Tehran

وجود نداشته باشد، می‌توان خلاصه‌ی نتایج سنتز را مشابه قبل در قسمت خلاصه‌ی روند مشاهده کرد.

www.ICEEP.ir

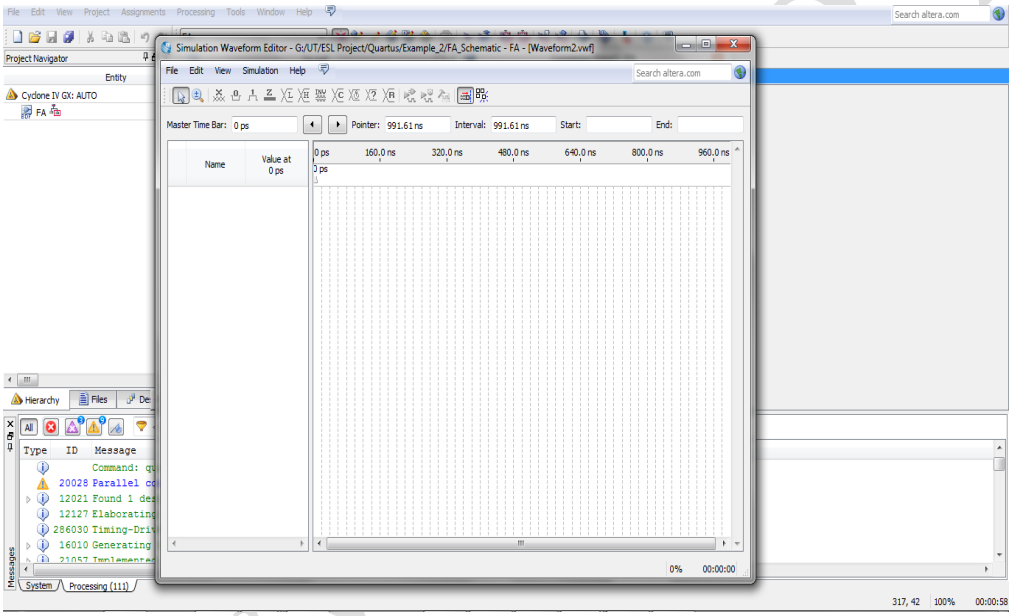
فصل چهارم

شبیه سازی رفتاری

Copyright © 2013 ICEEP, University of Tehran

Quartus II امکان شبیه‌سازی مدارات طراحی شده را برای شما فراهم می‌کند. ما نیز در این قسمت، هم به منظور توضیح این ویژگی در نرم‌افزار Quartus و هم به منظور اطمینان حاصل کردن از درستی عملکرد طراحی، جمع‌کننده‌ی خود را شبیه‌سازی کردیم.

باز هم به منوی File->New مراجعه کرده ولی این بار به جای فایل‌های طراحی به بخش فایل‌های درستی‌سنجی/درستی‌یابی[1] رفته و گزینه‌ی برنامه‌ریزی دانشگاهی VWF[2] را انتخاب می‌کنیم و بدین ترتیب پنجره‌ی مربوط به شکل موج باز می‌شود.

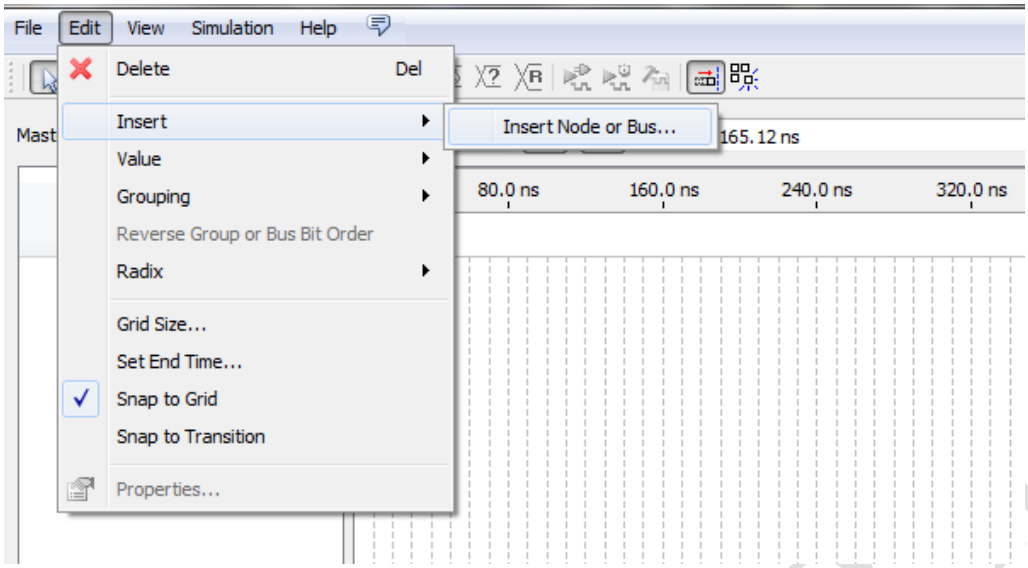


شکل (۴-۱) پنجره شکل‌موج

سپس به صورت زیر عمل می‌کنیم. بدین ترتیب که گره‌های موردنیاز در طراحی را انتخاب کرده و سیگنال‌ها یا پورت‌های ورودی/خروجی و یا هر موجودیتی را که خواستار حضور آن در شبیه‌سازی هستیم را به شکل موج خود می‌افزاییم.

[1] Verification/Debugging Files
[2] University Program VWF

Copyright © 2013 ICEEP, University of Tehran

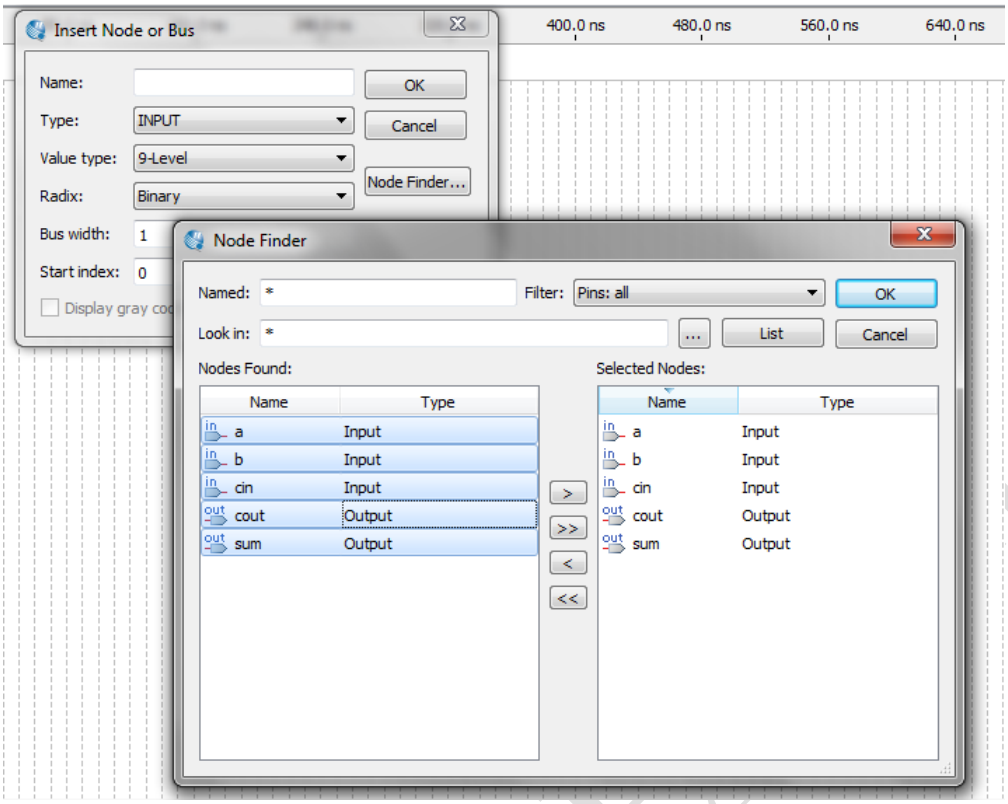


شکل (۴-۲) انتخاب گرهای دلخواه

از آن‌جا که برای بررسی عملکرد جمع‌کننده تنها به پورت‌های ورودی و خروجی نیازمندیم، بنابراین یابنده‌ی گره[۱] را به گونه‌ای تنظیم می‌کنیم که تنها لیست پین‌های موجود در مدار را نمایش دهد.

[۱] Node Finder

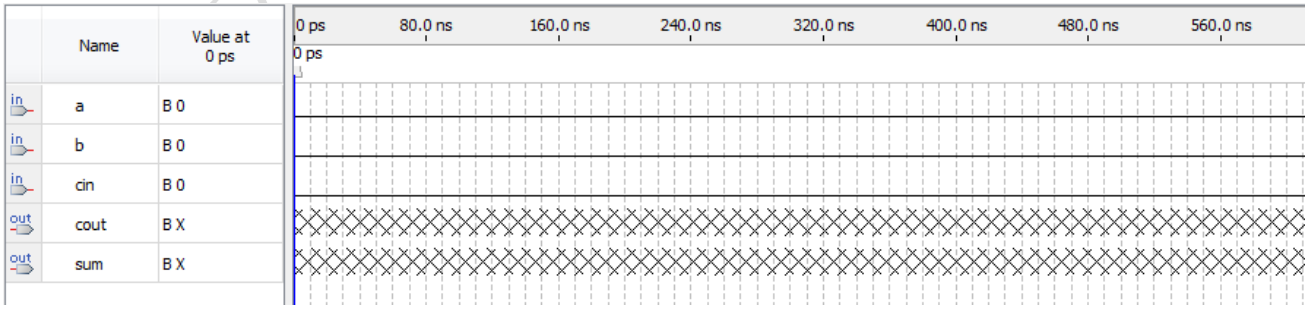
www.ICEEP.ir



شکل (۴-۳) انتخاب ورودی و خروجی برای لیست پین‌ها

با انتخاب تمامی گره‌های موردنظر، همه‌ی آن‌ها را به صفحه شکل‌موج خود اضافه می‌کنیم.

بدین ترتیب همه چیز برای شبیه‌سازی آماده بوده و تنها مقدار دهی به ورودی‌ها و بررسی خروجی‌ها باقی می‌ماند.

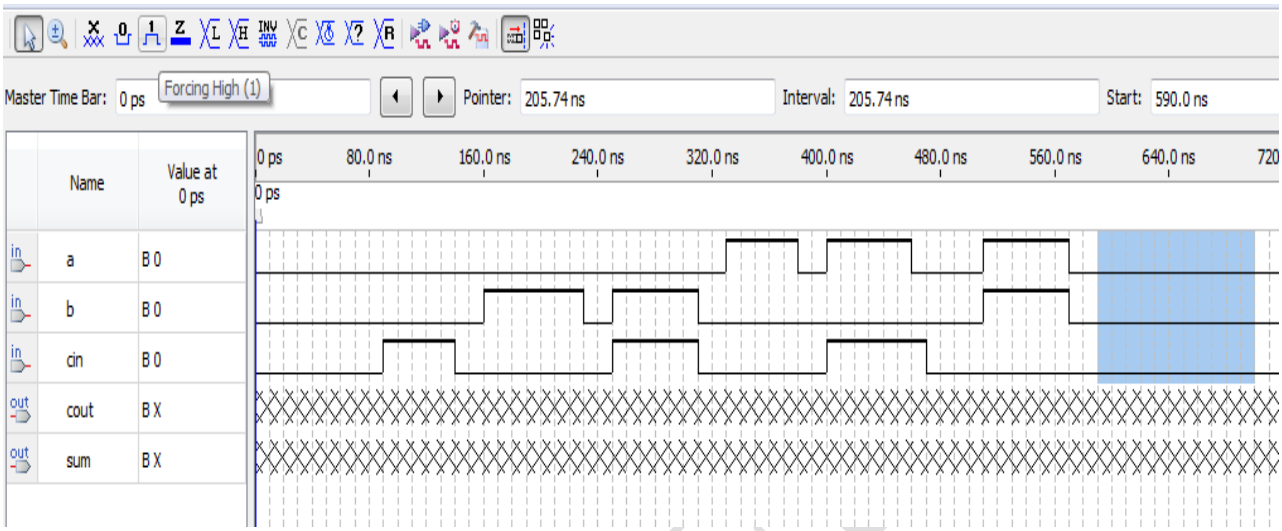


شکل (۴-۴) حالت اولیه شکل موج‌ها

حال نوبت آن است که هر یک از سیگنال‌های a، b و cin را مقداردهی نماییم. به این منظور

Copyright © 2013 ICEEP, University of Tehran

بخشی از سیگنال موردنظر را انتخاب کرده و با استفاده از گزینه‌های مختلفی که در نوار ابزار تعبیه شده، مقادیر صفر، یک، امپدانس بالاو ... را به آن‌ها نسبت می‌دهیم.



شکل (۴-۵) مقداردهی سیگنال‌ها

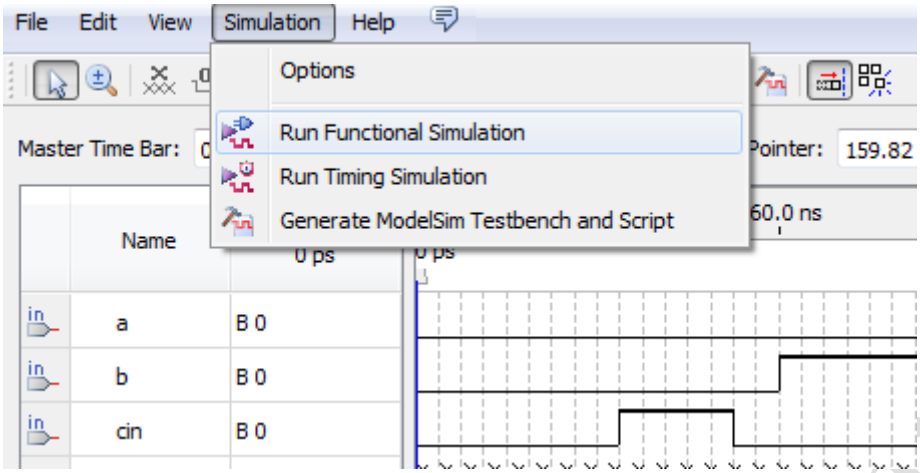
حال برای مشاهده‌ی مقادیر خروجی‌ها، می‌بایست مدار را با مقدیر داده شده راه‌اندازی کنید. البته پیش از آن که بتوانید مدار را شبیه‌سازی کنید، لازم است که آن را ذخیره نمایید.

برای شبیه‌سازی دو گزینه‌ی شبیه‌سازی عملکردی[۱] ئ شبیه‌سازی زمانی[۲] پیش رو خواهید داشت که در حالت اول تنها عملکرد مدار در حالت ایده‌آل بودن عملکرد اجزا، مورد مطالعه قرار می گیرد، اما حالت دوم در شرایط پیاده‌سازی واقعی با در نظر گرفتن تاخیرهای زمانی و سایر ملاحظات انجام می‌گیرد.

[۱] Functional

[۲] Timing

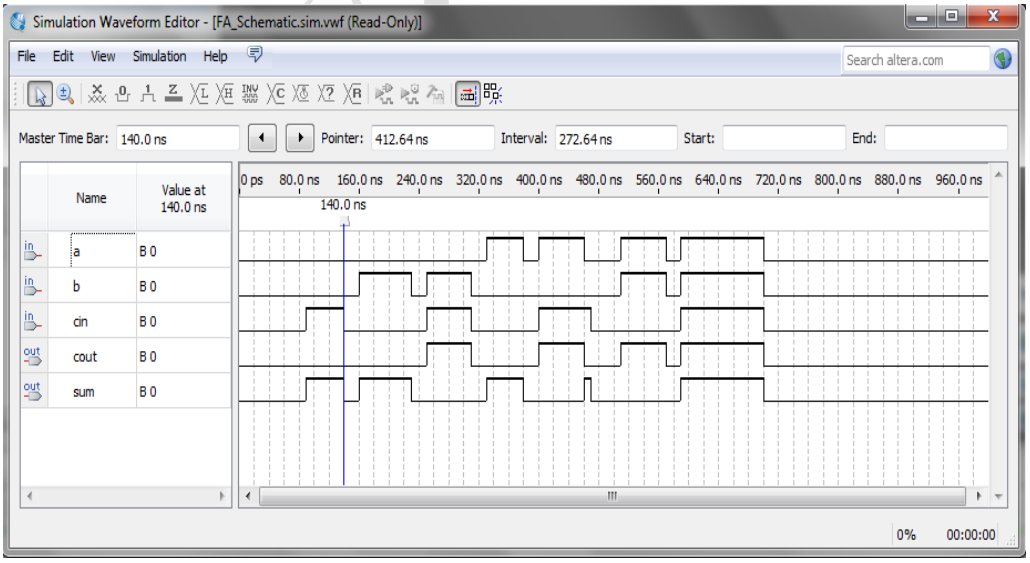
www.ICE



شکل (۴-۶) اجرای عملکردی شبیه‌سازی

نکته: شبیه‌سازی تنها برای برخی از خانواده‌های FPGA امکان پذیر است. به عنوان مثال در صورتی که در زمان تعیین دستگاه مقصد از تنظیمات پیش فرض نرم‌افزار استفاده نموده‌اید (***Cyclone*** IV GX)شبیه سازی به درستی انجام نخواهد پذیرفت.

در نهایت نتیجه‌ی شبیه‌سازی در قالب یک پنجره‌ی جدید و غیر قابل تغییر نمایش داده می‌شود.



شکل (۴-۷) نتیجه شبیه‌سازی

Copyright © 2013 ICEEP, University of Tehran

از آن‌جا که مثال در نظر گرفته شده مداری ترکیبی بوده و تنها به ورودی‌ها وابسته می‌باشد، با بررسی مقادیری که در هر لحظه دو سیگنال خروجی Sum و Cout به خود می‌گیرند به سادگی می‌توان پی به عملکرد صحیح شماتیک ساخته شده‌ی خود، به عنوان یک مدار جمع‌کننده، ببریم.

www.ICEEP.ir

Copyright © 2013 ICEEP, University of Tehran

فصل پنجم

پیاده‌سازی

پیاده‌سازی فرآیندی شامل ترجمه[۱]، ترسیم[۲]، جایابی[۳] و مسیر یابی[٤] است. در این راهنما پیاده‌سازی روی برد DE2 انجام می‌شود. اما روند مشابهی برای برنامه‌ریزی[٥] هر FPGAای از شرکت ALTERA در Quartus تعریف شده است که در این قسمت به آن می‌پردازیم.

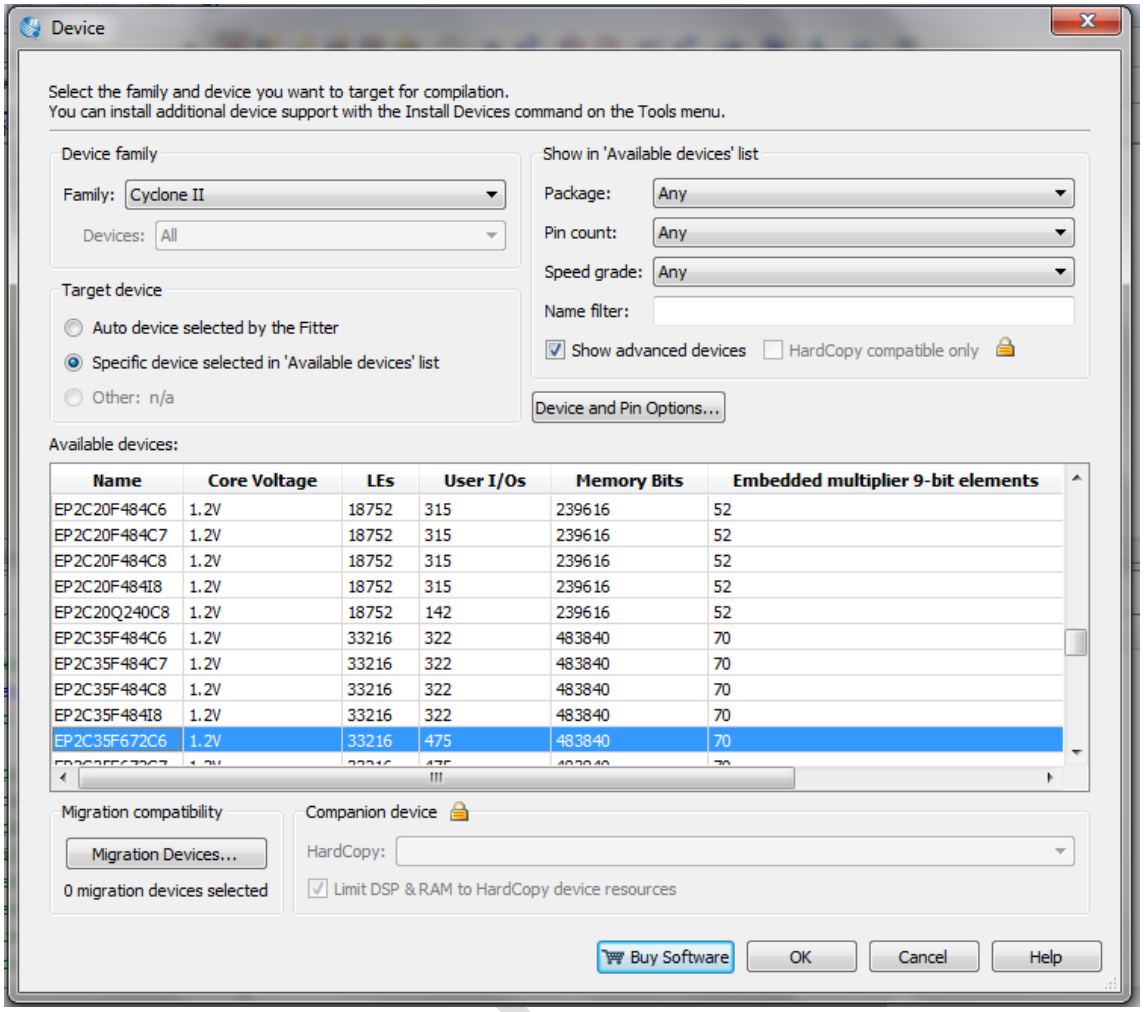
۵-۱- انتخاب دستگاه هدف[٦]

در ابتدای کار بایستی دستگاه مقصد را از حالت پیش فرض به دستگاه مقصد برد DE2 تغییر دهید. می توانید این کار را در ابتدای زمان تعریف پروژه انجام دهید و یا اگر از آن مرحله عبور کردهاید از طریق Assignment > Device به پنجره‌ای مشابه شکل ۵-۱ بروید. در این پنجره در قسمت خانواده Cyclone II و برای نوع دستگاه EP2C35F672C6 را انتخاب کنید و تایید[۷] را بزنید.

www.ICEEP.ir

---

۱ Translate
۲ Map
۳ Place
٤ Route
٥ Program
٦ Target Device
۷ OK



شکل (۵-۱) انتخاب دستگاه

۵-۲- تخصیص پین

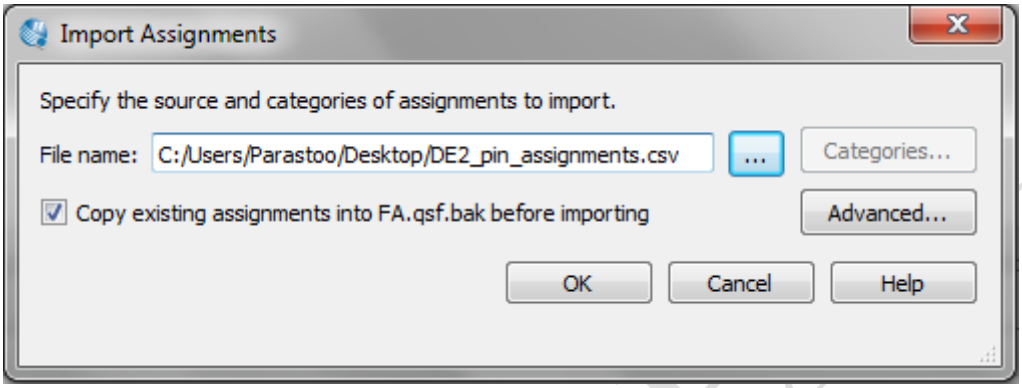
در این قسمت فرآیند تخصیص[۱] پین انجام شود. از آنجا که برد DE2 دارای تعداد پین‌های بسیاری است، برای انجام عمل تخصیص پین می توان از یک فایل Excel آماده که لیست تمام پین‌ها را داراست استفاده کرد و یا اینکه به صورت دستی این عملیات را انجام داد.

[۱] Assignment

www.

۵-۲-۱- تخصیص پین با روش استفاده از فایل آماده

برای استفاده از فایل Excel در Quartus از طریق Assignments > Import Assignment فایل ذکر شده را وارد کنید.



شکل (۵-۲) وارد نمودن فایل Excel

تنها نکته‌ای که وجود دارد این است که اگر از فایل Excel استفاده می کنید نام‌گذاری پورت‌ها باید بر اساس نام‌گذاری فایل مربوطه باشد. به عنوان مثال اگر در جمع‌کننده بخواهید ورودی‌ها را توسط سویچ‌های برد اعمال کنید و خروجی‌ها را توسط LED ها مشاهده کنید، باید نام‌گذاری پورت‌ها را در بخش Verilog به صورت زیر تغییر دهید.

```
1   module FA (input [2:0]SW, output [1:0]LEDR);
2      assign LEDR[0]=SW[2]^SW[1]^SW[0];
3      assign LEDR[1]=(SW[2]&SW[1])|(SW[2]&SW[0])|(SW[1]&SW[0]);
4   endmodule
```

شکل (۵-۳) تغییر نام پورت‌ها با توجه به نام‌گذاری در فایل Excel(۱)

در صورتی که طراحی شما دارای تعداد زیادی متغیر است که تغییر نام تمامی آنها کار زمان‌بری باشد می توانید ورودی‌ها را با اسامی فایل Excel گرفته و در داخل به

www.ICEEP

ورودی‌های واحد خودتان تخصیص دهید. در آخر هم ورودی‌های واحد را گرفته و به پورت‌های خروجی وصل کنید.

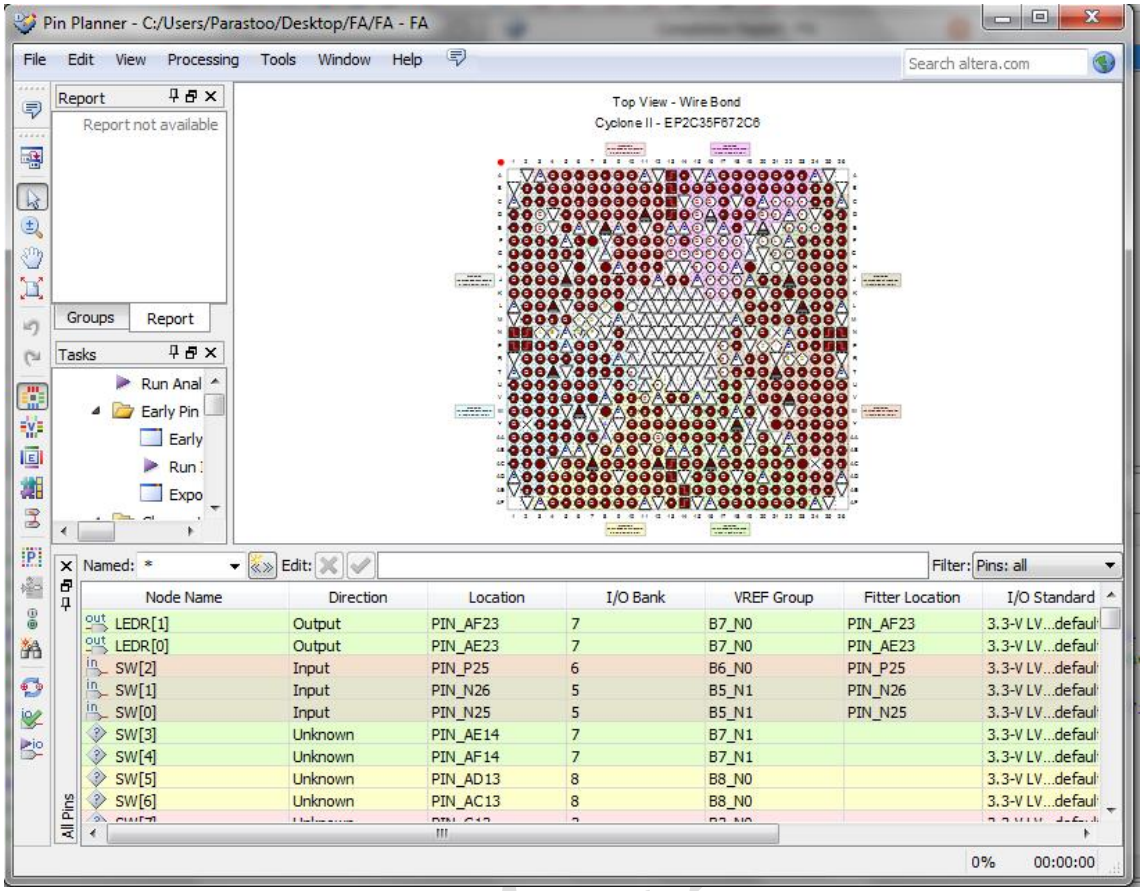
```
1   module FA (input [2:0]SW, output [1:0]LEDR);
2      wire a, b, cin, s, cout;
3      assign a=SW[2];
4      assign b=SW[1];
5      assign cin=SW[0];
6      assign LEDR[0]=s;
7      assign LEDR[1]=cout;
8
9      assign s=a^b^cin;
10     assign cout=(a&b)|(a&cin)|(b&cin);
11  endmodule
```

شکل (۵-۴) تغییر نام پورت‌ها با توجه به نام‌گذاری در فایل Excel(۲)

۵-۲-۲- تخصیص پین باروش دستی

در این روش از طریق Assignments > Pin Planner صفحه مربوط به تخصیص پین را باز کنید. این صفحه مشابه شکل۵-۵ است.

www.ICEEP.ir



شکل (۵-۵) پنجره‌ی تخصیص پین

در قسمت پایین پنجره لیست پورت‌ها وجود دارد که باید به آن‌ها پین اختصاص دهید. در شکل۵-۵ از آنجا که قبلا فایل Excel را وارد کرده‌ایم در مقابل هر پین موقعیت آن هم تعریف شده است که در این قسمت می توانید آن‌ها را تغییر دهید.

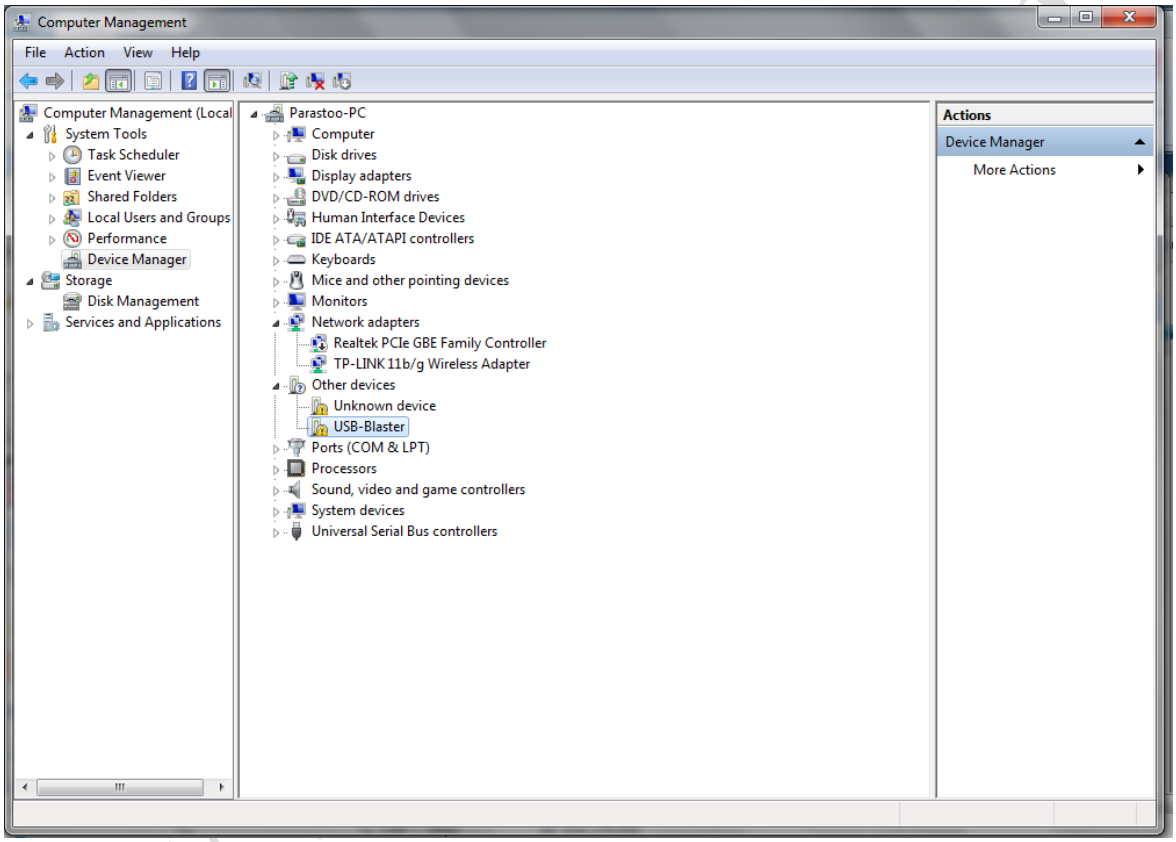
در نهایت یک بار دیگر طراحی خود را کامپایل نمایید تا از درست بودن عملیات تخصیص پین و اعمال آن به پروژه‌ی خود مطمئن شوید.

۵-۳- برنامه‌ریزی دستگاه

برای برنامه‌ریزی دستگاه ابتدا سیم‌های توان و اتصال به کامپیوتر برد را وصل کنید. سپس از

Copyright © 2013 ICEEP, University of Tehran

طریق Tools > Programmer پنجره برنامه‌ریزی را باز کنید. در صورتی که برای اولین بار است که برد را به کامپیوترتان وصل می کنید در قسمت تنظیمات سخت‌افزار[۱] هیچ سخت‌افزاری وجود ندارد در این شرایط باید درایور[۲] مربوط به سخت‌افزار برد را نصب کنید. برای این کار ابتدا روی کامپیوتر من[۳] راست کلیک کرده و گزینه مدیریت[۴] را انتخاب کنید. سپس در پنجره‌ی باز شده، روی USB-Blaster کلیک کنید.



شکل (۵-۶) پنجره‌ی مدیریت کامپیوتر[۵]

سپس در پنجره‌ی باز شده گزینه‌ی به روز رسانی[۱] درایور را بزنید.

---

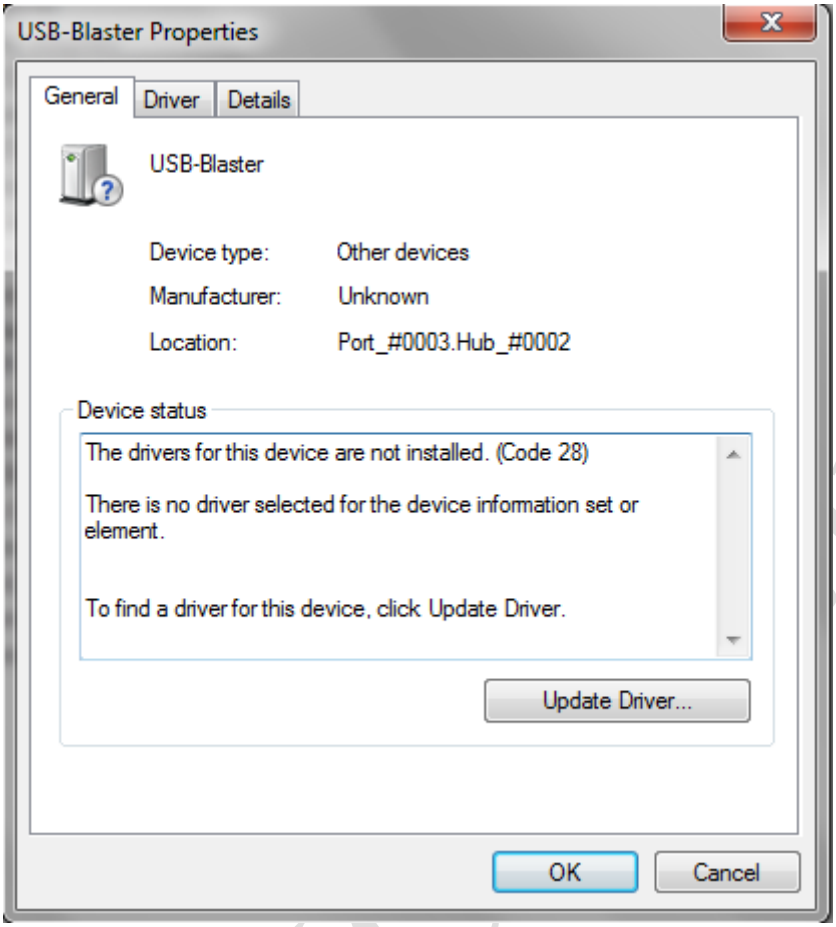
[۱] Hardware setup

[۲] Driver

[۳] My Computer

[۴] Manage

[۵] Computer Managment

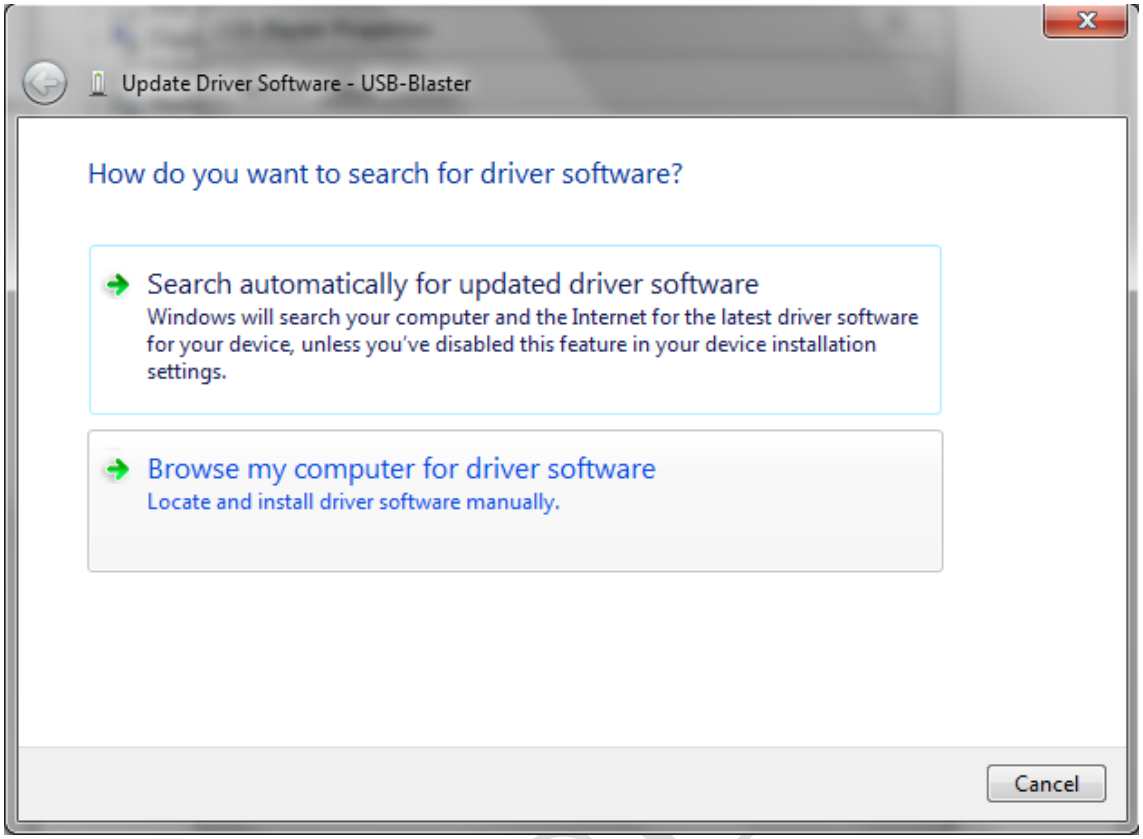


شکل (۵-۷) نصب درایور

در نهایت گزینه‌ی نصب دستی درایور را انتخاب کنید.

[1] Update

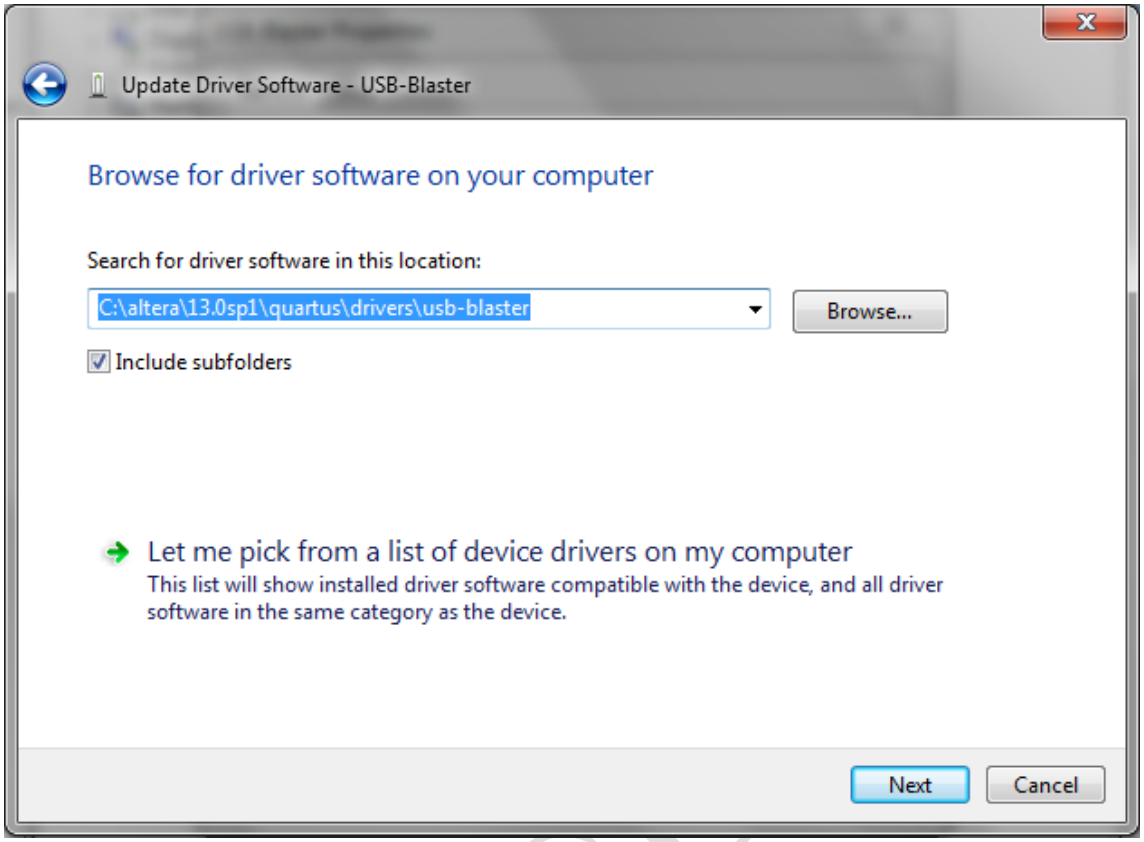
www.ICEEP.ir



شکل (۵-۸) نصب دستی نرم‌افزار

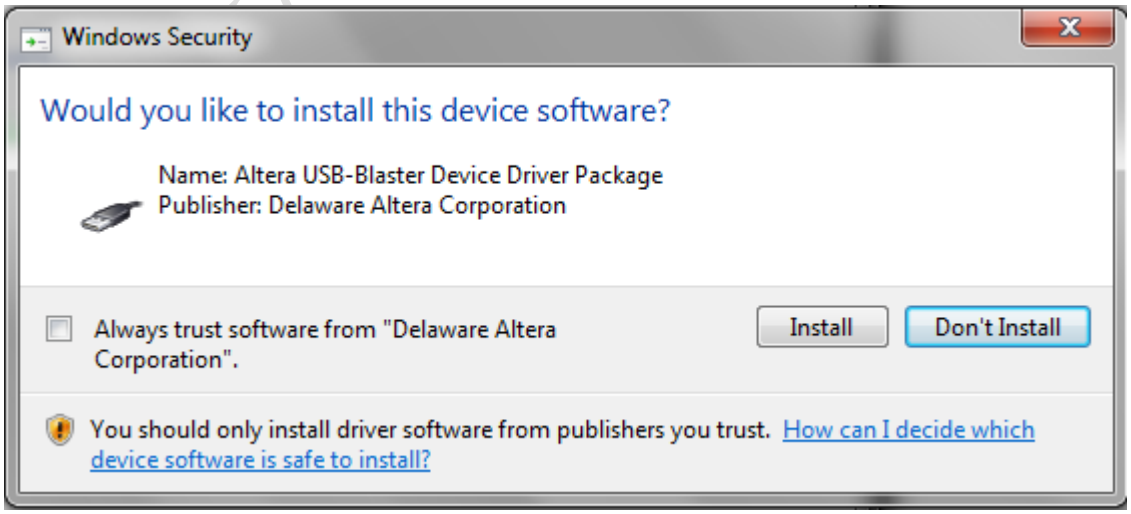
در نهایت مسیر نشان داده شده در شکل ۵-۹ (و یا هر مسیری که شما را به پوشه‌ی USB-Blaster می رساند. را وارد نموده و بعدی را انتخاب کنید.

www.ICEEP.ir



شکل (۵-۹) مسیر پوشه‌ی USB-Blaster

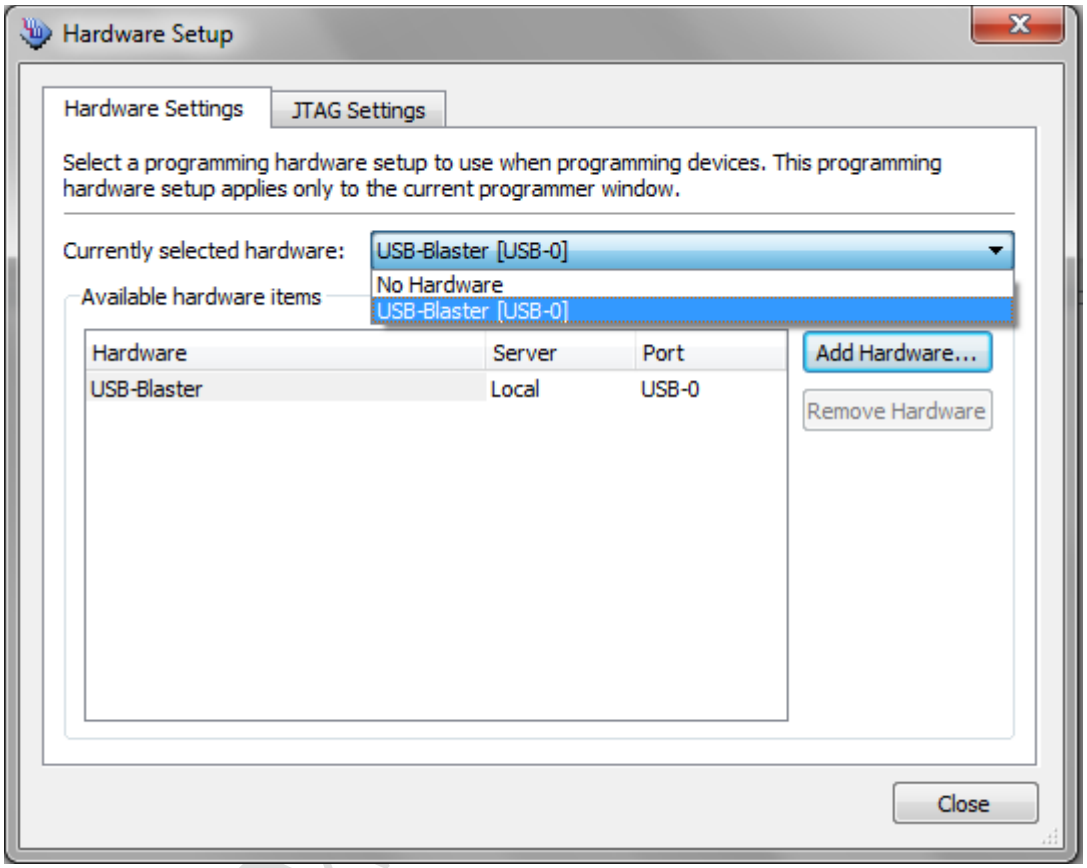
در نهایت اجازه‌ی نصب نرم‌افزار از شما خواسته می شود که با دادن این اجازه درایور نصب خواهد شد.



شکل (۵-۱۰) اجازه نصب درایور

Copyright © 2013 ICEEP, University of Tehran

پس از انجام این مرحله دو باره صفحه برنامه‌ریزی در Quartus را باز کنید و روی تنظیمات سخت افزار بروید و در بخش سخت‌افزارهای موجود[1] گزینه‌ی USB-Blaster [USB-0] را انتخاب کنید.

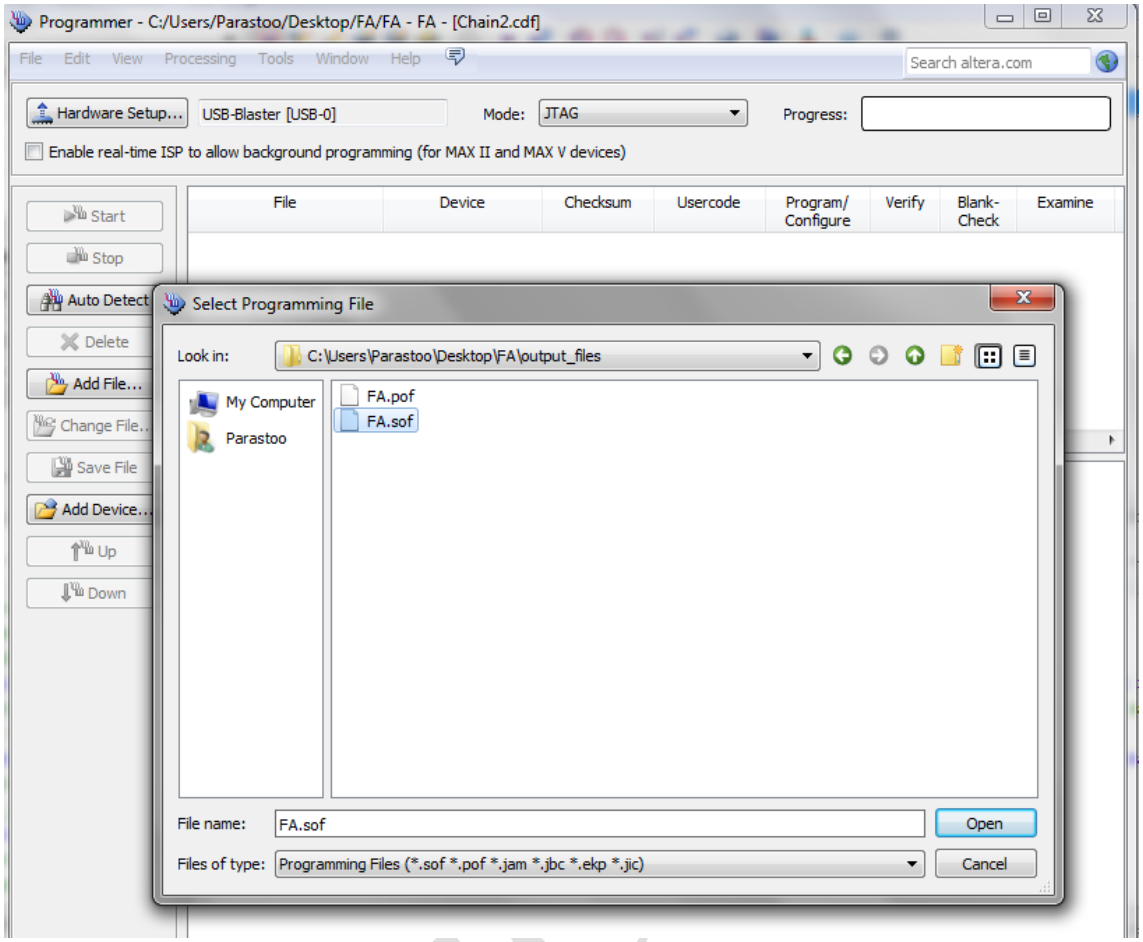


شکل (۵-۱۱) انتخاب سخت‌افزار

پس از آن باید فایل پروژه خود را به این قسمت اضافه کنید. بنابراین روی گزینه افزودن فایل[2] کلیک کرده و در بخش فایل های خروجی[3] دنبال فایلی با نام طراحی شما و با پسوند .sof بگردید و آن را باز کنید.

[1] Available Hardwares
[2] Add File
[3] Output Files

Copyright © 2013 ICEEP, University of Tehran

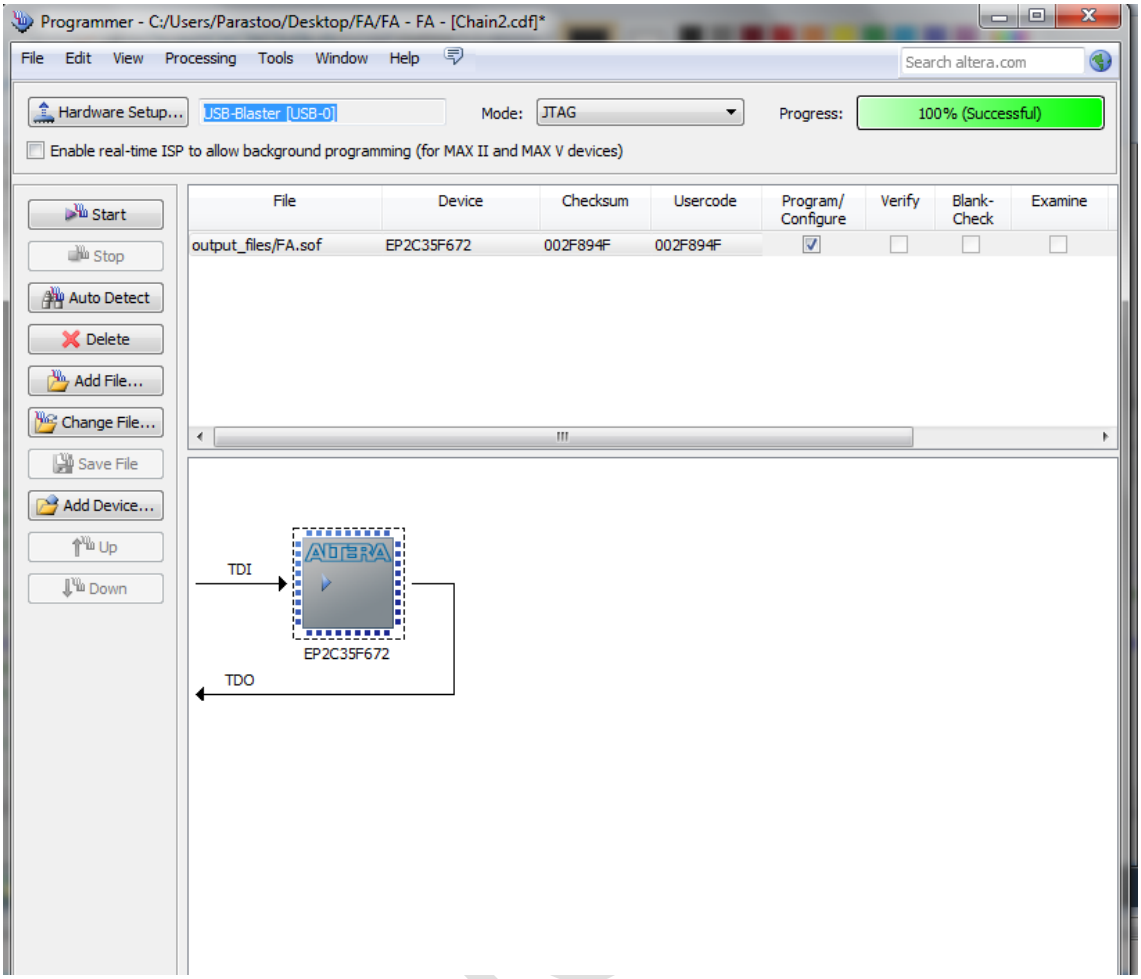


شکل (۵-۱۲) انتخاب فایل برنامه‌ریزی

سپس در صفحه‌ی اصلی آن فایل آن را انتخاب و گزینه‌ی شروع[۱] را بزنید. اگر در روند برنامه‌ریزی خطایی وجود نداشته باشد عملیات با موفقیت انجام خواهد شد.

[۱] Start

www.ic



شکل (۵-۱۳) برنامه‌ریزی دستگاه هدف

در این مرحله کار به اتمام می‌رسد. شما تا اینجا با عملیات پایه ای در Quartus آشنا شدید و می‌توانید سخت افزار خود را طراحی و روی برد آن را تست کنید. برای کسب اطلاعات بیشتر می‌توانید به سایت www.ICEEP.ir مراجعه کنید.

Copyright © 2013 ICEEP, University of Tehran

واژه‌نامه

A	
Active High	فعال بالا
Active Low	فعال پایین
Add File	افزودن فایل
Assignment	تخصیص
Atom Primitive	بخش‌های پایه‌ای
Available Hardwares	سخت افزارهای موجود
B	
Block Diagram	بلوک دیاگرام
C	
Combined Files	فایل‌های ترکیبی
Computer Managment	مدیریت کامپیوتر
D	
Debugging	درستی‌یابی
Design File	فایل طراحی
Device	دستگاه
Driver	درایور
Download Selected File	دانلود فایل‌های انتخابی

Copyright © 2013 ICEEP, University of Tehran

E	
F	
Finish	اتمام
Flow Summary	خلاصه‌ی روند
Full Adder	جمع‌کننده
Functional	عملکردی
G	
H	
Hardware Setup	تنظیمات سخت‌افزار
I	
I/O Buffer	بافر ورودی/ خروجی
J	
K	
L	
License	مجوز
Logic	منطقی

www.iceep.ir

Logic Cell	سلول منطقی
M	
Manage	مدیریت
Map	ترسیم
Megafunctions	توابع اصلی
My Computer	کامپیوتر من
N	
Netlist Viewer	نمای لیست گره
Next	بعدی
Node Finder	یابنده‌ی گره
O	
OK	تایید
Others	غیره
Output File	فایل خروجی
P	
Place	جایابی
Primitive	پایه
Program	برنامه‌ریزی

www.ICEEP.ir

Project	پروژه
Properties	ویژگی‌ها
Q	
R	
Route	مسیریابی
RTL Viewer	نمای سطح انتقال ثبات
S	
Schematic	شماتیک
Start	شروع
State Machine Viewer	نمای ماشین حالت
Symbol Tool	ابزار نماد
T	
Target Device	دستگاه مقصد
Technology Map Viewer	نمای تکنولوژی ترسیم
Timing	زمان‌بندی
Translate	ترجمه
U	

www.ICEEP.ir

به روز رسانی	Update
V	
درستی‌سنجی	Verification
W	
X	
Y	
Z	

www.ICE

Copyright © 2013 ICEEP, University of Tehran