راهنمای استفاده از نرم‌افزار ISE

بر اساس نسخه ISE 14.5

محدودیت‌های زمانی

راهنمای پیش‌رو برای آموزش کار با نرم‌افزار ISE متعلق به شرکت Xilinx تهیه شده است.

کلیه حقوق این اثر متعلق به گروه ICEEP دانشگاه تهران است. هر گونه تکثیر از این اثر منوط به اجازه‌ی کتبی پدیدآورندگان این راهنما در گروه ICEEP می‌باشد.

www.ICEEP.ir

روند بازبینی

نسخه	تاریخ	نسخه ISE
۱.۰	۹۳.۱۱.۲٤	١٤.٥

www.ICEEP.ir

فهرست

فصل ۱: پیشگفتار ۱۲

فصل ۲: کلیات محدودیت‌های زمانی ۱٤

۲-۱- محدودیت‌های اصلی ۱۵

۲-۱-۱-محدودیت‌های زمانی ورودی ۱٦

۲-۱-۱-۱- ورودی‌های هم‌زمان با سیستم ۱۷

۲-۱-۱-۲- ورودی‌های هم‌زمان با منبع ۱۹

۲-۱-۲-محدودیت‌های زمانی رجیستر به رجیستر ۲۲

۲-۱-۲-۱- حوزه‌های ساعت هم‌زمان DLL, DCM, PLL و MMCM (ارتباط خودکار) ۲۳

۲-۱-۲-۲- حوزه‌های ساعت هم‌زمان با ارتباط دستی ۲٤

۲-۱-۲-۳-حوزه‌های ساعت غیرهم‌زمان ۲٦

۲-۱-۳-محدودیت‌های زمانی خروجی ۲۷

۲-۱-۳-۱- خروجی هم‌زمان با سیستم ۲۸

۲-۱-۳-۲- خروجی‌های هم‌زمان با منبع ۲۹

۲-۱-٤-مسیرهای نادرست ۳۲

فصل ۳: اصول محدودیت‌های زمانی ۳۵

۳-۱- سیستم محدودیت ۳٦

۳-۱-۱-DLL، DCM، PLL، BUFR، PMCD و MMCM ۳٦

۳-۱-۲-شرایط انتقال ۳٦

۳-۱-۳-مثال (DCM) ۳۷

۳-۱-٤-المان‌های هم‌زمان ۳۸

۳-۱-۵-تحلیل با محدودیت Period ۳۹

۳-۱-٦-کلیدواژه Phase ۳۹

۳-۱-۷-دستکاری اجزای DCM، DLL و PLL با Phase ٤۰

۳-۱-۸-ایجاد گروه زمانی ٤۱

۳-۱-۹-اتصال گره ٤۱

www.ICEEP.ir

۳-۱-۱۰- نام زمانی Attribute در یک گره یا سیگنال..... ٤٢
۳-۱-۱۱- نام زمانی روی یک پدساعت یا گره..... ٤٢
۳-۱-۱۲-تفاوت بین گره نام زمانی (TNM_NET) و نام زمانی(TNM)..... ٤٥
۳-۱-۱۳-قوانین انتشار برای محدودیت گره نام زمانی..... ٤٥
۳-۱-۱٤-ایجاد گروه‌های زمانی با کمک سیگنال IPAD..... ٤٦
۳-۱-۱٥-ساختارهای سلسله مراتبی..... ٤٦
۳-۱-۱٥-۱-استفاده از کاراکترهای Wildcard..... ٤٨
۳-۱-۱٥-۲- پین نمونه گیری..... ٥٠
۳-۱-۱٦-محدودیت‌های گروه..... ٥١
۳-۱-۱٦-۱-گروه‌های زمانی..... ٥٢
۳-۱-۱٦-۲-گروه‌های از پیش تعریف شده..... ٥٢
۳-۱-۱٦-۳-گروه‌های تعریف شده توسط کاربر..... ٥٣
۳-۱-۱٦-۴-Timing Group Attribute..... ٥٣
۳-۱-۱٦-٥-ایجاد زیرمجموعه از گروه‌های موجود..... ٥٤
۳-۱-۱٦-٦-Pattern Matching..... ٥٤
۳-۱-۱٦-۷- مثال گروه زمانی..... ٥٥
۳-۲- الویت‌های محدودیت..... ٥٦
۳-۳- محدودیت‌های زمانی..... ٥٦
۳-۳-۱-محدودیت Period..... ٥٧
۳-۳-۱-۱- توصیف دوره تناوب ساعت..... ٥٧
۳-۳-۱-۲- محدودیت Period روی گره ساعت..... ٥٨
۳-۳-۱-۳- محدودیت‌های مرتبط..... ٥٩
۳-۳-۱-٤- نحوه استفاده از محدودیت Period..... ٦٠
۳-۳-۱-٥- حوزه‌های غیر مرتبط..... ٦٠
۳-۳-۱-٦- مسیرهای پوشش داده شده توسط Period..... ٦٠
۳-۳-۲-محدودیت Offset..... ٦١
۳-۳-۲-۱- توصیف واسط‌های زمانی با اجزای بیرونی..... ٦١
۳-۳-۲-۲-توصیف ارتباط بین داده بیرونی و ساعت..... ٦١
۳-۳-۲-۳-لبه ساعت آغازین..... ٦٣
۳-۳-۲-٤-پد ساعت و داده بیرونی..... ٦٣
۳-۳-۲-٥-مسیرهای تحت پوشش محدودیت‌هایOffset..... ٦٣
۳-۳-۲-٦-تحلیل زمانی I/O..... ٦٤
۳-۳-۲-۷-سطوح پوشش..... ٦٤

www.ICEEP.ir

۳-۳-۳-محدودیت From: To(Multi Cycle) ٦٥

۳-۳-۳-۱-محدودیت‌های Multi Cycle ٦٦
۳-۳-۳-۲- محدودیت From:To ٦٦
۳-۳-۳-۳-تعریف نقطه شروع و پایان ٦٦
۳-۳-۳-٤-From یا To اختیاری ٦٧
۳-۳-۳-٥-مسیرهای عبور کننده از مرز ساعت ٦٧
۳-۳-۳-٦-مسیر پد به پد ٦٨
۳-۳-۳-۷-نادیده گرفتن مسیر ۷۰
۳-۳-۳-۸-مسیرهای نادرست یا محدودیت Ignore ۷۲
۳-۳-۳-۹-مثال از From: To ۷۳

فصل ٤: توصیف محدودیت‌های زمانی در XST ۷٥

٤-۱- مثال‌ها ۷۷
٤-۱-۱- رجیستر غیرهم‌زمان ۷۷
٤-۱-۲-سیگنال ساعت ۷۸
٤-۱-۳-بیشترین تاخیر ۷۹
٤-۱-٤-بیشترین انحراف ۷۹
٤-۱-٥-Offset ۸۰
٤-۱-٦-Period ۸۱
٤-۱-۷-System Jitter ۸۳
٤-۱-۸-نادیده گرفتن زمانی ۸٥
٤-۱-۹-گروه زمانی ۸٥
٤-۱-۱۰-مسیر چند سیکله ۸٦
٤-۱-۱۱-توصیف زمانی ۸۷
٤-۱-۱۲-نام زمانی ۸۸
٤-۱-۱۳-گره نام زمانی ۸۸

فصل ٥: استراتژی‌های ورود به محدودیت‌های Xilinx ۹۰

٥-۱- روش ورود محدودیت‌ها ۹۱
٥-۲- طراحی شماتیک ۹۱

www.ICEEP.ir

۵-۳-Verilog ۹۲
۵-٤- فایل محدودیت کاربر ۹۳
5-5- فایل NCF ۹٤
۵-٦- فایل‌های UCF و NCF ۹٤
5-7- فایل PCF ۹۵
۵-۸- ویراستار محدودیت‌ها ۹٦
۵-۹-ISE ۹۷
۵-۱۰-PlanAhead ۹۸
۵-۱۱- تنظیم محدودیت‌ها در PACE ۹۹
۵-۱۲- تخصیص پین قبل از اتمام طراحی ۹۹
واژه‌نامه ۱۰۰

www.ICEEP.ir

فهرست شکل‌ها

شکل (۲-۱) واسط هم‌زمان با سیستم به همراه زمان‌بندی SDR ۱۸
شکل (۲-۲) دیاگرام زمانی یک واسط هم‌زمان با سیستم SDR ایده‌آل ۱۹
شکل (۲-۳) واسط هم‌زمان با منبع به همراه زمان‌بندی DDR ۲۰
شکل (۲-٤) دیاگرام زمانی یک واسط هم‌زمان با منبع DDR ۲۱
شکل (۲-۵) ورودی ساعت به DCM ۲٤
شکل (۲-٦) ورود دو ساعت توسط دو پین جداگانه به FPGA ۲۵
شکل (۲-۷) نمونه تاخیر خروجی ۲۷
شکل (۲-۸) خروجی هم‌زمان با سیستم (SDR) ۲۸
شکل (۲-۹) واسط هم‌زمان با سیستم به همراه زمان‌بندی SDR ۲۹
شکل (۲-۱۰) واسط هم‌زمان با منبع به همراه زمان‌بندی DDR ۳۰
شکل (۲-۱۱) دیاگرام زمانی واسط هم‌زمان با منبع DDR ایده‌آل ۳۱
شکل (۲-۱۲) مسیری بین رجیستری، بی تاثیر در مدار از لحاظ زمانی ۳۲
شکل (۲-۱۳) مجموعه از رجیسترها که با سیگنال Clock Enable کار می‌کنند ۳۳
شکل (۳-۱)Period جدید روی پین‌های خروجی ۳۷
شکل (۳-۲) نام زمانی روی یک پدساعت یا گره ٤۲
شکل (۳-۳) نام زمانی روی گره A0 ..... ٤۳
شکل (۳-٤) انتقال نام زمانی سطح بالا به پایین ٤۷

www.ICEEP.ir

شکل (۳-۵) طی ساختار سلسله مراتبی با کاراکترهای Wildcard ۵۰

شکل (۳-٦) قرار دادن یک نام زمانی روی یک پین ماکرو و اعمال محدودیت ۵۱

شکل (۳-۷) این محدودیت مسیر رجیستر به رجیستر را می‌پوشاند ۵۸

شکل (۳-۸) محدودیت‌های مرتبط ۵۹

شکل (۳-۹) حوزه‌های غیر مرتبط ٦۰

شکل (۳-۱۰) شمای زمانی محدودیت Offset In ٦۲

شکل (۳-۱۱) شمای زمانی Offset Out ٦۲

شکل (۳-۱۲) دیاگرام مداری محدودیت‌های Offset ٦٤

شکل (۳-۱۳) Offset با گروه‌های زمانی مختلف ٦۵

شکل (۳-۱٤) مسیرهای Multi Cycle ٦۷

شکل (۳-۱۵) مسیر بین حوزه CLK_A و CLK_B ٦۸

شکل (۳-۱٦) مسیر پد به پد ٦۸

شکل (۳-۱۷) slow exception ٦۹

شکل (۳-۱۸) تداخل گروه کند و سریع (exception) ٦۹

شکل (۳-۱۹) نادیده گرفتن مسیر ۷۰

شکل (۳-۲۰) مثال From:Thru:To ۷۱

شکل (۳-۲۱) باس مشترک ۷۱

شکل (۳-۲۲) محدودیت به بافر سه حالته ۷۲

شکل (۳-۲۳) مسیر نادیده گرفته شده بین دو فلیپ فلاپ ۷۳

www.ICEEP.ir

شکل (۳-۲٤) مثالی از From:To ۷٤

شکل (۵-۱) روند UCF ۹۳

شکل (۵-۲) باز کردن Constraints Editor از ISE ۹۷

www.ICEEP.ir

فهرست جدول‌ها

جدول (۳-۱) اصلاح ساعت..... ٤٠

جدول (۳-۲) علایم Pattern Matching..... ٥٤

جدول (۳-۳) مثال‌های Pattern Matching..... ٥٥

جدول (۵-۱) روش ورود محدودیت‌ها..... ۹۱

www.ICEEP.ir

فصل اول

پیشگفتار

همان طورکه می‌دانید FPGA تا حد زیادی نسبت به سخت افزارهای دیگر بر محدودیت‌های سرعت فائق آمده، به طوری که طراحی‌هایی که نیازمند ساعت[۱]های با فرکانس بالا هستند معمولا روی FPGA و ASIC قابل پیاده‌سازی هستند. در این راه طراح باید سازوکاری برای ایجاد محدودیت‌های زمانی[۲] در طراحی خود داشته باشد. در این راهنما به بررسی این محدودیت‌ها می‌پردازیم.

آنچه در ادامه می‌آید:

- اصول محدودیت زمانی شامل
  - "PERIOD Constraints"
  - "OFFSET Constraints"
  - "FROM:TO (Multi-Cycle) Constraints"
- توانایی دسته بندی المان‌ها و ایجاد درک بهتر از نرم افزار محدودیت‌ها
- اطلاعات اولیه در مورد نحوه آنالیز محدودیت‌ها با انحراف ساعت[۳]
- تعیین محدودیت زمانی در XST

[۱] Clock

[۲] Timing Constraints

[۳] Clock Skew

www.ICEEP.ir

فصل دوم

کلیات محدودیت‌های زمانی

در این فصل به توضیح الزامات طراحی و روش‌هایی برای رفع این نیازها می‌پردازیم. یک طراح قبل از شروع طراحی باید از کارایی مورد انتظار برای طراحی و مشخصات دستگاه مقصد آگاهی داشته باشد. این اطلاعات باعث می‌شود تا در کد سخت افزاری تکنیک‌هایی به کار گرفته شود که در نهایت بیشترین کارایی از دستگاه بدست آید.

الزام‌های یک دستگاه FPGA به سیستم و دستگاه‌های بالادستی و پایین دستی وابسته است. زمانی که واسط یک دستگاه FPGA شناخته می‌شود، نیازهای داخلی آن مشخص می‌شود که همه به دستگاه و مشخصات آن بستگی دارد. برخی از این مشخصات عبارتند از: ساختار ساعت‌زنی[1] دستگاه، بلوک‌های RAM و DSP، IPهای سخت افزاری دستگاه و ... .

محدودیت زمانی الزام‌های طراحی را به ابزارهای پیاده‌سازی مرتبط می‌کند. این بدان معناست که تمام مسیرهای مدار توسط مقدار مناسبی پوشش داده می‌شوند. در این فصل راهکارهای اصلی و استراتژی کلی برای تعریف مسیرهای معمول در FPGA ارائه خواهد شد.

۲-۱- محدودیت‌های اصلی

محدودیت‌های زمانی بر اساس مسیرهای مدار به چند دسته تقسیم می‌شوند. مسیرهای اصلی عبارتند از:

- مسیرهای ورودی
- مسیرهای المان‌های هم‌زمان به المان‌های هم‌زمان
- مسیرهای اختصاصی

[1] Clocking

www.ICEEP.ir

- مسیرهای خروجی

در Xilinx timing constraint برای تمامی‌این مسیرها می‌توان محدودیت تعریف کرد. بهترین راه برای تعریف محدودیت‌ها این است که با تعریف‌های عمومی‌شروع کرده و در صورت لزوم برای مسیرهای خاص محدودیت‌های جداگانه تعریف کنیم. زیرا در بسیاری از موارد تعریف محدودیت‌های عمومی‌برای طراحی کافی است.

ابزارهای پیاده‌سازی بر روی FPGA با الزامات خاصی کار می‌کنند. این ابزارها منابع دستگاه را طوری تنظیم می‌نمایند که از ارضای شرایط زمانی مطمئن باشند. بنابراین اگر یک محدودیت غیرمنطقی به طراحی اضافه شود. امکان دارد که منابع زیادی از دستگاه صرف آن شود که نتیجه آن هدر رفتن حافظه و بالا رفتن زمان اجرای ابزار است. علاوه بر این مورد با این عمل کارایی نیز کاهش می‌یابد. به همین دلیل Xilinx مقادیر محدودیت طراحی واقعی را برای توصیف محدودیت‌ها پیشنهاد می‌کند.

در این راهنما از XCF برای اعمال محدودیت استفاده خواهد شد. این فرمت الزامات طراحی را به ابزارهای پیاده‌سازی می‌دهد. با این حال می‌توان برای ایجاد محدودیت از Constraints Editor نیز استفاده نمود.

۲-۱-۱- محدودیت‌های زمانی ورودی

مسیر ورودی، مسیر داده از یک پین خارجی FPGA تا یک رجیستر داخلی را پوشش می‌دهد. عبارتی که برای توصیف این زمان به کار می‌رود OFFSET IN است. نحوه توصیف این

www.ICEEP.ir

زمان به نوع واسط (هم‌زمان با منبع/سیستم) و تک نرخی(SDR) یا دو نرخی(DDR) بودن آن وابسته است.

OFFSET IN ارتباط بین داده و لبه ساعتی است که داده در آن گرفته می‌شود. تحلیل OFFSET IN شامل تمام فاکتورهتی داخلی است که باعث تاخیر داده و ساعت می‌شوند. این فاکتورها عبارتند از:

- فرکانس و فاز تبدیل ساعت
- نامعلوم بودن ساعت[۱]
- تاخیر داده

نامعلوم بودن ساعت و زمان ورود آن توسط PERIOD مشخص می‌شود.

۲-۱-۱-۱- ورودی‌های هم‌زمان با سیستم

در یک واسط با ورودی هم‌زمان با سیستم یک ساعت مشترک داده را منتقل و تثبیت می‌کند. در این حالت، تاخیر انتقال داده در برد و انحراف ساعت، فرکانس عملکرد را محدود می‌کنند. فرکانس‌های پایین بیشتر باعث می‌شوند که ورودی‌ها به صورت SDR باشند.

- **واسط هم‌زمان با سیستم به همراه زمان‌بندی SDR**

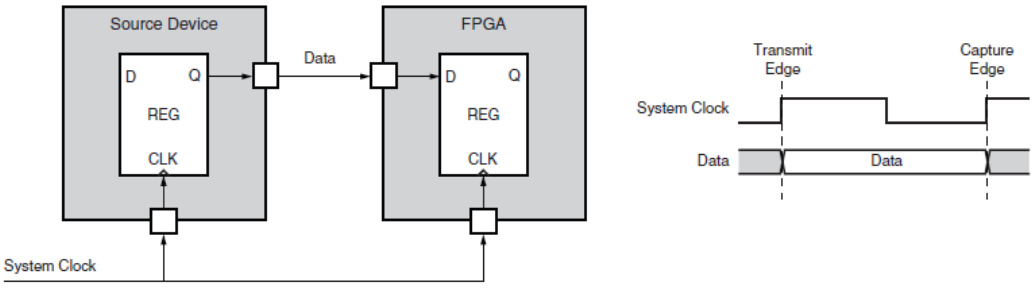
در شکل زیر یک واسط هم‌زمان با سیستم SDR نشان داده شده است که داده ابتدا از منبع در لبه بالارونده ساعت منتقل شده و در لبه ساعت بعدی در FPGA تسخیر[۲] می‌شود.

---

۱ Clock Uncertainties

۲ Capture

www.ICEEP.ir



شکل (۲-۱) واسط هم‌زمان با سیستم به همراه زمان‌بندی SDR

بهترین راه توصیف زمانی برای ورودی در واسط هم‌زمان با سیستم ، global Offset است. این Offset تمام مسیرهای داده ورودی را که توسط المان‌های هم‌زمان تثبیت می‌شوند، می‌پوشاند.

- **توصیف زمانی ورودی**

برای این توصیف دو کار لازم است:

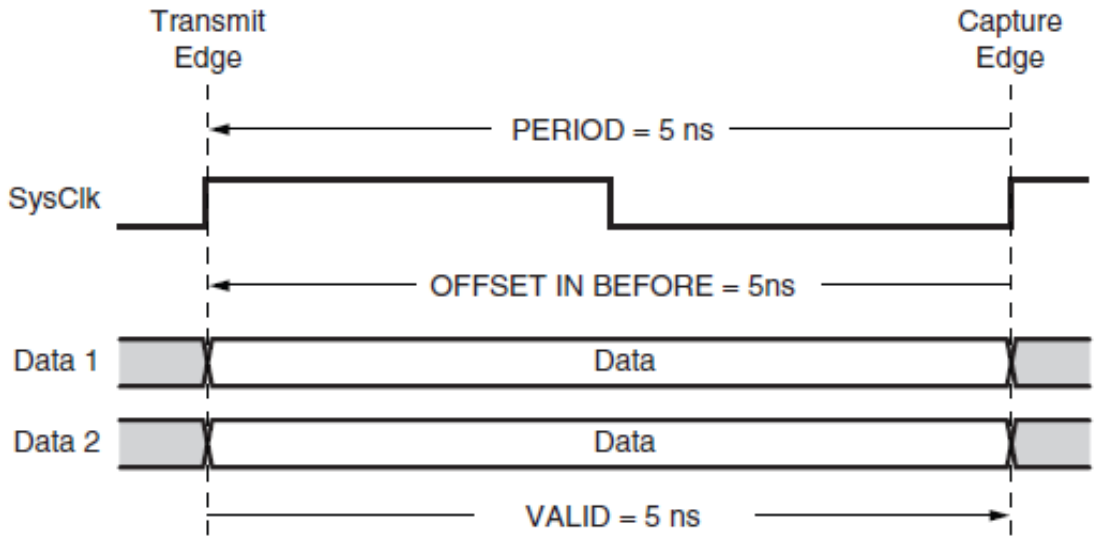
۱- تعریف دوره تناوب ساعت به عنوان ساعت ورودی

۲- تعریف global Offset برای واسط هم‌زمان

- **واسط هم‌زمان با سیستم SDR ایده‌آل**

شکل زیر دیاگرام زمانی برای یک واسط هم‌زمان با سیستم SDR ایده‌آل را نشان می‌دهد که در آن دوره تناوب ساعت ۵ نانوثانیه بوده و در کل یک دوره تناوب، داده معتبر است.

www.ICEEP.ir



شکل (۲-۲) دیاگرام زمانی یک واسط هم‌زمان با سیستم SDR ایده‌آل

- **Global Offset**

Global Offset عبارت است از:

```
OFFSET = IN value VALID value BEFORE clock;
```

در Offset، OFFSET=IN <value> مقدار زمانی را که از معتبر بودن داده تا تسخیر آن طول می‌کشد، مشخص می‌کند. در این مثال این مقدار ۵ نانو ثانیه است. OFFSET=IN <value> نیز زمانی است که در طول آن داده معتبر می‌ماند که‌این مقدار هم در این مثال ۵ نانوثانیه است.

برای مثال فوق Offset کامل به همراه PERIOD عبارت است از:

```
NET "SysClk" TNM_NET = "SysClk";
TIMESPEC "TS_SysClk" = PERIOD "SysClk" 5 ns HIGH 50%;
OFFSET = IN 5 ns VALID 5 ns BEFORE "SysClk";
```

۲-۱-۱-۲- ورودی‌های هم‌زمان با منبع

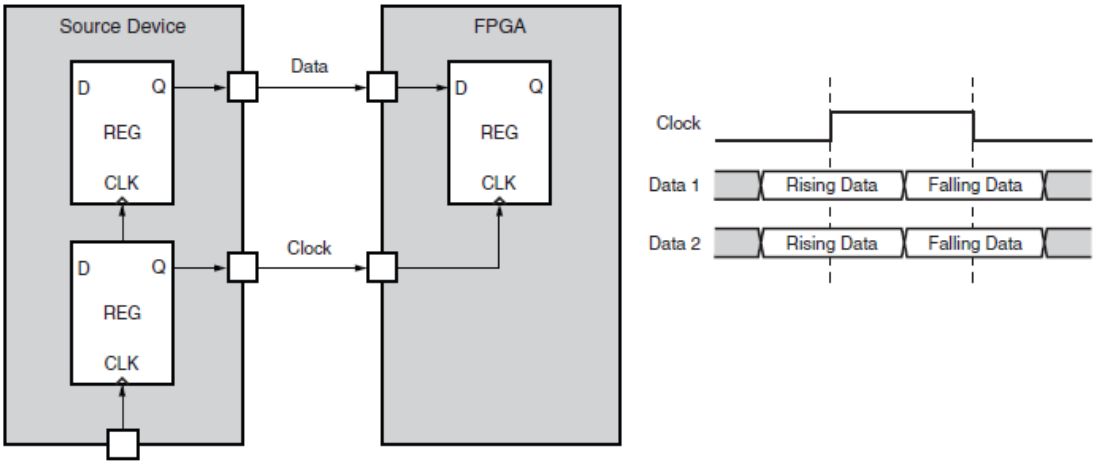
در واسط ورودی‌های هم‌زمان با منبع، سیگنال ساعت به همراه داده بازیابی و در طول برد منتقل می‌شود. این ساعت داده را در FPGA تسخیر می‌کند.

www.ICEEP

در این حالت تاخیر برد و انحراف ساعت تاثیری روی فرکانس ندارد. بنابراین در فرکانس‌های بالا ورودی‌ها می‌توانند به صورت DDR باشند.

- **واسط هم‌زمان با منبع به همراه زمان‌بندی DDR**

در شکل زیر یک واسط هم‌زمان با منبع DDR نشان داده شده است که داده ابتدا از منبع در هر دو لبه بالارونده و پایین رونده ساعت منتقل شده و توسط ساعت بازیابی شده در FPGA تسخیر می‌شود.



شکل (۲-۳) واسط هم‌زمان با منبع به همراه زمان‌بندی DDR

بهترین راه توصیف زمانی برای ورودی در واسط هم‌زمان با سیستم ، global Offset است.

در واسط DDR برای هر کدام از لبه‌های ساعت ورودی یک Offset تعریف می‌شود.

- **توصیف زمانی ورودی**

برای این توصیف سه تعریف مورد نیاز است:

۱- تعریف دوره تناوب ساعت به عنوان ساعت ورودی

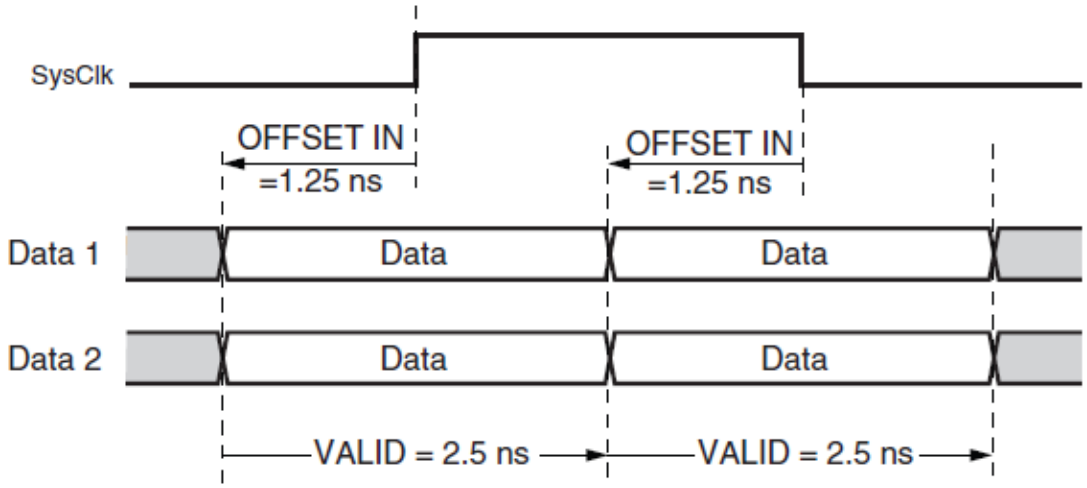
۲- تعریف global Offset برای لبه بالا رونده ساعت

www.

۳- تعریف global Offset برای لبه پایین رونده ساعت

- **واسط هم‌زمان با منبع DDR ایده‌آل**

شکل زیر دیاگرام زمانی برای یک **واسط هم‌زمان با منبع** DDR ایده‌آل را نشان می‌دهد که در آن دوره تناوب ساعت ۵ نانوثانیه و چرخه کار[۱] ۵۰ درصد بوده و در نیمه از دوره تناوب داده معتبر می‌باشد.



شکل (۲-۴) دیاگرام زمانی یک واسط هم‌زمان با منبع DDR

- **Global Offset**

Global Offset عبارت است از:

```
OFFSET = IN value VALID value BEFORE clock RISING;
OFFSET = IN value VALID value BEFORE clock FALLING;
```

در این دستور <value> OFFSET=IN فاصله بین معتبر شدن داده تا تسخیر داده در لبه ساعت را نشان می‌دهد. که در مثال بالا برای هر دو لبه بالا رونده و پایین رونده برابر ۱.۲۵ نانو ثانیه است. عبارت <value> VALID نیز طول مدتی را که داده معتبر است را نشان می‌دهد که باز هم در هر دو حالت برابر ۲.۵ نانوثانیه است.

[۱] Duty Cycle

برای مثال فوق Offset کامل به همراه PERIOD عبارت است از:

```
NET "SysClk" TNM_NET = "SysClk";
TIMESPEC "TS_SysClk" = PERIOD "SysClk" 5 ns HIGH 50%;
OFFSET = IN 1.25 ns VALID 2.5 ns BEFORE "SysClk" RISING;
OFFSET = IN 1.25 ns VALID 2.5 ns BEFORE "SysClk" FALLING;
```

۲-۱-۲- محدودیت‌های زمانی رجیستر به رجیستر

در این بخش به توضیح محدودیت Period برای زمانبندی مسیرهای هم‌زمان رجیستر به رجیستر می‌پردازیم.

محدودیت Period:

- زمانبندی ساعت را انجام می‌دهد.
- مسیر داده هم‌زمان بین رجیسترهای داخلی را پوشش می‌دهد.
- مسیرها را با یک ساعت تحلیل می‌کند.
- تمام مسیرها را با ساعت مربوط به حوزه[۱] خودش تحلیل می‌کند.
- در تحلیل خود تمام فاکتورهای ساعت از جمله فرکانس و فاز و عدم اطمینان در آن را در نظر می‌گیرد.

با توجه به کاربرد و روش استفاده از این محدودیت سه دسته عمده را می‌توان از هم تمیز داد:

- حوزه‌های ساعت هم‌زمان[۲] DLL, DCM, PLL و MMCM (ارتباط خودکار[۳])

[۱] Clock Domain
[۲] Synchronous Clock Domainss
[۳] Automatically Related

www.ICEEP.ir

- حوزه‌های ساعت هم‌زمان با ارتباط دستی[1]
- حوزه‌های ساعت غیر هم‌زمان[2]

در صورتی که ارتباط بین ساعت در DCM, PLL وMMCM توسط سیستم تعیین شود و ساعت‌های خارجی مربوطه به صورت دستی تعریف شود، تمام مسیرهای تقاطعی در حوزه‌های ساعت توسط محدودیت‌های مناسب پوشش داده می‌شوند.

۲-۱-۲-۱- حوزه‌های ساعت هم‌زمان DLL, DCM, PLL وMMCM (ارتباط خودکار)

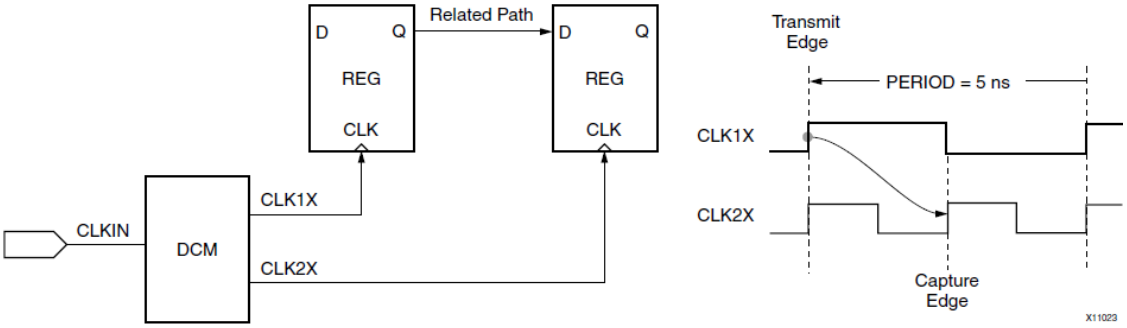
معمول ترین نوع ساعت، ساعتی است که ورودی آن به یک DCM، PLL و یا MMCM برود و خروجی آن به عنوان ساعت سیستم برای مسیرهای هم‌زمان استفاده شود. بنابراین روش توصیه شده برای تعیین محدودیت زمانی گذاشتن محدودیت روی ورودی DCM، PLL و یا MMCM است. با استفاده از عبارت Period در ورودی ساعت، ابزار مربوطه به صورت خودکار یک Period روی هر کدام از خروجی‌های DCM، PLL و MMCM قرار می‌دهد و ارتباط بین حوزه‌های آن‌ها محاسبه می‌کند و تحلیلی روی هر مسیر بین حوزه‌های هم‌زمان انجام می‌دهد.

مثال:

در مثال شکل زیر ورودی ساعت به DCM رفته است.

[1] Manually Related
[2] Asynchronous

www.ICEEP.ir



شکل (۲-۵) ورودی ساعت به DCM

کد توصیفی با Period:

```
NET "ClockName" TNM_NET = "TNM_NET_Name";
TIMESPEC "TS_name" = PERIOD "TNM_NET_Name" PeriodValue HIGH HighValue%;
```

در محدودیت Period ، PeriodValue مقدار دوره تناوب ساعت را نشان می‌دهد و HighValue نشان‌دهنده درصدی از دوره تناوب است که ساعت یک می‌ماند. در این مثال دوره تناوب ۵ نانو ثانیه و مقدار یک بودن ۵۰ درصد است. بنابر این کد به صورت زیر در می‌آید:

```
NET "ClkIn" TNM_NET = "ClkIn";
TIMESPEC "TS_ClkIn" = PERIOD "ClkIn" 5 ns HIGH 50%;
```

بر اساس ساعت داده شده، DCM دو ساعت ساخته و تحلیل حوزه‌های آن دو را انجام می‌دهد.

۲-۱-۲-۲- حوزه‌های ساعت هم‌زمان با ارتباط دستی

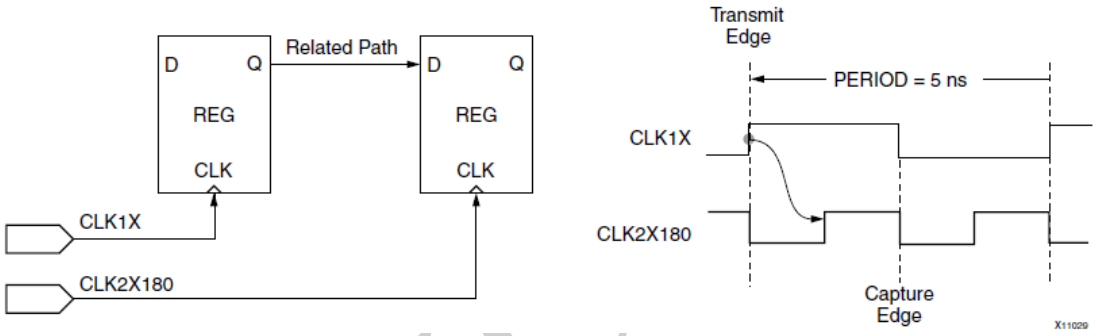
در بعضی موارد سیستم به تنهایی قادر به تعیین ارتباط بین حوزه‌های مختلف ساعت نیست (به عنوان مثال در حالتی که ساعت‌ها توسط پین‌های جداگانه وارد FPGA شده باشند. در این حالت بهتر است برای هر ساعت از یک Period جدا استفاده کرده و ارتباط بین آن‌ها به صورت دستی تعیین کنید. پس از این کار تمام مسیرهای هم‌زمان بین دو حوزه تحلیل شده و فاز و فرکانس و سایر

www.ICEEP.ir

مشخصات آن در نظر گرفته می‌شود.

Xilinx اجازه تعریف روابط پیچیده بین ساعت‌ها را می‌دهد که شامل تبدیل‌های فاز و فرکانس می‌شود. برای این کار ابتدا باید Period ساعت اولیه را تعریف نموده، سپس Period ساعت بعد را با استفاده از روابط و ارجاع دادن به ساعت اولیه تعریف کرد.

به عنوان مثال، در شکل زیر دو ساعت توسط دو پین جداگانه وارد FPGA میشوند که یکی از آن‌ها CLK1X ساعت اولیه و CLK2X180 ساعت ثانویه می‌باشد.



شکل (۲-۶) ورود دو ساعت توسط دو پین جداگانه به FPGA

کد Period به شکل زیر می‌باشد:

```
NET "PrimaryClock" TNM_NET = "TNM_Primary";
NET "RelatedClock" TNM_NET = "TNM_Related";
TIMESPEC "TS_primary" = PERIOD "TNM_Primary" PeriodValue HIGH
HighValue%;
TIMESPEC "TS_related" = PERIOD "TNM_Related" TS_Primary_relation PHASE
value;
```

در کد بالا Period اول مانند بخش قبل تعریف می‌شود و در Period دوم ابتدا رابطه با ساعت اولیه و سپس اختلاف فاز با آن تعیین می‌شود. به عنوان مثال برای CLK2X180 که فرکانس آن دو برابر و اختلاف فاز آن ۱۸۰ درجه با CLK1X است، این ۱۸۰ درجه تاخیر فاز منجر به یک تاخیر ۱.۲۵ نانوثانیه‌ای می‌شود. بنابراین کد به صورت زیر در می‌آید:

```
NET"Clk1X"TNM_NET="Clk1X";
```

www.ic

```
NET"Clk2X180"TNM_NET="Clk2X180";
TIMESPEC"TS_Clk1X"=PERIOD"Clk1X7 5ns;
TIMESPEC"TS_Clk2X180"=PERIOD"Clk2X180"TS_Clk1X/2PHAS2 +1.25ns;
```

۲-۱-۲-۳-حوزه‌های ساعت غیرهم‌زمان[۱]

حوزه‌های ساعت غیرهم‌زمان حوزه‌هایی هستند که در آن‌ها ساعت انتقال و تسخیر هیچ رابطه‌ای با هم ندارند. به همین دلیل رابطه‌ای هم برای تحلیل زمان نگه‌داری[۲] و زمان تنظیم[۳] وجود ندارد. به همین دلیل Xilinx توصیه می‌کند از تکنیک‌های طراحی غیرهم‌زمان استفاده شود تا در نهایت داده به صورت درست تسخیر شود. با این حال در مواردی طراح ترجیح می‌دهد محدودیتی برای بیشترین تاخیر مسیر قرار دهد که‌این مقدار مستقل از روابط فاز و فرکانس ساعت‌هاست. برای اعمال این محدودیت از دستور From-To به همراه DATAPATHONLY استفاده می‌شود. روش استفاده از این دستور به شکل زیر است:

۱- گروه زمانی را برای رجیسترهای مبدا تعریف کنید.

۲- گروه زمانی را برای رجیسترهای مقصد تعریف کنید.

۳- بیشترین تاخیر گره را با استفاده از دستور From-To مشخص کنید.(نحوه استفاده از این دستور در ادامه می‌آید)

[۱] Asynchronous Clock Domainss

[۲] Hold Time

[۳] Setup Time

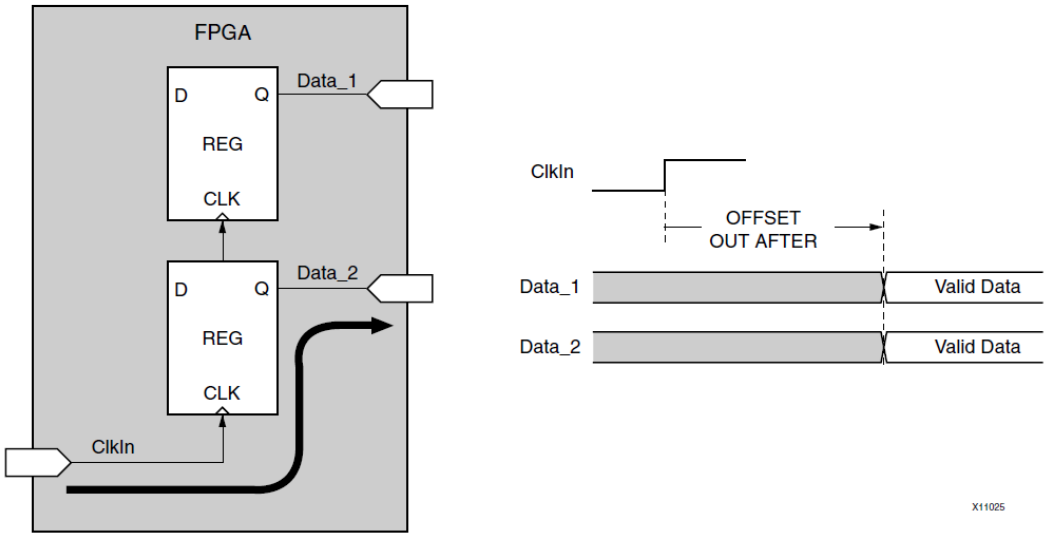
www.ICEEP.ir

۲-۱-۳- محدودیت‌های زمانی خروجی

در این بخش به توصیف محدودیت‌های خروجی می‌پردازیم. این محدودیت شامل محدودیت زمانی از آخرین المان هم‌زمان مدار با پین خروجی FPGA است. برای تعریف این محدودیت از OFFSET OUT استفاده می‌شود. طرز اسفاده از این محدودیت به نوع(هم‌زمان با منبع یا سیستم) و نرخ داده(SDR یا DDR) دارد.

این محدودیت ارتباط بین داده و ساعتی که برای انتقال آن استفاده می‌شود را بیان می‌کند.آنالیز این محدودیت شامل تمام فاکتورهایی می‌شود که باعث تاخیر در سیگنال داده وساعت می‌شوند. این فاکتورها عبارتند از:

- فرکانس و فاز ساعت
- نامعلوم بودن ساعت
- تاخیر داده

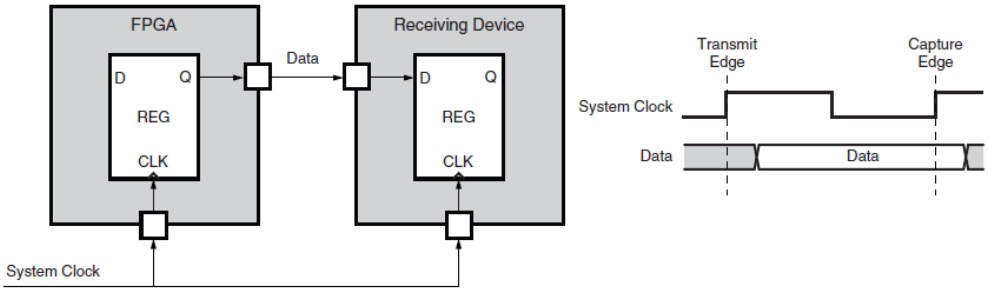


شکل (۲-۷) نمونه تاخیر خروجی

Copyright © 2013 ICEEP, University of Tehran

۲-۱-۳-۱- خروجی هم‌زمان با سیستم

در این نوع از انتقال داده، انتقال و تسخیر داده با یک ساعت واحد صورت می‌گیرد بنابراین تنها چیزی که منتقل می‌شود داده است.



شکل (۲-۸) خروجی هم‌زمان با سیستم (SDR)

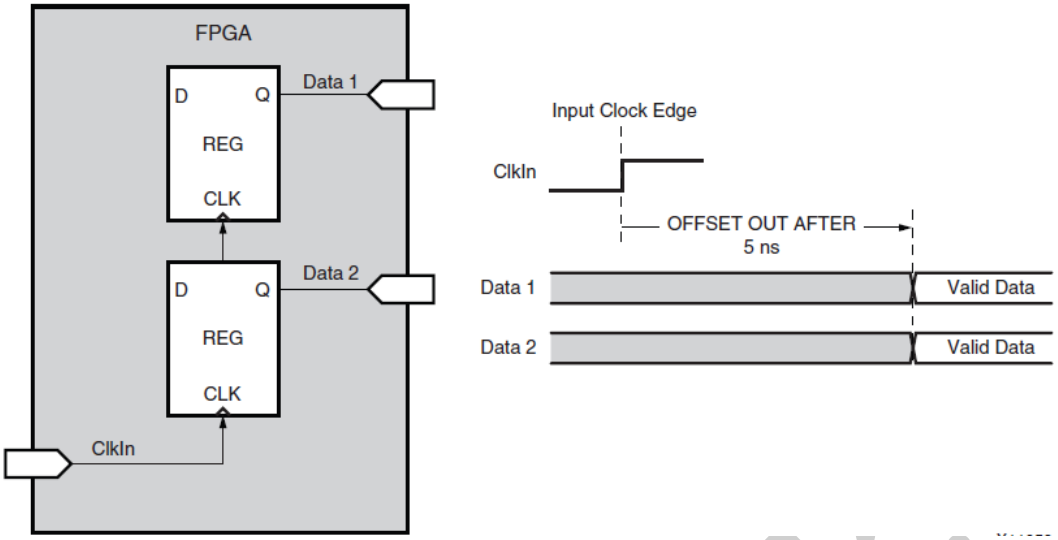
- تصیف زمانی خروجی

برای ایجاد محدودیت در خروجی، باید از Offset Out استفاده کرد. این عبارت تمام محدودیت‌های رجیسترهایی که با ساعت سیستم راه‌اندازی می‌شوند را در بر می‌گیرد. برای این کار در ابتدا نامی‌برای تعریف گروه زمانی انتخاب کرده که تمام رجیسترهای فوق را شامل می‌شود. پس از آن Offset Out عمومی‌تعریف می‌شود.

- **واسط هم‌زمان با سیستم به همراه زمان‌بندی SDR**

در شکل زیر دیاگرام ساده‌ای از واسط هم‌زمان با سیستم به همراه زمان‌بندی SDR را مشاهده می‌کنید. همان طور که در شکل مشخص شده داده خروجی باید حداکثر ۵ نانو ثانیه بعد از لبه ساعت معتبر باشد.

www.ICEE



شکل (۲-۹) واسط هم‌زمان با سیستم به همراه زمان‌بندی SDR

- محدودیت Offset Out

نحوه استفاده از Offset Out به شکل زیر می‌باشد.

```
OFFSET = OUT value AFTER clock;
```

که در آن OFFSET=OUT <value> فاصله زمانی بین لبه بالارنده ساعت و معتبر شده داده در پین خروجی FPGA را نشان می‌دهد. این زمان در شکل بالا ۵ نانو ثانیه می‌باشد بنابراین کد نهایی به شکل زیر در می‌آید.

```
NET "ClkIn" TNM_NET = "ClkIn";
OFFSET = OUT 5 ns AFTER "ClkIn";
```

گفتنی است این محدودیت به هر دو خط data1 و data2 اعمال می‌شود.

۲-۱-۳-۲- خروجی‌های هم‌زمان با منبع

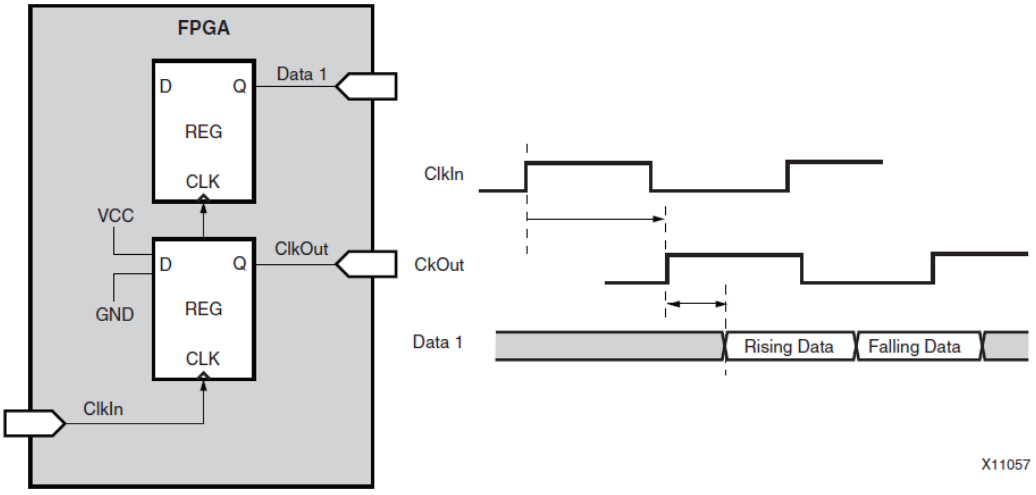
در این نوع از انتقال داده، ساعت به همراه داده منتقل شده و در گیرنده بازتولید می‌شود. این

www.ICEEP.ir

نوع انتقال به دلیل وجود نویز در سیستم و انحراف ساعت بازدهی کمتری دارد.

- **واسط هم‌زمان با منبع به همراه زمان‌بندی DDR**

در این نوع واسط، به دلیل انحراف بین ساعت ورودی و خروجی فاصله زمانی بین لبه بالا رونده ساعت ورودی و معتبر شدن داده خروجی مهم نیست و می‌توان آن را در نظر نگرفت.



شکل (۲-۱۰) واسط هم‌زمان با منبع به همراه زمان‌بندی DDR

- محدودیت Offset Out

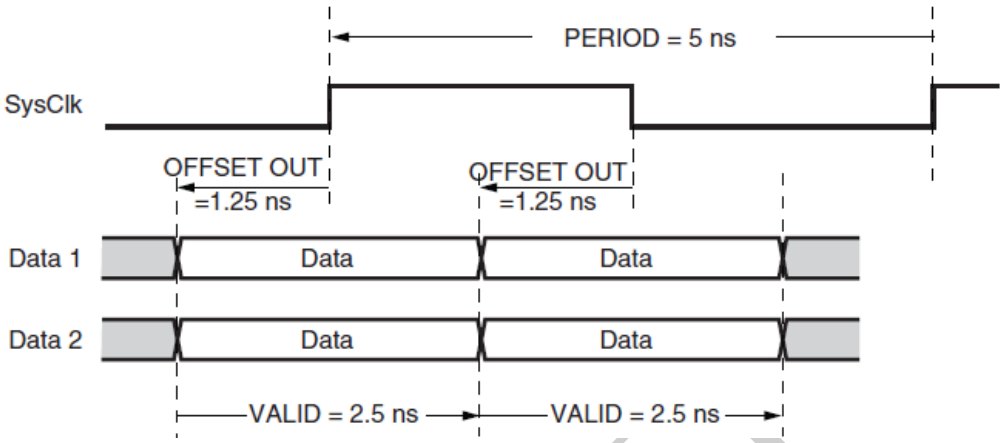
در DDR محدودیت Offset Out برای هر لبه ساعت به صورت جداگانه تعریف می‌شود. این عبارت تمام محدودیت‌های رجیسترهایی که با لبه ساعت مربوطه راه‌اندازی می‌شوند را در بر می‌گیرد. برای این کار در ابتدا نامی‌برای تعریف گروه زمانی انتخاب کرده که تمام رجیسترهای فوق را شامل می‌شود. پس از آن یک Offset Out برای لبه بالارونده ساعت و دیگری برای لبه پایین رونده تعریف می‌شود.

- **واسط هم‌زمان با منبع DDR ایده‌آل**

شکل زیر شمای کلی یک واسط هم‌زمان با منبع DDR ایده‌آل رانشان می‌دهد که در آن

www.ic

دوره تناوب ساعت ۵ نانو ثانیه با چرخه کار ۵۰ درصد می‌باشد و داده در هر دو خط به اندازه نیمی‌از دوره تناوب معتبر می‌ماند.



شکل (۲-۱۱) دیاگرام زمانی واسط هم‌زمان با منبع DDR ایده‌آل

- محدودیت Offset Out

در Offset Out OFFSET=OUT <value> فاصله زمانی بین هر لبه ساعت و معتبر شده داده در پین خروجی FPGA را نشان می‌دهد. اگر <*value*> حذف شود محدودیت تنها مقدار انحراف خط خروجی را گزارش می‌کند. در این مثال، کد کامل به شکل زیر است:

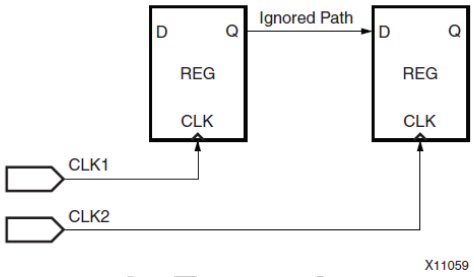
```
NET "ClkIn" TNM_NET = "ClkIn";
OFFSET = OUT AFTER "ClkIn" REFERENCE_PIN "ClkOut" RISING;
OFFSET = OUT AFTER "ClkIn" REFERENCE_PIN "ClkOut" FALLING;
```

تا بدین جای کار محدودیت‌های عمومی‌ورودی، رجیستر به رجیستر و خروجی را معرفی کردیم. این محدودیت‌ها غالب محدودیت‌های یک مدار را شامل می‌شوند. اما در برخی مسیرها استثناهایی وجود دارد که با این محدودیت‌ها قابل توصیف نمی‌باشند که در ادامه به‌این موراد خواهیم پرداخت.

www.ICEEP.ir

۲-۱-۴- مسیرهای نادرست[۱]

این مسیرها، مسیرهای بین رجیستری هستند که تاثیری در مدار از لحاظ زمانی ندارند. بنابراین می‌توانند از لیست محدودیت‌ها حذف شوند. برای این کار با استفاده از محدودیت From-To به همراه کلیدواژه Timing Ignore این مسیرها را حذف می‌کنیم. طرز استفاده به‌این صورت است که ابتدا یک گروه منبع و یک گروه مقصد تعریف کرده و در نهایت مسیرهای بین این دو گروه را حذف می‌کنیم. شکل زیر شمای ساده یک مسیر نادرست را نشان می‌دهد.



شکل (۲-۱۲) مسیری بین رجیستری، بی تاثیر در مدار از لحاظ زمانی

طریقه توصیف این مسیر به شکل زیر است:

```
TIMESPEC "TSid" = FROM "SRC_GRP" TO "DST_GRP" TIG;
```

که در آن SRC_GRP گروه رجیسترهای مبدا و DST_GRP رجیسترهای مقصد می‌باشد.

کل کد به شکل زیر است:

```
NET "CLK1" TNM_NET = FFS "GRP_1";
NET "CLK2" TNM_NET = FFS "GRP_2";
TIMESPEC TS_Example = FROM "GRP_1" TO "GRP_2" TIG;
```

- مسیرهای چند سیکله[۲]

در این مسیرهای نرخ انتقال داده از مبدا به مقصد هم‌زمان با آن از فرکانس ساعت کمتر

[۱] False
[۲] Multi-cycle

www.iceep.ir

است. این اتفاق زمانی می‌افتد که المان‌های هم‌زمان توسط سیگنال Clock Enable مسدود شوند. با تعریف مسیرهای چند سیکله‌این گونه المان‌ها از تحت تاثیر محدودیت Period قرار نمی‌گیرند.

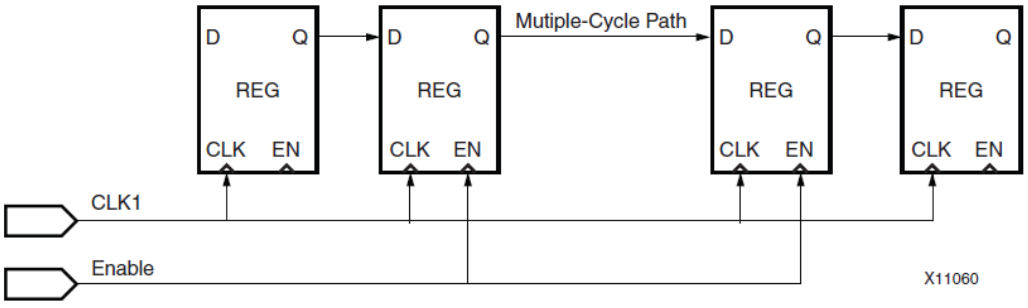
این محدودیت با توجه به محدودیت Period و به صورت ضریبی از آن ایجاد می‌شود. در واقع برای تعریف این محدودیت ابتدا گروه مبدا و مقصد را توسط سیگنال Clock Enable تعریف کرده و این محدودیت را به تمام مسیرهای بین این دو گروه اعمال می‌کنیم. بنابراین روال کار به‌این صورت خلاصه می‌شود:

۱- تعریف محدودیت Period برای حوزه ساعت

۲- تعریف مجموعه‌ای از رجیسترها بر اساس سیگنال Clock Enable

۳- تعریف محدودیت چند سیکله با استفاده از دستور From-To

در شکل زیر مجموعه‌ای از رجیسترها را مشاهده می‌کنید که توسط سیگنال Clock Enable کار می‌کنند.



شکل (۲-۱۳) مجموعه از رجیسترها که با سیگنال Clock Enable کار می‌کنند

نحوه تعریف محدودیت چند سیکله به شکل زیر می‌باشد:

```
TIMESPEC "TSid" = FROM "MC_GRP" TO "MC_GRP" <value>;
```

در این خط کد، MC_GRP نمایانگر گروه تحت تاثیر سیگنال Clock Enable است و تمام

Copyright © 2013 ICEEP, University of Tehran

مسیرهایی که با این رجیسترها شروع و اتمام می‌یابند تحت تاثیر محدودیت چند سیکله بودن قرار می‌گیرند. در حالی که مسیرهای بیرونی با همان ساعت معمولی به کار خود ادامه می‌دهند.

کد کامل به شکل زیر است:

```
NET "CLK1" TNM_NET = "CLK1";
TIMESPEC "TS_CLK1" = PERIOD "CLK1" 5 ns HIGH 50%;
NET "Enable" TNM_NET = FFS "MC_GRP";
TIMESPEC TS_Example = FROM "MC_GRP" TO "MC_GRP" TS_CLK1*2;
```

www.ICEEP.ir

فصل سوم

اصول محدودیت‌های زمانی

در این فصل به توضیح بیشتر راجع به سه محدودیت اصلی یعنی Period، Offset و From-To می‌پردازیم. به علاوه روش گروه کردن را نیز شرح خواهیم داد.

۳-۱- سیستم محدودیت

این سیستم بخشی از ابزارهای پیاده‌سازی (NGDBuilder) است که مسئولیت بررسی محدودیت‌های فیزیکی و زمانی مدار را بر عهده دارد. این سیستم اطلاعات خود را از فایل‌های NCF، XCF، EDN، EDF، EDIF، NGC و NGO می‌خواند و درستی آن‌ها را بررسی می‌کند و محدودیت‌های لازم را به مدار اعمال می‌کند و اگر خطا یا هشداری لازم بود آن را به طراح اعلام میکند.

۳-۱-۱- DLL، DCM، PLL، BUFR، PMCD و MMCM

وقتی ساعتی با محدودیت Period به عنوان ورودی وارد هر کدام از المان‌های DLL، DCM، PLL، BUFR، PMCD و MMCM می‌شود، در خروجی ساعتی با یک محدودیت Period جدید خواهیم داشت. بنابراین برای تولید گروه مقصد، برای هر خروجی ساعت از واحد اصلاح ساعت، یک محدودیت جدید Period و Net مربوط به آن تعریف می‌شود. در حین این تبدیل ساعت رابطه فاز و فرکانس دو ساعت مشخص می‌شود.

۳-۱-۲- شرایط انتقال

شرایط انتقال عبارتند از:

www.ICEEP.ir

۱- روی پین ورودی ساعت بلوک اصلاح ساعت محدودیت Period وجود داشته باشد.

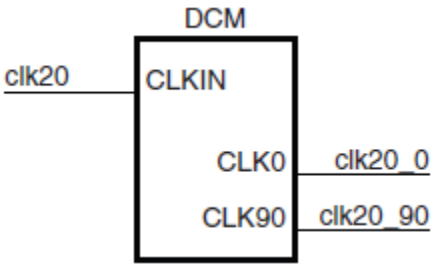
۲- گروهی که از محدودیت Period استفاده می‌کند تنها تحت تاثیر یک Period باشد و نیز هیچ مدودیت دیگری از نوع Offset و یا From-To نداشته باشد. هم چنیم این گروه نباید مرجع گروه دیگری باشد و به طور کلی هیچ رابط ای با هیچ گروهی نداشته باشد.

۳-۱-۳- مثال (DCM)

در صورتی که شرایط انتقال برقرار باشد، محدودیت Period به صورت زیر به ساعت‌های خروجی منتقل می‌شود.

```
(1) TIMESPEC "TS_clk20" = PERIOD "clk20_grp" 20 ns HIGH 50%;
(2) CLK0: TS_clk20_0=PERIOD clk20_0 TS_clk20*1.000000 HIGH 50.000000%
(3) CLK90: TS_clk20_90=PERIOD clk20_90 TS_clk20*1.000000 PHASE +
5.000000 nS HIGH 50.000000%
```

در شکل زیر شما DCM مربوطه را مشاهده می‌کنید.



شکل (۳-۱) Period جدید روی پین‌های خروجی

پس از انجام عملیات فوق ر گزارش پیام زیر را خواهیم داشت:

```
INFO:XdmHelpers:851 - TNM " clk20_grp ", used in period specification
"TS_clk20", was traced
into DCM instance "my_dcm". The following new TNM groups and period
specifications were
generated at the DCM output(s):
clk0: TS_clk20_0=PERIOD clk20_0 TS_clk20*1.000000 HIGH 50.000000%
clk90: TS_clk20_90=PERIOD clk20_90 TS_clk20*1.000000 PHASE + 5.000000 nS
HIGH 50.000000%
```

www.ICEEP.ir

در صورتی که شرایط انتقال برقرار نباشد پیغام خطای زیر را مشاهده خواهید کرد:

```
"ERROR:NgdHelpers:702 - The TNM "PAD_CLK" drives the CLKIN pin of CLKDLL
"$I1". This TNM
cannot be traced through the CLKDLL because it is not used in exactly one
PERIOD
specification. This TNM is used in the following user groups and/or
specifications:
TS_PAD_CLK=PERIOD PAD_CLK 20000.000000 pS HIGH 50.000000%
TS_01=FROM PAD_CLK TO PADS 20000.000000 pS"
```

۳-۱-۴- المان‌های هم‌زمان

المان‌های هم‌زمان عبارتند از:

- Flip Flops
- Latches
- Distributed RAM
- Block RAM
- Distributed ROM
- ISERDES
- OSERDES
- PPC405
- PPC440
- MULT18X18
- DSP48
- MGTs (GT, GT10, GT11, GTP, GTX, GTH)
- MCB
- SRL16
- EMAC
- FIFO (16, 18, and 36)
- PCIE
- TEMAC

www.ICEEP.ir

۳-۱-۵- تحلیل با محدودیت Period

وقتی محدودیت Net Period به یک ورودی ساعت یا گره اعمال شود، این محدودیت توسط بلوک اصلاح ساعت ترجمه نمی‌شود. این اتفاق ممکن است باعث شود هیچ واحد یا مسیری با این محدودیت تحلیل نشود.

این محدودیت درمرحله MAP،PAR و تحلیل زمانی، تحلیل می‌شود. زمانیکه MAP – timing و PAR ابزار زمانی را صدا می‌زنند، این ابزار از بلوک اصلاح ساعت تنها برای جایابی و مسیریابی و نه برای گزارش تحلیل زمانی، استفاده می‌کند.

زمانی که محدودیت Timespec Period وارد یک پین ورودی یا بلوک اصلاح ساعت می‌شود، NGDBuild یا تبدیل یافته Period محدودیت اصلی را به محدودیت‌های Timespec Period جدیدی تبدیل کرده و به پین خروجی می‌برد. گزارش NGDBuild (design.bld) این تبدیلات را نشان می‌دهد.

MAP، PAR و تحلیلگر زمانی از Timespec Periodهای جدید استفاده می‌کنند اما Constraints Editor، Timespec Period را می‌بینند.

۳-۱-۶- کلیدواژه Phase

این کلیدواژه برای توصیف ارتباط بین ساعت‌های مرتبط استفاده می‌شود. ابزار تحلیل زمانی از این واژه در محدودیت Offset و حوزه‌های بین ساعت استفاده می‌کند. این واژه در فایل UCF یا NCF یا در خلال تبدیل ساعت در DCM، DLL و PLL مورد استفاده قرار می‌گیرد. در مورد دوم

www.ICEEP.ir

تغییر در FPGA Editor اتفاق می‌افتد و وارد فایل PCF نمی‌شود.

۳-۱-۷- دستکاری اجزای DCM، DLL و PLL با Phase

در جدول زیر مقادیر خروجی بلوک‌های DCM، DLL و PLL نشان داده شده است. این محدودیت‌های جدید بر اساس محدودیت اصلی Period (TS_CLKIN) ایجاد می‌شوند. TS_CLKIN مقدار زمانی است.

اگر TS_CLKIN به عنوان یک مقدار فرکانس بیان شود،عملیت ضرب و تقسیم برعکس می‌شود. اگر در DCM از FIXED_PHASE_SHIFT یا VARIABLE_PHASE_SHIFT استفاده شود، مقدار آن در مقدار Phase در نظر گرفته می‌شود.

جدول (۳-۱) اصلاح ساعت

Output Pin	Period Value	Phase Shift value
CLK0	TS_CLKIN * 1	None
CLK90	TS_CLKIN * 1	PHASE + (clk0_period * ¼)
CLK180	TS_CLKIN * 1	PHASE + (clk0_period * ½)
CLK270	TS_CLKIN * 1	PHASE + (clk0_period * ¾)
CLK2x	TS_CLKIN / 2	None
CLK2x180	TS_CLKIN / 2	PHASE + (clk2x_period * ½)
CLKDV	TS_CLKIN * clkdv_divide (clkdv_divide = value of CLKDV_DIVIDE property (default = 2.0))	None
CLKFX	TS_CLKIN / clkfx_factor (clkfx_factor = value of CLKFX_MULTIPLY property (default = 4.0) divided by value of CLKFX_DIVIDE property (default = 1.0))	None
CLKFX180	TS_CLKIN / clkfx_factor (clkfx_factor = value of CLKFX_MULTIPLY property (default = 4.0) divided by value of CLKFX_DIVIDE property (default = 1.0))	PHASE + (clkfx_period * ½)

www.ICEEP.ir

۳-۱-۸- ایجاد گروه زمانی

تمام المان‌های طراحی با نام زمانی[۱] یا گره نام زمانی[۲] یکسان یک گروه زمانی را تشکیل می‌دهند. یک طراحی معمولا از چند گروه زمانی تشکیل یافته است. نام گروه به طور کلی می‌تواند به یکی از اجزای زیر اطلاق گردد:

- اتصال گره[۳](NET)
- نمونه[۴]گیری از واحد[۵](INST)
- پین(PIN)

برای اطمینان از تحلیل زمانی درست روی هر المان یا پین فقط از نام یک گروه استفاده کنید.

۳-۱-۹- اتصال گره

تعریف گروه توسط اتصال گره باعث گروه شدن المان‌ها توسط یک گره یا سیگنال که المان‌های هم‌زمان را راه‌اندازی می‌کند، می‌شود. این روش مسیرهای Multi-Cycle ای را که توسط Clock Enable کنترل می‌شوند و توسط محدودیت From-To توصیف می‌شوند را تعریف می‌کند. این روش از نام زمانی یا گره نام زمانی استفاده می‌کند. گفتنی است برای دریچه[۶]ها استفاده از گره نام زمانی رایج‌تر است.

---

۱ Timing Name
۲ Timing Name Net
۳ Net Connectivity
۴ Instance
۵ Module
۶ Port

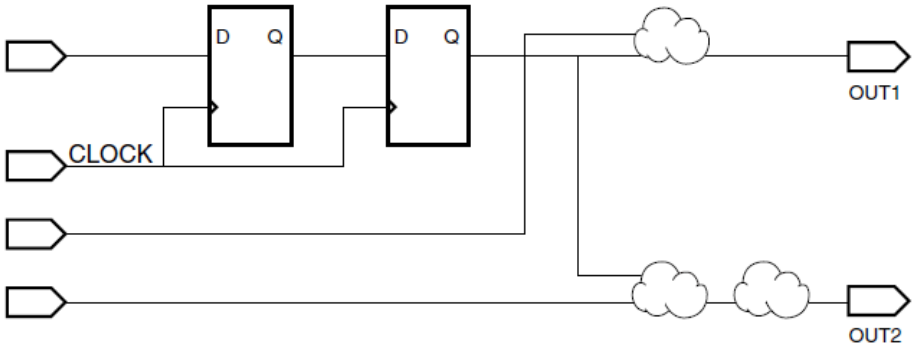
www.ICEEP.ir

۳-۱-۱۰- نام زمانی Attribute در یک گره یا سیگنال

اگر یک نام زمانیAttribute به یک گره یا سیگنال اعمال شود. محدودیت‌ها در راستای آن گره یا سیگنال به تمام المانهای هم‌زمان منتقل می‌شوند. از این عبارت برای تعریف المان‌هایی که در یک گروه قرار می‌گیرند استفاده می‌شود که می‌تواند در ادامه در محدودیت‌های از آن گروه استفاده کرد.

۳-۱-۱۱- نام زمانی روی یک پدساعت یا گره

در شکل زیر مشاهده می‌کنید که ساعت وارد دو فلیپ فلاپ شده است.

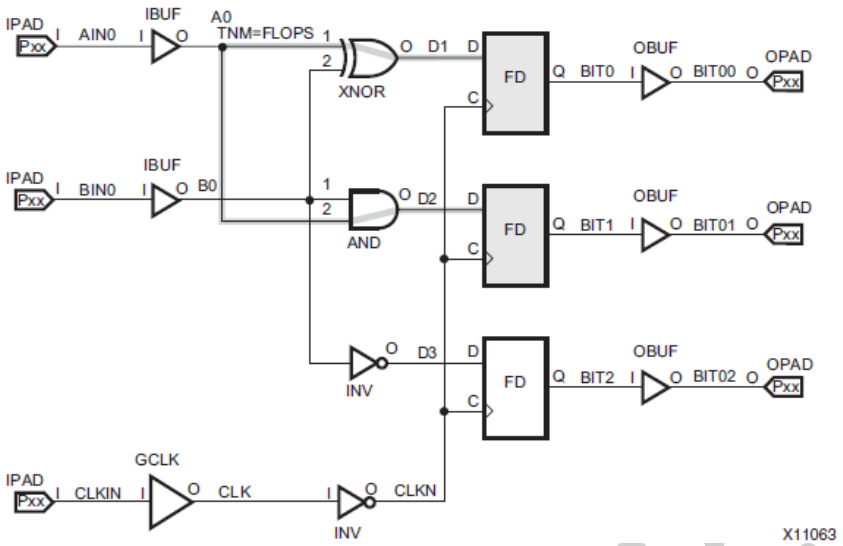


شکل (۳-۲) نام زمانی روی یک پدساعت یا گره

نام زمانی در مدار جلو می‌رود (از گیت‌ها، بافرها و بخش‌های ترکیبی می‌گذرد.) تا جایی که به فلیپ فلاپ، لچ یا هر المان هم‌زمان دیگری که به نام زمانی مشخص یا گروهی اضافه شده اند، برسد.

به عنوان مثال در شکل زیر نام زمانی روی گره A0 آنقدر جلو می‌رود تا به دو فلیپ فلاپ مشخص شده برسد.

www.ICEEP.ir



شکل (۳-۳) نام زمانی روی گره A0

می‌توان در زمان استفاده از نام زمانی از یک Qualifier استفاده کرد. این کار سبب می‌شود محدودیت تنها تا جایی از مدار جلو می‌رود که به اولین المان هم‌زمان برسد. انواع Qualifierها در واقع گروه‌های زمانی از پیش تعریف شده‌ای هستند. در صورتی که نوع Qualifiier با المان هم‌زمان منطبق شود، نام زمانی به آن داده می‌شود. در غیر این صورت نام زمانی وارد آن المان هم‌زمان نخواهد شد.

انواع گروه‌های زمانی عبارتند از:

- FFS
  - تمام فلیپ فلاپ‌ها و شیفت رجیسترهای IOB حساس به لبه و SLICE
- PADS
  - تمام پدهای I/O
- DSPS
  - DSP48 در Virtex®-4

www.ICEEP.ir

- DSP48E در Virtex-5
- DSP48E1 در Virtex-6 و FPGAهای سری Xilinx®۷
- DSP48A1 در Spartan®-6

- RAMS
  - تمام RAMهای تک دریچه و دو دریچه SLICE LUT و بلوکی
- MULTS
  - ضرب کننده‌های هم‌زمان و غیرهم‌زمان در Virtex-4وVirtex-5
- HSIOS
  - تمام GT و GT10 در Virtex-4
  - تمام GTP در Virtex-5
  - تمام GTHE1 و GTXE1 در Virtex-6
  - تمام GTPA1 در Spartan-6
  - تمام GTHE2 و GTXE2 در FPGA های سری Xilinx®۷
- CPUS
  - تمام PPC405 در Virtex-4
  - تمام PPC450 در Virtex-5
- LATCHES
  - تمام لچ‌های حساس به سطح SLICE
- BRAMS_PORTA
  - دریچه A از یک RAM دو دریچه
- BRAMS_PORTB

www.ICEEP.ir

- دریچه B از یک RAM دو دریچه

۳-۱-۱۲- تفاوت بین گره نام زمانی (TNM_NET) و نام زمانی(TNM)

محدودیت گره نام زمانی معادل نام زمانی روی یک گره است و روی گره‌های نتایج مختلفی تولید میکند. NGDBuild هیچ وقت یک محدودیت گره نام زمانی را از گره مربوطه به پد ورودی منتقل نمی‌کند در حالی که‌این کار را در استفاده از نام زمانی می‌کند.

از طرفی از گره نام زمانی فقط برای گره‌ها استفاده می‌شود. در صورت استفاده از آن برای المان دیگر، ابزار هشدار تولید کرده و آن محدودیت را نادیده می‌گیرد.

۳-۱-۱۳-قوانین انتشار برای محدودیت گره نام زمانی

در زیر لیستی از این قوانین آمده است:

TNM_NET در یک Pad Net: در این حالت محدودیت جلو میرود، از IBUFها و مدارهای ترکیبی میگذرد تا به یک المان یا پد هم‌زمان یا برسد.

TNM_NET در یک Clock Pad Net : در این حالت محدودیت از بافر ساعت می‌گذرد تا به المان یا پد هم‌زمان برسد.

TNM_NET در یک Input Clock Net: در این حالت اگر محدودیت به همراه یک محدودیت Period به ورودی DCM، DLL، PLL، PMCD یا BUFR اعمال شود، این محدودیت از بلوک‌های اصلاح ساعت می‌گذرد تا به یک المان یا پد هم‌زمان برسد.

www.ICEEP.ir

۳-۱-۱۴- ایجاد گروه‌های زمانی با کمک سیگنال IPAD

برای ایجاد گروه‌های زمانی با سیگنال IPAD راه‌های زیادی وجود دارد که رد ادامه می‌آید:

NET PADCLK TNM = PAD_grp;

در ابتدا از padclk برای تعریف گروه زمانی padclk استفاده کرده که شامل یک المان IPAD است

NET PADCLK TNM = FFS "FF_grp";

از padclk برای تعریف گروه FF_grp استفاده کرده که شامل هیچ فلیپ فلاپی نیست.

NET PADCLK TNM_NET = FFS FF2_grp;

از padclk برای تعریف گروه FF2_grp استفاده می‌شود که شامل فلیپ فلاپ‌هایی است که به net.time متصلند.

برای گروه‌های زمانی که تنها شامل سیگنال خروجی IBUF هستند:

NET INTCLK TNM = FFS FF1_grp;

از intclk برای تعریف گروه زمانی FF1_grp استفاده کده که شامل تمام فلیپ فلاپ‌های متصل به گره است.

NET INTCLK TNM_NET = RAMS Ram1_grp;

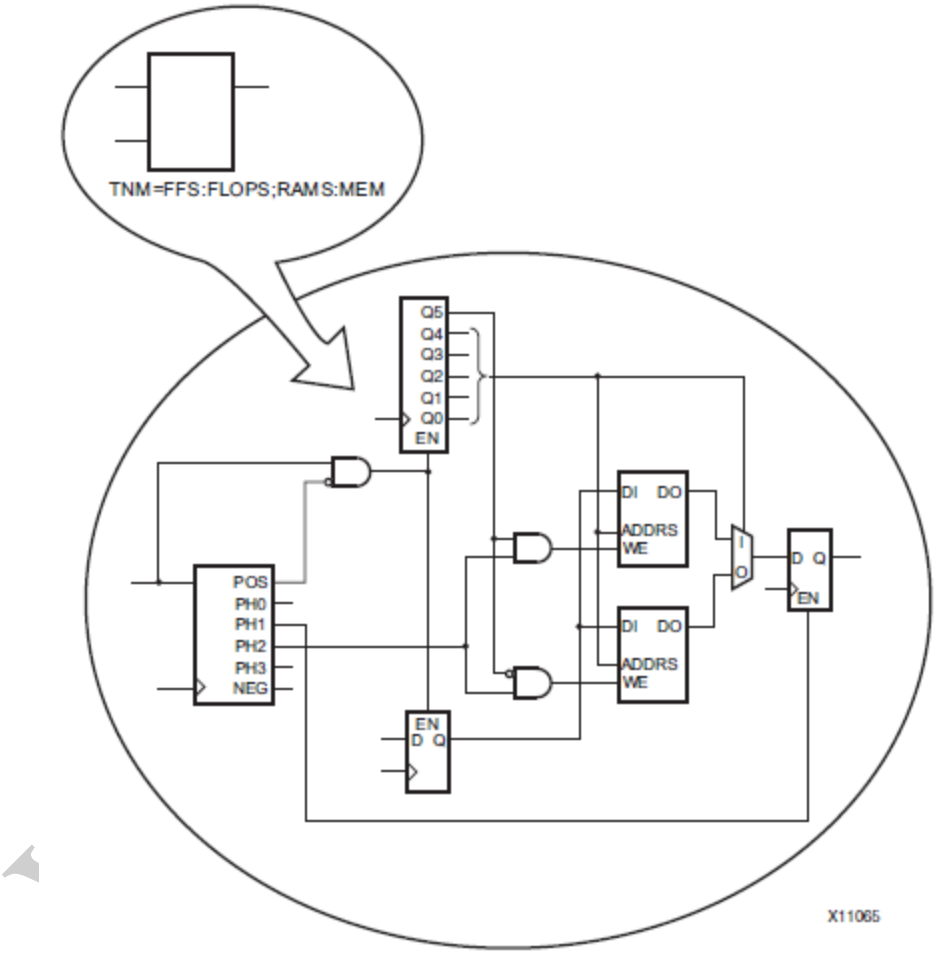
از intclk برای تعریف گروه زمانی Ram1_grp استفاده کده که شامل المان‌های RAM متصل به گره است.

۳-۱-۱۵-ساختارهای سلسله مراتبی

وقتی یک نام زمانی در یک واحد استفاده می‌شود. این عبارت به سلسله مراتب پایین تر

www.ICEEP.ir

تجزیه می‌شود تا به یک المان هم‌زمان یا پد برسد. همان طور که می‌دانید یک ماکرو[1] یا واحد یک تابع عمومی‌سطح بالاست که معمولا شامل طراحی‌های سطح پایین تر مثل ارتباطات یا واحدهای کوچک دیگر است. یک نام زمانی در یک ماکرو یا واحد نشان‌دهنده‌این است که تمام المان‌های داخل آن در هر سطح بخشی از یک گروه هستند. برای نگه داشتن سلسله مراتب در تمام مراحل می‌توان از تنظیمات Keep Hierarchy استفاده نمود.



شکل (۳-۴) انتقال نام زمانی سطح بالا به پایین

[1] Macro

۳-۱-۱۵-۱-استفاده از کاراکترهای Wildcard

به وسیله‌این کاراکترها می‌توان کل سلسله مراتب یک طراحی را طی نمود.

علامت ؟ یک کاراکتر و * چند کاراکتر را نشان می‌دهد. مثال‌های زیر طریقه استفاده از این کاراکترها را در حالی که LEVEL1 بالاترین سطح طراحی است، نشان می‌دهد.

Level1/*

تمام بلوک‌ها را پیمایش میکند

Level1/*/

فقط بلوک‌های Level1 را پیمایش می‌کند

INST *

تمام المان‌های هم‌زمان در این گروه زمانی هستند.

INST /*

تمام المان‌های هم‌زمان در این گروه زمانی هستند.

INST /*/

المان‌ها یا واحدهای بالاترین سطح در این گروه زمانی قرار دارند.

- A1
- B1
- C1

INST A1/*

تمام المان‌های زیر A1 در این گروه زمانی قرار دارند.

- A21
- A22
- A3
- A4

INST A1/*/

www.ICEEP.ir

تمام المان‌هایی که تنها یک سطح پایین تر از A1 هستند در این گروه زمانی هستند.

- A21
- A22

INST A1/*/*

المان‌هایی که دو سطح یا بیشتر پایین تر از A1 هستند در این گروه زمانی قرار دارند.

- A3
- A4

INST A1/*/*/

تمام المان‌هایی که تنها دو سطح پایین تر از A1 هستند در این گروه زمانی هستند.

- A3

INST A1/*/*/*

المان‌هایی که سه سطح یا بیشتر پایین تر از A1 هستند در این گروه زمانی قرار دارند.

- A4

INST A1/*/*/*/

تمام المان‌هایی که تنها سه سطح پایین تر از A1 هستند در این گروه زمانی هستند.

- A4

INST /*/*22/

تمام المان‌ها با نام نمونه گیری ۲۲ در این گروه زمانی قرار دارند.

- A22
- B22
- C22

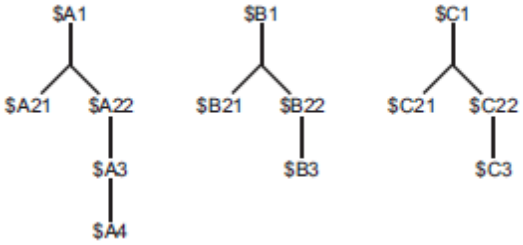
INST /*/*22

تمام المان‌ها با نام نمونه گیری ۲۲ به اضافه یک سطح پایین ترشان در این گروه زمانی قرار دارند.

- A22
- A3
- A4

www.ICEEP.ir

- B22
- B3
- C22
- C3

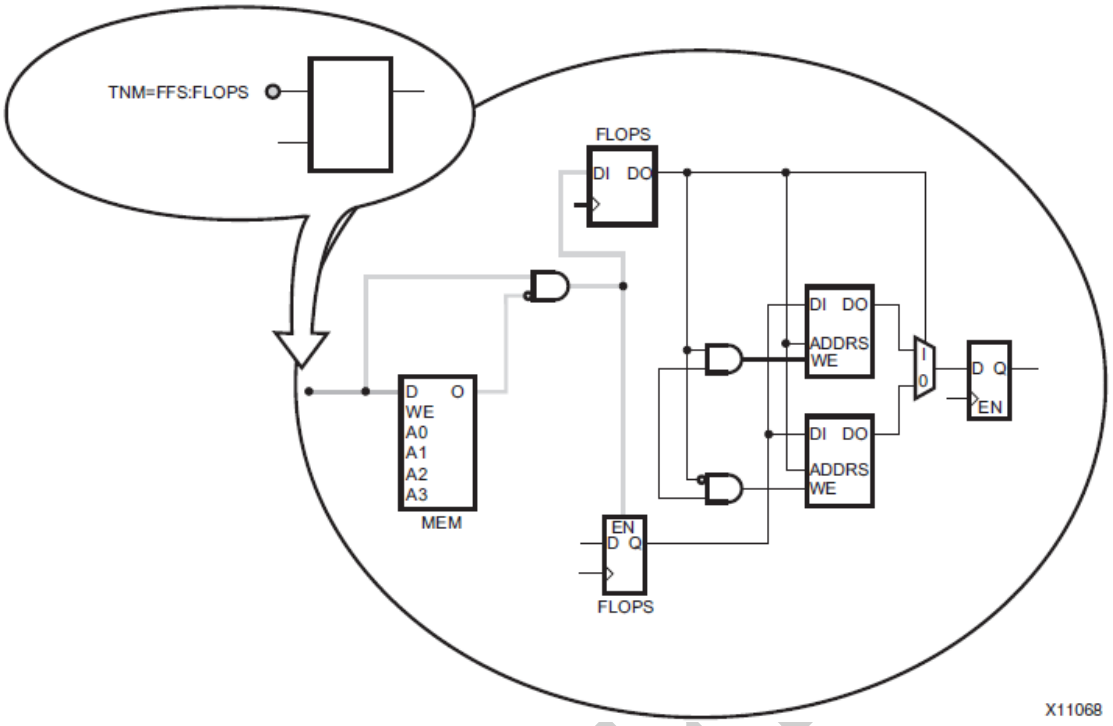


شکل (۳-۵) طی ساختار سلسله مراتبی با کاراکترهای Wildcard

۳-۱-۱۵-۲- پین نمونه گیری

تعریف گروه‌هایی با اتصال پین این اجازه را می‌دهد که توسط پین مربوطه که تمام المان‌ها و پدها را راه‌اندازی میکند، کل این المان‌ها را در یک گروه قرار داد. در این شرایط با قرار دادن یک نام زمانی روی پین محدودیت به تمام المان‌ها اعمال می‌شود.

www.ICEEP.ir



شکل (۳-۶) قرار دادن یک نام زمانی روی یک پین ماکرو و اعمال محدودیت

۳-۱-۱۶- محدودیت‌های گروه

محدودیت‌های گروه اجازه گروه کردن المان‌های مشابه برای تحلیل زمانی را می‌دهد. آن‌ها می‌توانند در هر کدام از فایل‌های زیر تعریف شوند.

- UCF
- NGC
- EDN
- EDIF
- EDF

تحلیل‌هایز زمانی روی محدودیت‌های زمانی که روی مسیرها تعریف شده انجام مشود. مسیرها معمولا دارای نقاط شروع و پایانی از پدها یا المان‌های هم‌زمان دارند. این نقاط می‌توانند بر اساس گروه‌های از پیش تعریف شده، تعریف شده توسط کاربر یا هر دو باشد. گروه‌های زمانی برای

www.ICEE

دسته بندی نقاطی که با سرعت‌های مختلف کار می‌کنند یا ملزومات مختلفی دارند، مناسب می‌باشد.

۳-۱-۱۶-۱-گروه‌های زمانی

این گروه‌ها در تحلیل زمانی کاربرد دارند.گروه‌های از پیش تعریف شده و تعریف شده توسط کاربر به نقاط ابتدا و انتهای مسیرها را به ابزار تحلیل زمانی گزارش می‌دهد.

گروه‌های زمانی در محدودیت‌های زیر کاربر دارند:

- Period
- Offset In
- Offset Out
- From:To (Multi-Cycle)
- Timing Ignore

در زمان استفاده از یک net یا نام Instance از نام کامل سلسله مرانبی آن استفاده کنید تا اینکه ابزار پیاده‌سازی بتواند آن را پیدا کند.

۳-۱-۱۶-۲-گروه‌های از پیش تعریف شده

گروه‌های از پیش تعریف شده عبارتند از:

- Flip-flops
- Latches
- Pads
- RAMs
- CPUs
- Multipliers
- High-speed-inputs or outputs

www.ICEEP.ir

علاوه بر استفاده معمولی می‌توان از این گروه‌ها برای تعریف گروه‌های دیگر هم استفاده کرد.

۳-۱-۱۶-۳-گروه‌های تعریف شده توسط کاربر

برای تعریف گروه از عبارات زیر استفاده می‌شود:

- TNM
- TNM_NET
- TIMEGRP

این گروه‌ها دارای نام حساس به بزرگ و کوچک بودن حروف هستند و میتوانند با گروه‌های از پیش تعریف شده یا سایر گروه‌ها همپوشانی داشته باشند که‌این امر باعث می‌شود بعضی المان‌ها در دو گروه قرار گیرند. در این حالت یک رجیستردر گروه از پیش تعریف شده FFS قرار دارد و محدودیت زمانی clk با محدودیت Period شراکت می‌کند.

۳-۱-۱۶-۴-Timing Group Attribute

از این عبارت برای ترکیب گروه‌های از پیش تعریف شده و تعریف شده توسط کاربر استفاده می‌شود.همچنین المان‌های مشترک را از گروه‌های موجود حذف و گروه جدیدی را ایجاد می‌کند. توسط pattern maching[۱] گروه جدیدی ایجاد می‌کند.

[۱] pattern maching گروه کردن اجزایی است که همگی دارای گره خروجی آغازشونده با حرف خاصی هستند.

www.ICEEP.ir

۳-۱-۱۶-۵-ایجاد زیرمجموعه از گروه‌های موجود

Except:

این کلمه همه المان‌های مشترک را از گروه‌ایجاد شده حذف می‌کند که در مورد موارد همپوشانی مفید است. در حالتی که هیچ المانی از گروه با سایر گروه‌ها همپوشانی نداشته باشد، با استفاده از این عبارت تغییری در لیست المان‌ها ایجاد نخواهد شد.

Rising و Falling:

این دو عبارت الان‌ها را بر حسب اینکه با کدام لبه ساعت مار می‌کنند گروه می‌کند.

۳-۱-۱۶-۶- Pattern Matching

Pattern Matching میتواند روی نام گره یا نمونه گروهی توسط کاربر تعریف کند. برای این کار از wildcardها در جهت گروهی که نام گره یا نمونه آن با الگوی داده شده یکی است استفاده کرده و انتخاب المان‌های هم‌زمان توسط گروه را عمومی‌کرده و در نهایت کل مسیر را به المان‌های هم‌زمان کاهش می‌دهیم.

جدول (۳-۲) علایم Pattern Matching

تطابق	علامت	نام
هر رشته‌ای از کاراکترها	*	ستاره
یک کاراکتر	؟	علامت سوال

www.ICEEP.ir

جدول (۳-۳) مثال‌های Pattern Matching

رشته	معنی	مثال
DATA*	هر گره‌ای که نامش با DATA شروع شود	DATA1, DATA22,DATABASE
NUMBER?	هر گره‌ای که نامش با NUMBER شروع شود و فقط یک کاراکتر اضافی داشته باشد.	NUMBER1,NUMBERS اما NUMBER یا NUMBER12 نمی‌توانند باشند

۳-۱-۱۶-۷- مثال گروه زمانی

گروه‌های زمانی که در ادامه می‌آید تو سط جستجوی رشته و گروه تعریف شده‌ای از RAMها رد یک محدودیت چند سیکله‌ایجاد شده است.

• INST my_core TNM = RAMS my_rams;

این گروه زمانی (my_ram) یک Ram از بلوک سلسله مراتبی my_core است.**core**

• TIMSPEC TS01 = FROM FFS TO my_rams 14.24ns;

• NET clock_enable TNM_NET = RAMS(address*) fast_rams;

این گروه زمانی(fast_rams) RAM است که توسط گره‌ای با نام clock_enable با گره خروجی با نام address* راه‌اندازی می‌شود.

• TIMSPEC TS01 = FROM FFS TO fast_rams 12.48ns; یا

• TIMESPEC TS01 = FROM FFS TO RAMS(address*) 12.48ns

www.ICEEP.ir

۳-۲- الویت‌های محدودیت

هر محدودیتی سطوحی از الویت را داراست که در زیر به صورت الویت بالا به پایین به آن اشاره می‌شود.

- Timing Ignore
- From:Thru:To
  - مبدا و مقصد گروه‌های تعریف شده توسط کاربراست
  - مبدا یا مقصد گروه‌های تعریف شده توسط کاربر است
  - مبدا و مقصد گروه‌های از پیش تعریف شده است
- From:To
  - مبدا و مقصد گروه‌های تعریف شده توسط کاربراست
  - مبدا یا مقصد گروه‌های تعریف شده توسط کاربر است
  - مبدا و مقصد گروه‌های از پیش تعریف شده است
- Offset
  - Data IOB (Net Offset)
  - گروه زمانی اجزایData IOB (Grouped Offset)
  - تمام اجزایData IOB (Global Offset)
- Period
- MAXSKEW and MAXDELAY

۳-۳- محدودیت‌های زمانی

محدودیت‌های زمانی بستری برای طراحی اهداف زمانی فراهم می‌آورند. از این محدودیت‌ها برای ایجاد ملزومات زمانی در مسیرهای مختلف مدار استفاده می‌شود. برای راحتی بهتر است از محدودیت‌های عمومی‌استفاده کنید. محدودیت‌های اصلی برای هر طراحی عبارتند از:

- تعریف‌های مربوط به ساعت با محدودیت Period

محدودیت‌های المان‌های هم‌زمان به هم‌زمان

www.ICEEP.ir

- ملزومات ورودی با Global Offset

محدودیت‌های ورودی به المان‌های هم‌زمان

- ملزومات خروجی با Global Offset

محدودیت‌های المان‌های هم‌زمان به خروجی

- ملزومات مسیرهای ترکیبی با محدودیت Pad to Pad

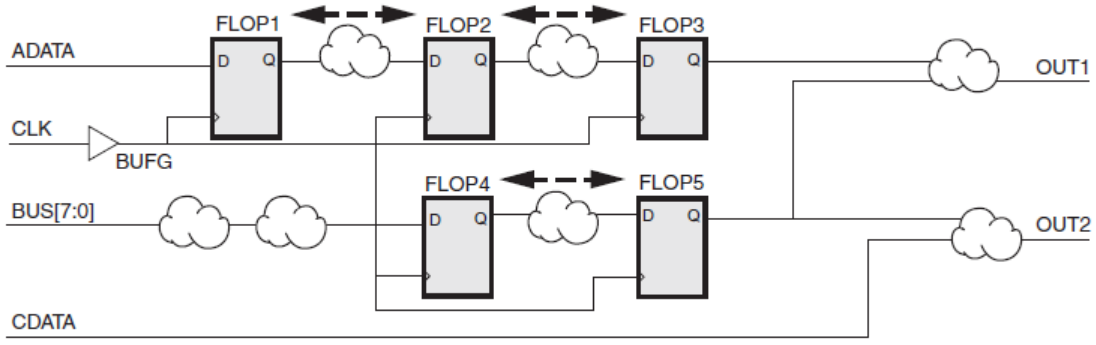
۳-۳-۱- محدودیت Period

این محدودیت مهم ترین محدودیت زمانی است که ساعت را تعریف می‌کند، تمام مسیرهای هم‌زمان با هر حوزه ساعت را می‌پوشاند، ارتباطط بین حوزه‌های مختلف را ایجاد می‌کند، فرکانس ساعت را تعیین می‌کند، می‌تواند چرخه کارهای مختلف برای ساعت ایجاد کند. این محدودیت نسبت به From: To ارجحیت دارد زیرا بیشتر مسیرها را می‌پوشاند و زمان اجزای کمتری نیاز دارد.

۳-۳-۱-۱- توصیف دوره تناوب ساعت

دوره تناوب ساعت زمان‌بندی بین دو المان هم‌زمان را تعریف می‌کند. همچنین ارتباط بین حوزه‌ها را مشخص می‌کند.

www.ICEEP.ir



شکل (۳-۷) این محدودیت مسیر رجیستر به رجیستر را می‌پوشاند

۳-۳-۱-۲- محدودیت Period روی گره ساعت

این محدودیت تمام تاخیرهای روی مسیرهایی که منتهی به پینی با زمان تنظیم یا نگه‌داری نسبت به ساعت هستند را تحلیل می‌کند. یک تحلیل ساده شامل موارد زیر می‌باشد.:

- تاخیر ساعت ب خروجی المان‌های هم‌زمان
- تاخیر منطقی و مسیریابی
- تاخیر تنظیم و نگه‌داری
- انحراف ساعت بین ورودی و خروجی یک المان هم‌زمان
- فاز ساعت
- چرخه کار ساعت

محدودیت Period شامل موارد زیر است:

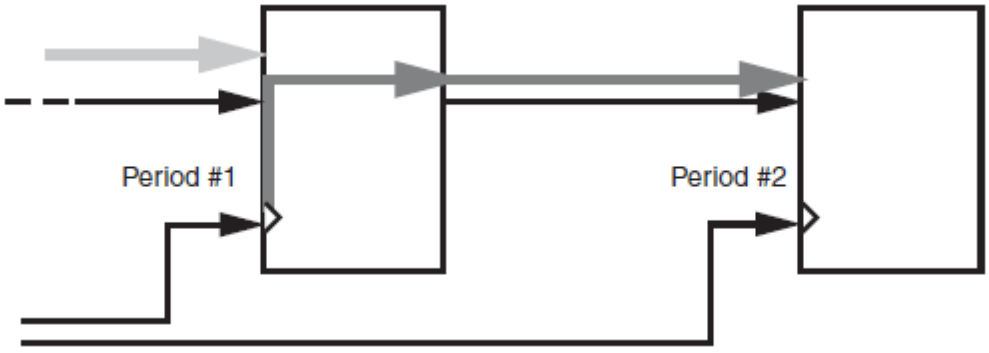
- تحلیل تاخیر ساعت در تحلیل انحراف ساعت برای ساعت‌های عمومی‌و محلی
- وارونگی ساعت محلی
- تحلیل زمان تنظیم و نگه‌داری

www.ICEEP.ir

- ارتباط فاز بین ساعت‌های مختلف
- ساختن ساعت‌ها بر اساس تابعی از ساعت‌های موجود
- DCM Jitter، اعوجاج چرخه کار، DCM Phase Error برای Virtex-4 و DCM Jitter، PLL Jitter، اعوجاج چرخه کار و DCM Phase Error برای Virtex-5 و خانواده‌های جدید.
- Clock Input Jitter به عنوان Clock Uncertainty تعریف شده توسط کاربر
- چرخه کار نامتناسب (غیر ۵۰ درصد)
- فاز ساعت شامل فاز DCM و ساعت لبه پایین

۳-۳-۱-۳- محدودیت‌های مرتبط

در شکل زیر TS_PERIOD#1 به TS_PERIOD#2 مرتبط است و مسیر داده با TS_PERIOD#2 تحلیل می‌شود.



شکل (۳-۸) محدودیت‌های مرتبط

www.ICEEP.ir

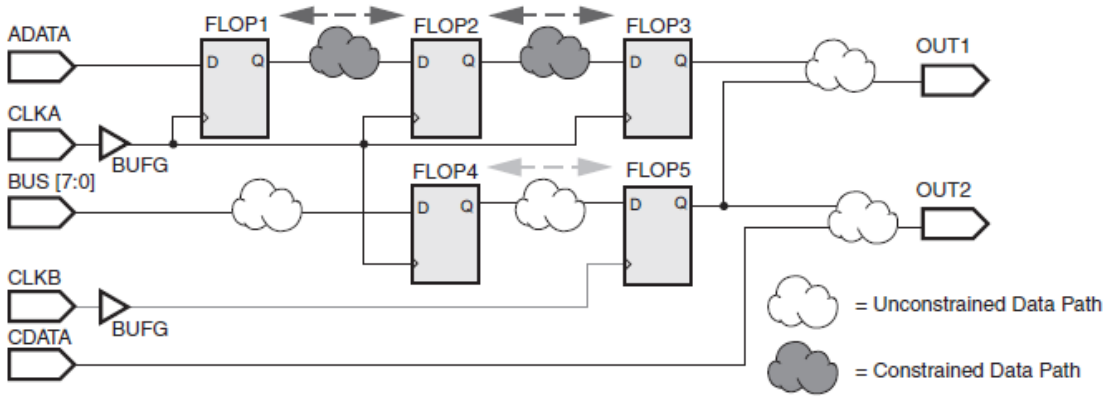
۳-۳-۱-۴- نحوه استفاده از محدودیت Period

در مثال زیر TS_Period_2 مضربی از TS_Period_1 است.

```
TIMESPEC TS_Period_1 = PERIOD "clk1_in_grp" 20 ns HIGH 50%;
TIMESPEC TS_Period_2 = PERIOD "clk2_in_grp" TS_Period_1 * 2;
```

۳-۳-۱-۵- حوزه‌های غیر مرتبط

در شکل زیر CLKA و CLKB غیر مرتبط هستند. در نتیجه مسیرهای بین رجیستر ٤ و ٥ توسط محدودیت Period تحلیل نمی‌شوند.



شکل (۳-۹) حوزه‌های غیر مرتبط

۳-۳-۱-۶- مسیرهای پوشش داده شده توسط Period

این محدودیت تنها مسیرهای بین المان‌های هم‌زمان را پوشش می‌دهد و تحلیل آن شامل تحلیل زمان تنظیم و نگه‌داری می‌شود.

www.ICEEP.ir

۳-۳-۲- محدودیت Offset

این محدودیت اصلی ترین محدودیت زمانی است و ارتباط زمانی بین پد ساعت بیرونی و پد داده ورودی و خروجی را تعیین میکند.

۳-۳-۲-۱- توصیف واسطهای زمانی با اجزای بیرونی

محدودیت‌های زیر واسطهای زمانی با اجزای بیرونی را توصیف میکند.

Pad به Setup(Offset In Before): این محدودیت به داده یا ساعت خروجی امکان اقناع محدودیت زمان تنظیم را می‌دهد.

Clock به Out (Offset Out After):

کنترل بیشتری در زمان تنظیم و نگه داری روی پد بیرونی داده خروجی یا ساعت ایجاد میکند.

Offset In Before و Offset Out After:

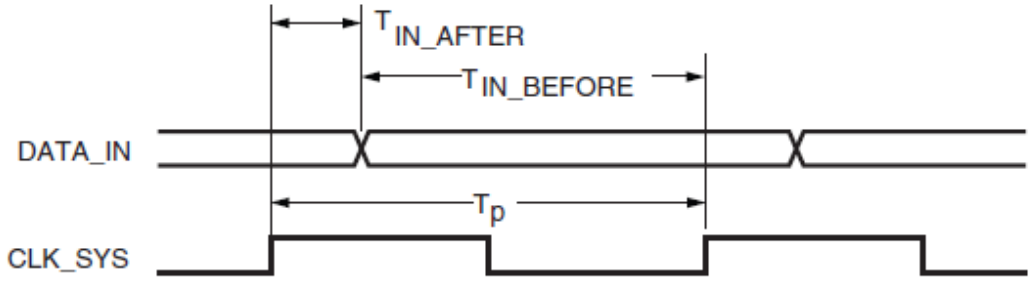
از این محدودیت‌ها برای توصیف تاخیر داده‌های داخلی از پد ورودی به خروجی با توجه به ساعت استفاده می‌شود.

۳-۳-۲-۲-توصیف ارتباط بین داده بیرونی و ساعت

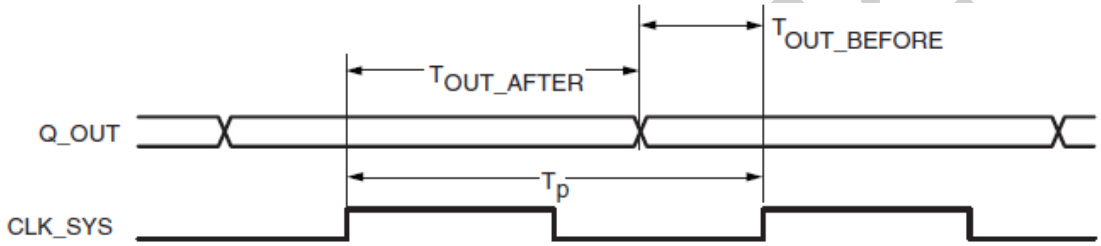
Offset In Before و Offset Out After امکان توصیف ارتباط بین داده بیرونی و ساعت را به وجود می‌آورند. ابزار زمانی ملزومات داخلی را بدون نیاز به محدودیت‌های From PADS To

www.ICEEP.ir

FFS و From PADS To FFS تعیین می‌کند.



شکل (۳-۱۰) شمای زمانی محدودیت Offset In



شکل (۳-۱۱) شمای زمانی Offset Out

محدودیت Offset شامل تاخیر مسیر ساعت ر تحلیل هر کدام از المان‌های هم‌زمان، مسیرهای شامل هر نوع المان هم‌زمان (مانندFFS ، RAM و LATACH) می‌باشد. این محدودیت نقض زمان تنظیم و نگه داری را تحلیل می‌کند.

محدودیت‌های Offset برای تاخیر مسیرهای ساعتی که توسط Period تعریف می‌شوند، اطلاعات زمانی دقیقی فراهم می‌آورند. این محدودیت‌ها مقدار زمان ورود سیگنال به المان هم‌زمان را افزایش داده و از آن طرف میزان زمان خروج سیگنال از خروجی را کاهش میدهند.

یک محدودیت Offset فاز ساعت تعریف شده توسط DLL یاDCM برای هر المان هم‌زمان را در نظر می‌گیرد.

www.ICEEP.ir

۳-۳-۲-۳-لبه ساعت آغازین

تحلیل لبه ساعت آغازین محدودیت Offset با کلیدواژه‌هایHigh (برای لبه بالا رونده) و Low (برای لبه پایین رونده) انجام میشود.

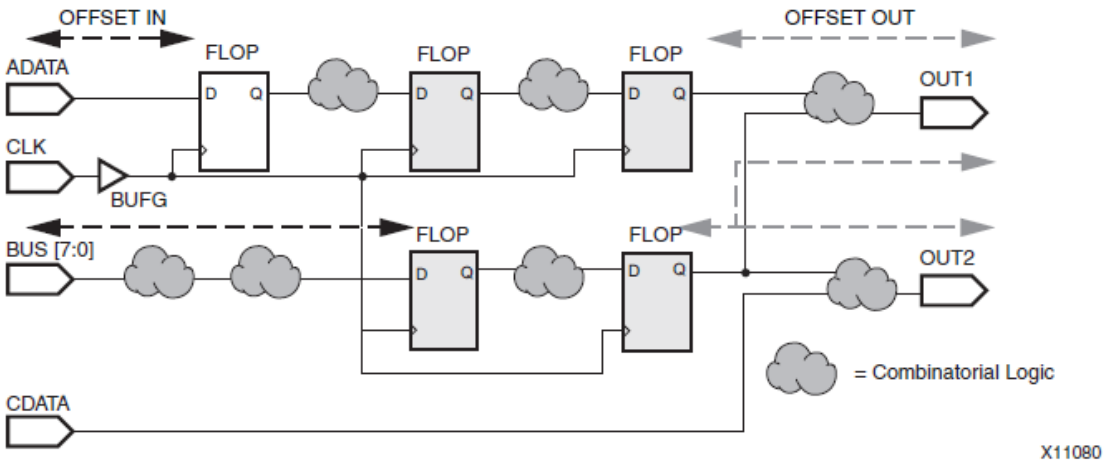
۳-۳-۲-۴-پد ساعت و داده بیرونی

محدودیت‌هایOffset ارتباط بین پد ساعت و داده بیرونی را مشخص می‌کنند. جز مشترک بین این دو جز المان‌های هم‌زمان هستند. اگر یک المان هم‌زمان با یک ساعت داخلی کار کند، یک محدودیت From:To برای تحلیل آن مسیر مورد نیاز است.

۳-۳-۲-۵-مسیرهای تحت پوشش محدودیت‌هایOffset

محدودیت‌هایOffset مسیرهای پد ورودی به المان‌های هم‌زمان و المان‌های هم‌زمان به پد خروجی را تحت پوشش خود قرار می‌دهد. این محدودیت در تحلیل زمانی فقط مسیرهایی را برمیگرداند که ساعتشان مستقیما از ورودی ساعت گرفته شده باشد(از ساعت دیگری گرفته نشده باشد).

www.ICEEP.ir



شکل (۳-۱۲) دیاگرام مداری محدودیت‌های Offset

محدودیت Offser تنها با یک ساعت کار می‌کند. در حالت‌هایی که دو یا چند ساعت در مسیر باشد باید به صورت دستی تغییرات اعمال شود.

۳-۳-۲-۶-تحلیل زمانی I/O

برای تحلیل زمانی I/O روی ساعت‌های داخلی ابتدا باید یک From:To یا Multi cycle روی مسیرها ایجاد نموده یا اینکه بفهمیم آیا ساعت داخلی به ساعت بیرونی مرتبط است یا خیر و بر آن اسان ملزومات را تغییر دهیم.

۳-۳-۲-۷-سطوح پوشش

محدودیت Offset در سه سطح قابل تعریف است:

Offset عمومی: به تمام ورودی‌ها و خروجی‌های یک کلام اعمال می‌شود.

Offset گروه: به گروه تعریف شده‌ای که از یک ساعت مشترک استفاده می‌کند اعمال

www.ICEEP.ir

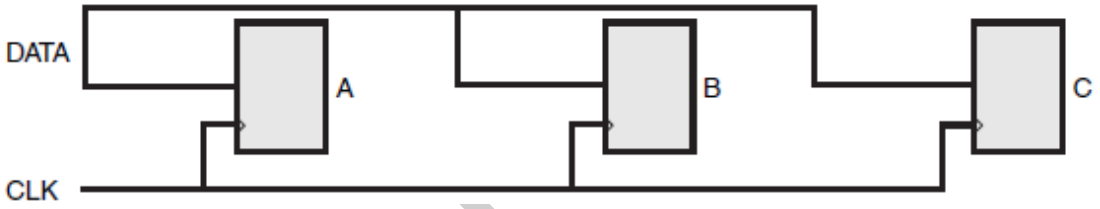
می‌شود. الویت این محدودیت از Offset عمومی‌بالاتر است و آن را لغو می‌کند.

این محدودیت می‌تواند شامل گروه رجیستر یا پد یا مخلوطی از هر دو باشد. اما گروه‌های Rising و Falling نیازمند محدودیت‌های جداگانه هستند.

به عنوان مثال در شکل زیر رجیسترهای A،B و C علی رغم داشتم داده و ساعت مشترک محدودیت‌های جداگانه دارند که عبارتند از:

• TIMEGRP AB = RISING FFS;
• TIMEGRP C = FALLING FFS;

```
NET CLK PERIOD = 20nS
OFFSET = IN 4nS BEFORE CLK TIMEGRP AB;
OFFSET = IN 6nS BEFORE CLK TIMEGRP C;
```



شکل (۳-۱۳) Offset با گروه‌های زمانی مختلف

Offset توصیف نشده: به هر ورودی یا خروجی اعمال می‌شود. الویت این محدودیت هر دو نوع Offset قبل بالا تر است.

۳-۳-۳- محدودیت From: To (Multi Cycle)

مسیر چند سیکله مسیریست که چند ساعت مختلف دارد. این مسیرها به صورت پیش فرض توسط محدودیت Period پوشش داده می‌شوند که ممکن است یا خطاهایی همراه باشد زیرا این

www.ut.ac.ir

محدودیت برای مسیرهای تک سیکله ایجادشده است. برای اجتناب ازین دسته خطاها باید یک محدودیت Multi Cycle بر روی مسیر گذاشته شود.

۳-۳-۳-۱-محدودیت‌های Multi Cycle

توسط یک From:To اعمال می‌شود و الویت بالاتری نسبت به Period و Offset دارد م میتواند محدودتر از آن‌ها باشد یا نباشد. این محدودیت تنها یک مسیر را محدود می‌کند. این مسیر می‌تواند در حین اینکه محدودیت‌های دیگری دارد در همان حوزه ساعت بماند. از طرفی مسیری که از مرز یک حو.زه ساعت میگذرد می‌تواند توسط Multi Cycle محدود شود.

۳-۳-۳-۲- محدودیت From:To

این محدودیت نیز الویت بالاتری نسبت به Period دارد و از یک المان هم‌زمان شروع شده و به یک المان هم‌زمان ختم می‌شود. به عنوان مثال اگر قرار باشد بخشی از طراحی با سرعت کمتری کار کند، در حالی که یک Period کلی تعریف شده رویآن بخش خاص از From:To استفاده می‌شود.

۳-۳-۳-۳-تعریف نقطه شروع و پایان

برای استفاده ازین محدودیت روی یک مسیر باید نقطه شروع و پایان مسیر را مشخص کنیم. این نقاط باید جز یکی از دسته‌های گروه‌های زمانی از پیش تعریف شده(مانند PADS، FFS،

www.ICEEP.ir

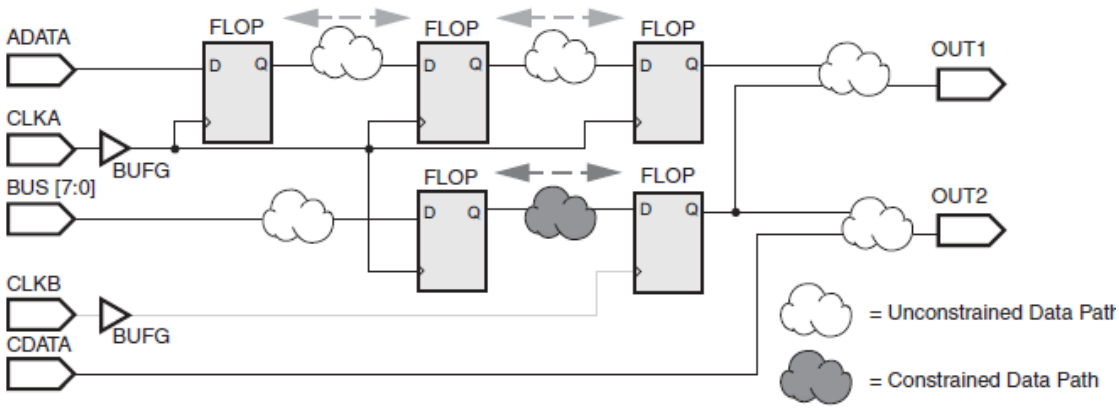
RAMS ،LATCHES)، تعریف شده توسط کاربر تا نقاط هم‌زمان تعریف شده توسط کاربر باشد.

۳-۳-۴-From یا To اختیاری

در حالتی که این محدودیت روی مسیر مشخی اعمال می‌شود From یا To اختیاری است.

محدودیت From Multi-Cycle مسیر از گروه زمانی مبدا را تا المان هم‌زمان یا پد بعدی را محدود می‌کند. To Multi-Cycle مسیر از المان هم‌زمان یا پد مختوم به گروهی زمانی مقد را می‌پوشاند.

در شکل یر مشاهده می‌کنید که From:To چطور مسیرهای Multi Cycle را می‌پوشاند.



شکل (۳-۱۴) مسیرهای Multi Cycle

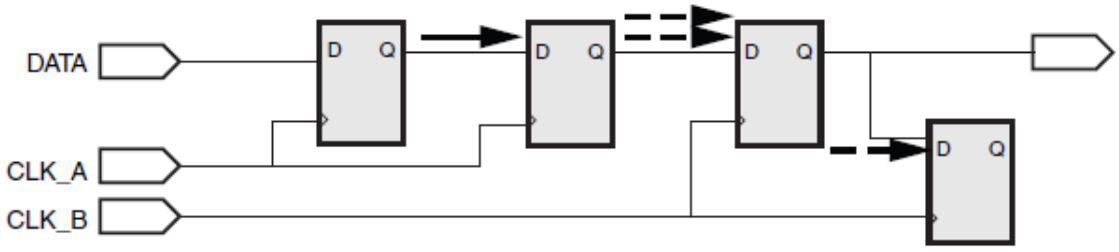
۳-۳-۵-مسیرهای عبور کننده از مرز ساعت

این مسیرها بین دو محدودیت Period نامرتبط هستند و در گزارش مسیرهای نامحدود بررسی می‌شوند. در صورتی که‌این مسیرها به ورت نادرستی به هم مربوط شده اند روی آنها یک From:To تعریف کنید.

Copyright © 2013 ICEEP, University of Tehran

برای محدود کردن مسیرهای بین دو حوزه ساعت برای هر حوزه یک گروه تعریف کرده و برای هر مسیر یک From:To بگذارید. مثال زیر این روند را نشان می‌دهد.

```
TIMESPEC TS_clk1_to_clk2 = FROM clk1 TO clk2 8 ns;
```



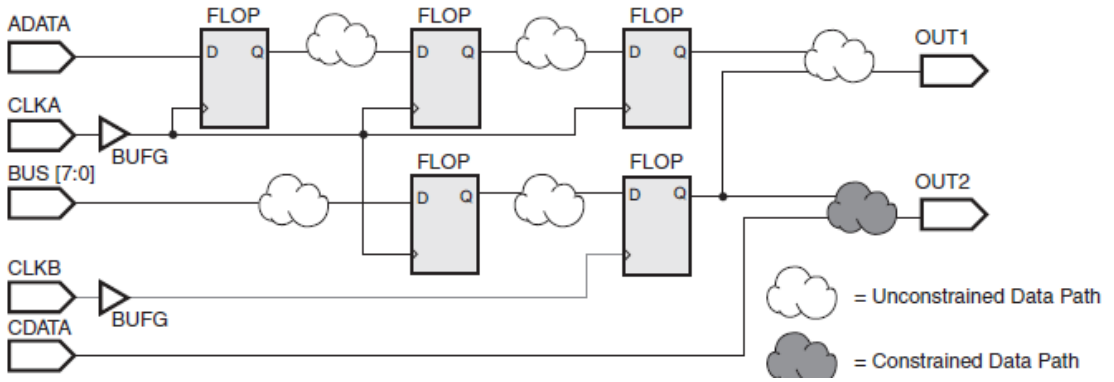
شکل (۳-۱۵) مسیر بین حوزه CLK_A وCLK_B

۳-۳-۶-مسیر پد به پد

این مسیر از یک پد شروع می‌شود و به به یک پد ختم می‌شود. بنابراین آهم‌زمان است و یکی از اصلی ترین مسیرها برای گذاشتن محدودیت From:To می‌باشد.

مثال زیر از جمله‌این مسیرهاست.

```
TIMESPEC TS_Pad2Pad = FROM PADS TO PADS 14.4 ns;
```

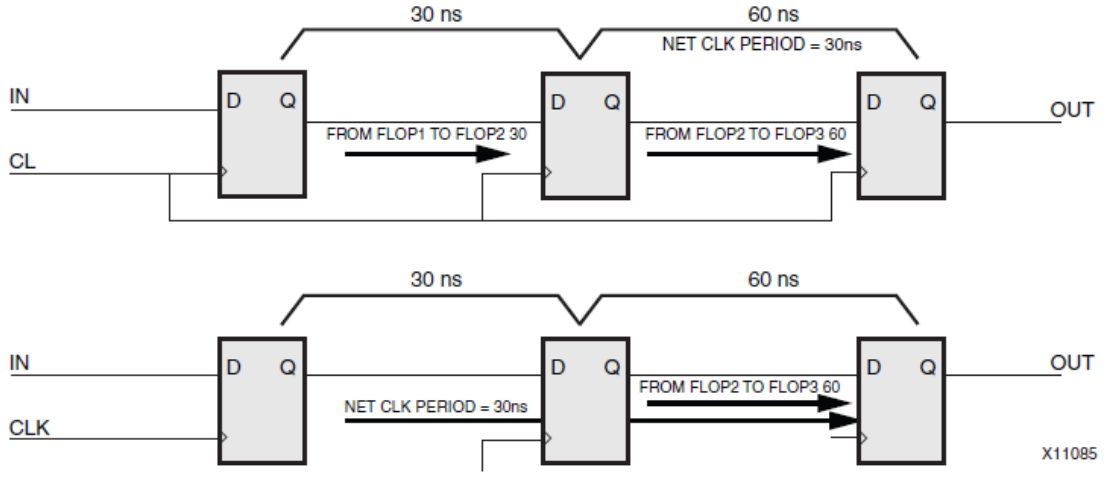


شکل (۳-۱۶) مسیر پد به پد

علاوه بر استفاده از Multi Cycle در مسیرهای پد به پد می‌توان برای مسیرهایی که استثنا

Copyright © 2013 ICEEP, University of Tehran

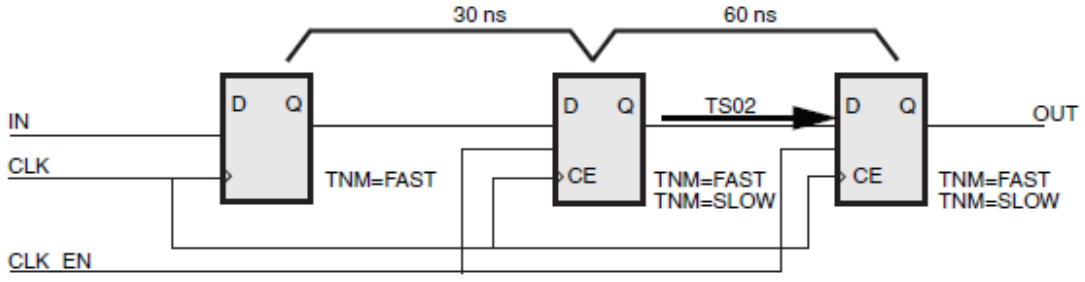
کند تر هستند هم از Multi Cycle بهره جست. در مثال زیر از یک From:To slow exception به همراه Period استفاده شده است. گفتنی است Xilinx این نوع استفاده را توصیه نمیکند.



شکل (۳-۱۷) slow exception

یک slow exception هم میتواند یک slow exception تعریف کند. در مثال زیر این روش را مشاهده می‌کنید که توسط Xilinx هم توصیه شده است.

```
NET clk_en TNM = slow_exception;
NET clk TNM = normal;
TIMESPEC TS01 = PERIOD normal 8 ns;
TIMESPEC TS02 = FROM slow_exception TO slow_exception TS01*2;
```



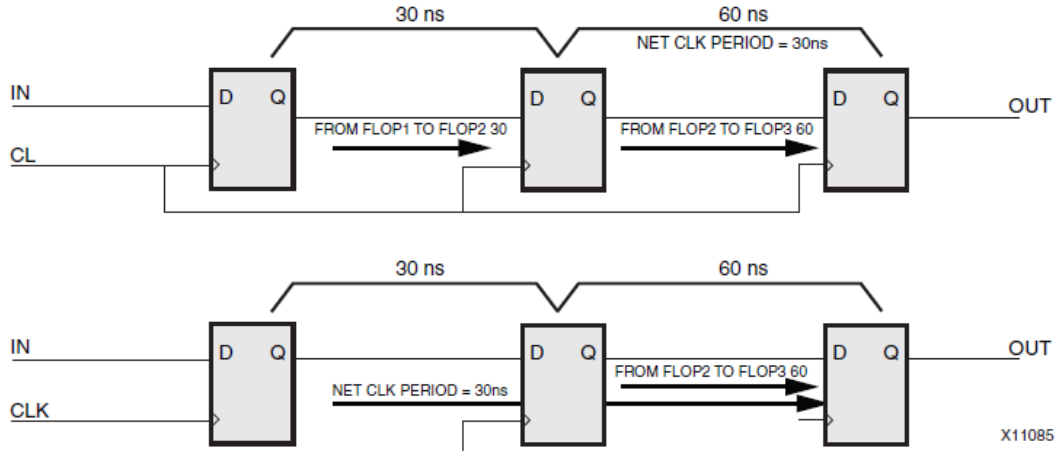
شکل (۳-۱۸) تداخل گروه کند و سریع (exception)

W.ICEL

۳-۳-۳-۷-نادیده گرفتن مسیر

برای نادیده گرفتن یک مسیر از محدودیت ignore استفاده می‌شود. برای این کار گروه زمانی مبدا و مقصد را مشخص کرده و از دستور From:To:TIG استفاده می‌کنیم. مانند شکل زیر:

```
TIMESPEC TS_FFA_to_FFB = FROM FFA_grp TO FFB_grp TIG;
```



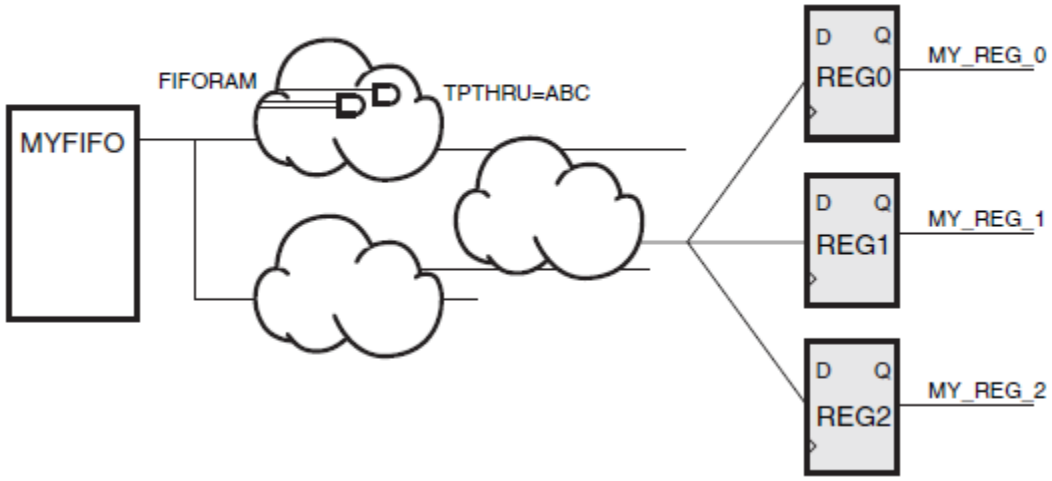
شکل (۳-۱۹) نادیده گرفتن مسیر

اگر در محدودیتPeriod قرار است مسیری کند تر یا تند تر کار کند، یک Form:To برای آن ایجاد کنید. در صورتی که بین مبدا و مقصد چند مسیر وجود دارد، با From:Thru:To مسیر دلخواه را مشخص کنید. در این دستور با گذاشتن مبدا و مقصد و نیز نقاط میانی که تعدادشان نا محدود است مسیر خاصی مشخص می‌شود. به عنوان مثال:

```
NET $3M17/On_the_Way TPTHRU = abc;
TIMESPEC TS_mypath = FROM my_src_grp THRU abc TO my_dest_grp 9 ns;
```

مسیر با مبدا my_src_grp و مقصد my_dest_grp و نقاط میانی abc را به ۹ نانو ثانیه محدود می‌کند.

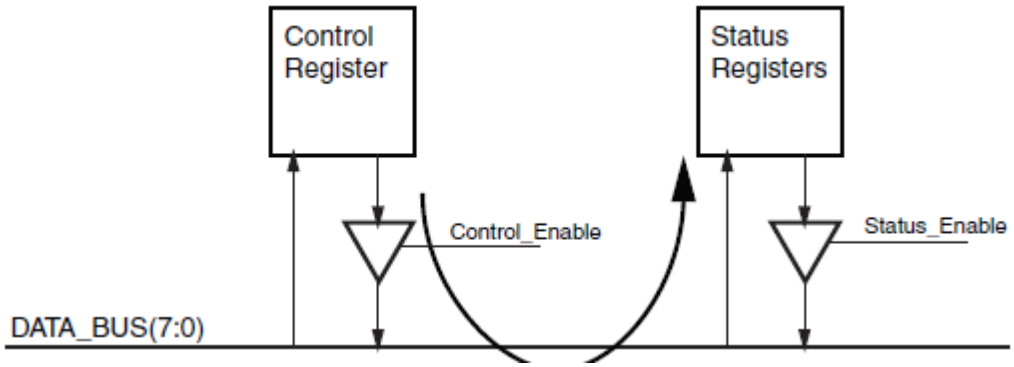
Copyright © 2013 ICEEP, University of Tehran



شکل (۳-۲۰) مثال From:Thru:To

خط مشترک مثال خوبی برای این دستور است:

```
NET DATA_BUS* TPTHRU = DataBus;
TIMESPEC TS_TIG = FROM FFS THRU DataBus TO FFS TIG;
OR
TIMESPEC TS_data_bus = FROM FFS THRU DataBus TO FFS 123ns;
```



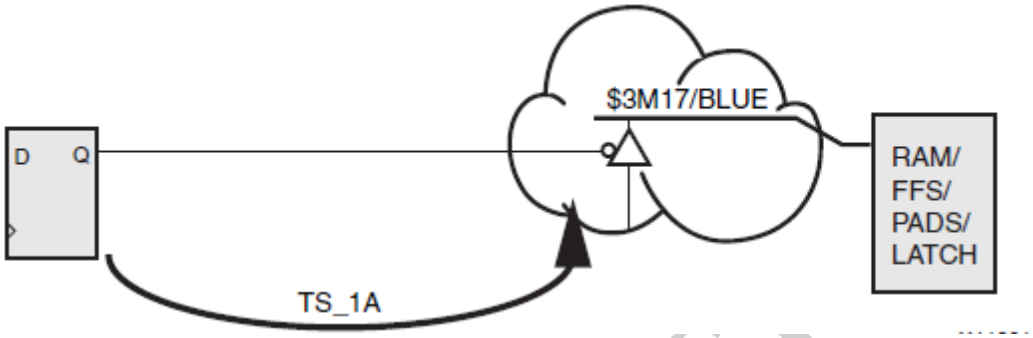
شکل (۳-۲۱) باس مشترک

علاوه بر استفاده از نقاط میانی میتوان برایآغاز یا اتمام در یک نقطه غیر هم زمان از محدودیتTPSYNC برای توصیف پین یا مدارهای ترکیبی استفاده کرد. این محدودیت نقاط غیر هم

Copyright © 2013 ICEEP, University of Tehran

زمان را به عنوان نقاط همزمان تعریف می‌کند. به عنوان مثال یک مسیر به یک بافر سه حالته[1] میتواند توسط این محدودیت محدود شود. در شکل زیر این حالت را مشاهده می‌کنید.

```
NET $3M17/Blue TPSYNC = Blue_S;
TIMESPEC TS_1A = FROM FFS TO Blue_S 15;
```



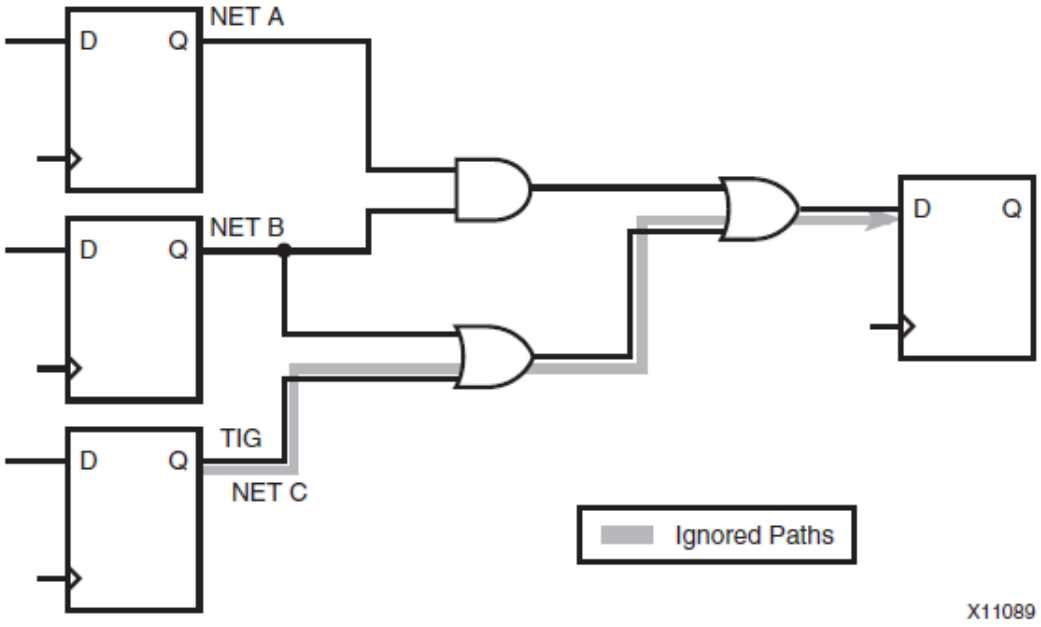
شکل (۳-۲۲) محدودیت به بافر سه حالته

۳-۳-۳-۸-مسیرهای نادرست یا محدودیت Ignore

یک محدودیت Net Timing Ignore یک گره خاص را می‌پوشاند و گره‌هایی که در تحلیل نادیده گرفته می‌شوند را مشخص می‌کند. در حالی که یک From:To TIG تمام مسیرهای بین دو المان هم‌زمان یا گروه با تمام گره‌های آن‌ها را نادیده میگیرد.

[1] Three state buffer

www.ICEEP



شکل (۳-۲۳) مسیر نادیده گرفته شده بین دو فلیپ فلاپ

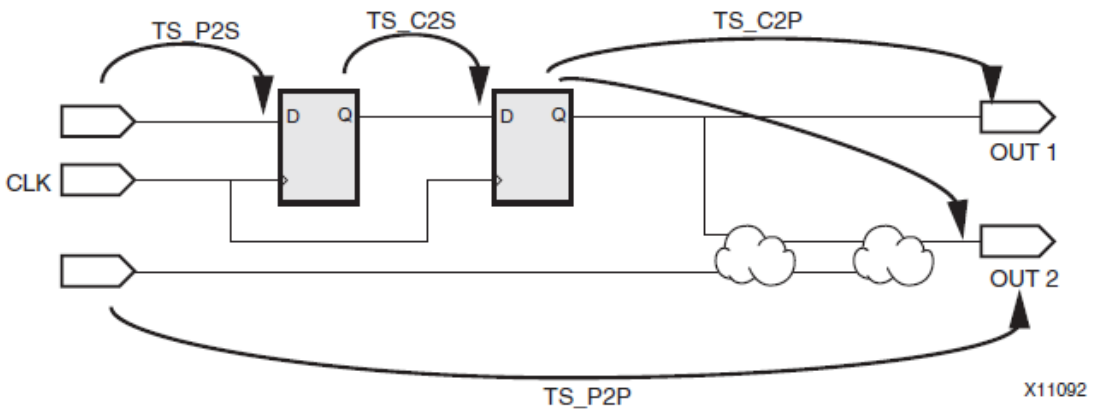
۳-۳-۳-۹-مثال از From: To

محدودیت From:To محدودیتی بین دو گروه زمانی ایجاد می‌کند. این محدودیت به همراه محدودیت‌های Period و Offset In و Offset Out مورد استفاده قرار میگیرد و میتواند بخش‌هایی از مدار را کندتر یا سریعتر کند.

در شکل زیر مثالی از چند From:To را مشاهده می‌کنید.

```
TIMESPEC TS_C2S = FROM FFS TO FFS 12 ns;
TIMESPEC TS_P2S = FROM PADS TO FFS 10 ns;
TIMESPEC TS_P2P = FROM PADS TO PADS 13 ns;
TIMESPEC TS_C2P = FROM FFS TO PADS 8 ns;
```

www.ICEE



شکل (۳-۲۴) مثالی از From:To

زمانی که تحلیل از یک محدودیت Period به From:To میرود تعداد مسیرهای تحلیل شده بیشتر از حالتی می‌شود که در آن یک مسیر با Periodپوشش داده شده اما تعداد مسیرهای نامحدود زیادتر نشده است.

گروه زمانی مقصد در یک From:To میتواند شامل RAM همزمان دو پورته توزیع شده باشد که مسیرهای مختوم به‌این RAM می‌توانند همزمان یا غیر همزمان باشند. به‌این صورت که مسیرهای منتهی به داده ورودی (D) همزمان و مسیرهای منتهی به آدرس خواندن(DPRA) غیر همزمان هستند. حال اینکه محدودیت Period فقط شامل مسیرهای همزمان است اما محدودیت From:To هر دو حالت همزمان و غیر همزمان را شامل می‌شود.

www.ICEEP.ir

فصل چهارم

توصیف

محدودیت‌های

زمانی در XST

در این روش به توصیف محدودیت‌های زمانی در XST[1] می‌پردازیم. در ادامه با طرح مثال‌هایی به شرح این فصل می‌پردازیم.

XST از مدل‌های زمانی متعددی برای تحلیل زمانی استفاده می‌کند که عبارتند از:

- تاخیرهای منطقی: این تاخیرها در گزارش Timing Analyzerپس از جایابی و مسیریابی می‌آید.
- تاخیرهای گره: این تاخیر بر اساس میزان بار fanout محاسبه می‌شود.

این تاخیرها وابسته به تکنولوژی مورد استفاده و سرعتی است که در XST توصیف شده است.

در فایل XST ابتدا محدودیت‌های مشخص شده روی سیگنال‌ها و سپس محدودیت‌های تعیین شده در بالاترین ماژول و بعد از آن هم مخدودیت‌های عمومی‌روی بالاترین ماژول پردازش می‌شوند. بنابراین محدودیت‌های روی دو حوزه یا سیگنال متفاوت الویت بکسانی دارند.

برای توصیف محدودیت‌های زمانی میتوان از هر یک از موارد زیر استفاده کرد:

- HDL
- فایل XST(XCF): این فایل تمام دستورهای زیر را پشتیبانی می‌کند.

گره نام زمانی

• Timing Group
• Period
• Timing Ignore
• From-To

- دستور **global_opt**- در خط دستور

[1] Xilinx Synthesis Tool

www.ICEEP.ir

محدودیت‌های زمانی به صورت خود به خود در فایل NGC ثبت نیمشوند. برای این کار از بخش Process > Properties عبارت Write Timing Constraints را تیک بزنید یا اینکه دستور -write_timing_constraints را در خط دستور بنویسید.

۴-۱- مثال‌ها

در بخش زیر مثال‌هایی از توصیف محدودیت‌های زمانی در Verilog، و XCF می‌آید. هنگام استفاده از XCF، Xilinx توصیه می‌کند که برای جدا کردن بخش نام‌ها به جای (_) از (/) استفاده کنید.

۴-۱-۱- رجیستر غیرهم‌زمان

محدودیت رجیستر غیرهم‌زمان (ASYNC_REG) تنها به رجیسترها یا لچ‌هایی با ورودی غیرهم‌زمان(ورودی D یا CE) اعمال می‌شود.

ASYNC_REG در Verilog:

```
(* ASYNC_REG = "{TRUE|FALSE}" *)
```

مثال Verilog:

```
module mig_22
       ( inout [7:0] cntrl0_ddr2_dq,
       output [14:0] cntrl0_ddr2_a,
       input sys_clk_p,
       input sys_clk_n,
       input clk200_p,
       input clk200_n,
       input sys_reset_in_n,
       inout [0:0] cntrl0_ddr2_dqs
       );
       wire clk_0;
       wire clk_90;
       wire clk_200;
```

www.ICEEP.ir

```
        (* ASYNC_REG = "TRUE" *)
        reg sys_rst;
        // source code
End module;
```

۴-۱-۲- سیگنال ساعت

سیگنال ساعت به FPGA اعمال می‌شود. این سیگنال به CPLDها اعمال نمی‌شود. اگر سیگنال ساعت قبل از وصل شدن به ورودی فلیپ فلاپ وارد مدار ترکیبی شودXST تشخیص نمیدهد که چه سیگنال داخلی یا ورودی ای سیگنال ساعت واقعی است.محدودیت سیگنال ساعت (CLOCK_SIGNAL) اجازه تعریف سیگنال ساعت در مدار را می‌دهد.

CLOCK_SIGNAL در Verilog:

```
(* clock_signal = "{yes|no}" *)
```

مثال Verilog:

```
module mig_22
        ( inout [7:0] cntrl0_ddr2_dq,
        output [14:0] cntrl0_ddr2_a,
        input sys_clk_p,
        input sys_clk_n,
        input clk200_p,
        input clk200_n,
        input sys_reset_in_n,
        inout [0:0] cntrl0_ddr2_dqs
        );
        (* clock_signal = "yes" *)
        wire clk_0;
        wire clk_90;
        wire clk_200;
        reg sys_rst;
        // source code
End module;
```

CLOCK_SIGNAL در XCF:

```
BEGIN MODEL "entity_name"
NET "primary_clock_signal" clock_signal={yes|no|true|false};
END;
```

مثال XCF :

```
BEGIN MODEL "top_yann_mem"
NET "CLK200_P" clock_signal = yes;
```

www.ICEEP.ir

```
END;
```

۴-۱-۳- بیشترین تاخیر[۱]

محدودیت بیشترین تاخیر(MAXDELAY) بیشترین میزان تاخیر ممکن روی یک گره را تعریف می‌کند و تنها روی گره‌های FPGA اعمال می‌شود.

MAXDELAY در Verilog:

```
(*MAXDELAY = "value [units]" *)
```

مثال Verilog:

```
module mig_22
       ( inout [7:0] cntrl0_ddr2_dq,
       output [14:0] cntrl0_ddr2_a,
       input sys_clk_p,
       input sys_clk_n,
       input clk200_p,
       input clk200_n,
       input sys_reset_in_n,
       inout [0:0] cntrl0_ddr2_dqs
       );
       wire clk_0;
       wire clk_90;
       wire clk_200;
       (*MAXDELAY= " 800 ps" *)
       wire read_en;
       reg sys_rst;
       // source code
End module;
```

۴-۱-۴- بیشترین انحراف

محدودیت بیشترین انحراف (MAXSKEW) میزان انحراف روی یک گره را کنترل می‌کند.انحراف اختلاف تاخیرهای بین چند بارهایی است که توسط یک گره را اندازی می‌شوند.

MAXSKEW در Verilog:

[۱] Maximum Delay

www.ICEEP.ir

```
(* MAXSKEW = "allowable_skew [units]" *)
```

که در آن allowable_skew مقدار قابل قبول است.

مثال Verilog:

```
module mig_22
       ( inout [7:0] cntrl0_ddr2_dq,
       output [14:0] cntrl0_ddr2_a,
       input sys_clk_p,
       input sys_clk_n,
       input clk200_p,
       input clk200_n,
       input sys_reset_in_n,
       inout [0:0] cntrl0_ddr2_dqs
       );
       wire clk_0;
       wire clk_90;
       wire clk_200;
       (*MAXSKEW= " 3 ns" *)
       wire read_en;
       reg sys_rst;
       // source code
End module;
```

Offset -۵-۱-۴

این محدودیت ارتباط زمانی بین ساعت خروجی و داده ورودی یا خروجی متناظر آن را نشان میدهد و تنها در سیگنال‌های مربوط به پد استفاده می‌شود. از این محدودیت نمی‌توان برای افزایش زمانی ورود برای سیگنال‌های داخلی استفده نمود.

Offset در XCF:

```
OFFSET = {IN|OUT} offset_time [units] {BEFORE|AFTER}
clk_name [TIMEGRP group_name];
```

در این عبارت offset_time [units] اختلاف بین زمانی که بین لبه ساعت و شروع ثبت داده است. این مقدار میتواند دارای واحد زمانی باشد یا نباشد. واحدهای زمانی تعریف شده ps، ns، micro و ms است. که واحد پیش فرض ns می‌باشد.

BEFORE|AFTER ارتباط بین شروع داده و لبه ساعت را مشخص می‌کند. روش توصیه

www.ICEEP.ir

شده استفاده از BEFORE است. BEFORE زمانی را که داده به نسبت لبه ساعت معتبر است را نشان می‌دهد. مقدار مثبت این زمان نشان‌دهنده‌این است که داده قبل از لبه ساعت معتبر است و مقدار منفی آن عکس این روند را مشخص می‌کند.

clk_name نام کلمل سلسله مراتبی گره پد ساعت را نشان می‌دهد.

مثال XCF:

```
OFFSET = IN 2 ns BEFORE "CLK200_N" ;
OFFSET = IN 3.85 ns BEFORE "SYS_CLK_P" ;
OFFSET = OUT 4 ns AFTER "CLK200_N" ;
OFFSET = OUT 7 ns AFTER "SYS_CLK_P" ;
NET "main_00/top_00/iobs_00/data_path_iobs_00/v4_dq_iob_0/DDR_DQ" TNM=
DDR2_DQ_Grp;
OFFSET = OUT 6.7 ns AFTER "SYS_CLK_P" TIMEGRP DDR2_DQ_Grp;
OFFSET = IN 3.2 ns BEFORE "SYS_CLK_P" TIMEGRP DDR2_DQ_Grp ;
```

Period -۶-۱-۴

این محدودیت ارتباط زمانی بین تمام المان‌های هم‌زمان با ساعت در حوزه آن ساعت را مشخص می‌کند. این محدودیت برای گره ساعت تعریف م شود. ابزار زمانی هر تغییر ساعت در چین رجیستر یت فاز را زیر نظر دارد و مقادیر نگه‌داری را کنترل می‌کند.

Period درVerilog :

```
(* PERIOD = "period [units]" *)
```

Period نشاند دهنده دوره تناوب ساعت است.

مثال Verilog:

```
module mig_22
       ( inout [7:0] cntrl0_ddr2_dq,
       output [14:0] cntrl0_ddr2_a,
```

www.ICEEP.ir

```
        input sys_clk_p,
        input sys_clk_n,
        input clk200_p,
        input clk200_n,
        input sys_reset_in_n,
        inout [0:0] cntrl0_ddr2_dqs
        );
        (*PERIOD = "5 ns"*)
        wire clk_0; // The clk_0 is assigned with the period of 5 ns
        wire clk_90;
        wire clk_200;
        wire read_en;
        reg sys_rst;
        // source code
End module;
```

نحوه توصیف در XCF:

```
TIMESPEC "TSidentifier"=PERIOD "TNM_reference period" [units]
[{HIGH |LOW} [high_or_low_time [hi_lo_units]]] INPUT_JITTER value [units];
```

راه دیگری هم وجود دارد که Xilinx آن را توصیه نمیکند.

```
NET "net_name" PERIOD=period [units]
[{HIGH|LOW}[high_or_low_time[hi_lo_units]]];
```

در این عبارت identifier یک نام خاص برای ارجاع و TNM_reference نامی‌است با استفاده از نام زمانی یا گره نام زمانی‌که به گره ساعت ضمیمه می‌شود. وقتی یک محدودیت گره نام زمانی وارد ورودی CLKIN یک DLL، DCM یا PLL می‌شود، نیازمند به یک Period جدشد برای پین ساعت خروجی هستیم.

Period دوره تناوب را با توجه به units تعیین می‌کند.

High یا Low مشخص می‌کند اولین پالس بالا یا پایین باشد. این مقادیر در محاسبات زمانی و بهینه سازی نادیده گرفته شده و تنها به شرط زیر در netlist نهایی می‌آیند که:

WRITE_TIMING_CONSTRAINTS = yes.

high_or_low_time مشخص کننده چرخه کار است و بسته به کلمه‌ای که استفاده می‌شود

www.ICEEP.ir

میزان بالا یا پایین بودن پالس در هر تناوب را نشان می‌دهد. اگر از عدد واقعی استفاده شود، عدد مربوطه باید از دوره تناوب کمتر باشد و اگر high_or_low_time خذف شود به صورت پیشفرض میزان ۵۰ درصد در نظر گرفته می‌شود.

hi_lo_units واحد استفاده شده برای چرخه کار است. در این جا می‌توان علاوه بر واحدهای گفته شده از % هم استفاده کرد که نشان‌دهنده درصد بالا به پایین است.

مثال زیر یک ساعت با دوره تناوب ٤٠ نانوثانیه را به گره‌ای به نام CLOCK می‌دهد. اولین پالس بالاست و میزان بالا بودن در هر دوره ۲۵ نانو ثانیه است.

```
NET "CLOCK" PERIOD=40 HIGH 25;
```

مثال زیر یک ساعت با دوره ۵ نانوثانیه را با شکل توصیف زمانی نشان می‌دهد.

```
 NET "infrastructure0/SYS_CLK_IN" TNM_NET = "SYS_CLK";
TIMESPEC "TS_SYS_CLK" = PERIOD "SYS_CLK" 5 ns HIGH 50 %;
```

System Jitter -۷-۱-۴

این محدودیت Jitter (SYSTEM_JITTER) سیستم را در طراحی مشخص می‌کند. Jitter سیستم به شرایط مختلفی در طراحی از جمله تعداد فلیپ فلاپ‌ها و I/Oهایی که در طول زمان تغییر می‌کنند، بستگی دارد. این محدودیت به تمام ساعت‌های طراحی اعمال می‌شود و میتواند با ورودی Jitter روی محدودیت Period ترکیب شود تا میزان انحراف ساعت در گزارش زمانی بیاید.

این محدودیت همچنین راهی را پیش پا می‌گذارد تا زمانی که مشخصه‌ای برای توصیف Jitter وجود ندارد، حد زمانی مشخصی تعریف شود. بنابراین برای آزمون سیستم با محدودیت‌های جدی زمانی بسیار مفید است. این محدودیت همراه با محاسبه انحراف ساعت مورد استفاده تمام محدودیت‌هایی که به تحلیل ساعت می‌پردازند قرار می‌گیرد.

www.ICEEP.ir

برخی از دستگاه‌ها یک محدودیت پیش فرض System Jitter دارند. این وضعیت با چک کردن SpeedPrint مشخص می‌شود.

راه دیگری برای آزمون وجود دارد و آن هم این است که به ورودی Jitter یک ساعت اعمال کنیم. اما مشکل این روش این است که با این کار تنها حوزه همان ساعت تحت آزمون قرار می‌گیرد.

SYSTEM_JITTER در Verilog:

```
(* SYSTEM_JITTER = "value ps" *)
```

مثال Verilog:

```
module mig_22
       ( inout [7:0] cntrl0_ddr2_dq,
       output [14:0] cntrl0_ddr2_a,
       input sys_clk_p,
       input sys_clk_n,
       input clk200_p,
       input clk200_n,
       input sys_reset_in_n,
       inout [0:0] cntrl0_ddr2_dqs
       );
       (*SYSTEM_JITTER = "10 ps"*)
       wire clk_0; // The clk_0 is assigned with system_jitter of 10 ps
       wire clk_90;
       wire clk_200;
       wire read_en;
       reg sys_rst;
       // source code
End module;
```

SYSTEM_JITTER در XCF:

```
MODEL "entity_name" SYSTEM_JITTER = value ps;
```

مثال XCF:

```
MODEL "top_yann_mem" SYSTEM_JITTER = 10;
```

www.ICEEP.ir

۴-۱-۸- نادیده گرفتن زمانی

محدودیتی به نام TIG[۱] وجود دارد که مسیرهایی که از یک نقطه انشعاب می‌شوند در پیاده‌سازی از محدودیتی که در طی آن نقطه وجود دارد رهایی یابند. این محدودیت یک محدودیت سنتز است و تنها به FPGAها اعمال می‌شود.

TIG در XCF:

```
NET "net_name" TIG;
PIN "ff_inst.RST" TIG=TS_1;
INST "instance_name" TIG=TS_2;
TIG=TSidentifier1,..., TSidentifiern
```

در این مثال identifier ارجاع به توصیف زمانی ای است که قراراست نادیده گرفته شود. وقتی TIG را به یک نمونه ارجاع دهیم، این محدودیت به تمام پین‌های خروجی آن اعمال می‌شود. وقتی به یک گره اعمال شود تمام پین‌هایی که توسط آن گره راه‌اندازی می‌شوند تحت تاثیر خواهند بود و هرگاه به یک پین اعمال شود محدودیت از روی آن برداشته می‌شود.

مثال XCF:

```
NET "main_?0/top_?0/ddr2_controller_?0/load_mode_reg*" TIG;
```

مثال زیر نشان می‌دهد توصیف‌های زمانی TS_fast و TS_even_faster روی تمام مسیرهایی که از RESET شروع میشنو و جلو می‌روند نادیده گرفته می‌شود.

```
NET "RESET" TIG=TS_fast, TS_even_faster;
```

۴-۱-۹- گروه زمانی

این محدودیت با نام TIMEGRP یک محدودیت اصلی گروه کردن است. علاوه بر

[۱] Timing Ignore

www.ICEEP.ir

نام‌گذاری گروه‌ها توسط نام زمانی می‌توان گروه‌ها را در قالب سایر گروه‌ها تعریف کرد. این محدودیت در فایل‌های XCF و NCF[1] قابل تعریف است.

TIMEGRP در XCF:

```
TIMEGRP newgroup = existing_grp1 existing_grp2 [existing_grp3 ...];
```

در این مثال newgroup نام گروه جدیدی است که از ترکیب بقیه گروه‌ها ایجاد شده است.

مثال XCF:

```
NET "RESET" TIG=TS_fast, TS_even_faster;
```

۴-۱-۱۰- مسیر چند سیکله

این محدودیت یک محدودیت زمانی بین دو گروه را مشخص می‌کند.

مسیر چند سیکله در XCF:

```
TIMESPEC TSname =FROM "group1" TO "group2" value;
```

TSname باید همواره با TS شروع شود و بعد نام دلخواه بیاید. group1 گروه مبدا و group2 گروه مقصد است. Value به صورت پیشفرض ns است. بقیه مقادیر MHz یا مقادیر دیگر ممکن مانند TS_C2S/2 یا TS_C2S*2 است.

XST محدودیت From-To را با محدودیت‌های زیر قبول می‌کند:

From-Thru-To پشتیبانی نمی‌شود.

توصیف‌های زمانی لینک شده پشتیبانی نمی‌شود.

Pattern Matching برای گروه‌های از پیش تعریف شده پشتیبانی نمی‌شود. مانند مثال زیر»

```
TIMESPEC TS_1 = FROM FFS(machine/*) TO FFS 2 ns;
```

[1] توضیح این فایل‌ها در فصل بعدی آمده است.

www.ICEEP.ir

مثال XCF:

```
TIMESPEC TS_MY_PathA = FROM "my_src_grp" TO "my_dst_grp" 23.5 ns;
TIMESPEC TS_ DQS_UNUSED = FROM FFS TO "control_unused_dqs" TIG;
```

۴-۱-۱۱- توصیف زمانی

محدودیت توصیف زمانی (TIMESPEC) مکانی برای نگه‌داری توصیف‌های زمانی است که روی مسیرها تاخیر تعریف می‌کنند. تعداد این توصیف‌ها روی زمان اجرا و مقدار حافظه استفاده شده در زمانی پیاده‌سازی تاثیر می‌گذارد.

TIMESPEC در XCF:

```
TIMESPEC "TSidentifier"=PERIOD "timegroup_name" value [units];
TIMESPEC "TSidentifier"=FROM "source_group" TO "dest_group" value units;
```

TSidentifier نام خاصی است که با TS شروع می‌شود. value عددی است که میزان تاخیر را مشخص می‌کند. مقدار پیشفرض برای واحد نانو ثانیه است اما می‌توان مقادیر دیگر را به کار برد.

در ادامه مثال‌هایی از این محدودیت می‌آید:

تعریف بیشترین تاخیر قابل پذیرش:

```
TIMESPEC "TSidentifier"=FROM "source_group" TO "dest_group" allowable_delay
[units];
```

تعریف دوره تناوب ساعت:

```
TIMESPEC "TSidentifier"=PERIOD "TNM_reference" value [units] [{HIGH | LOW}
[high_or_low_time [hi_lo_units]]] INPUT_JITTER value;
```

توضیحات این کد در بخش Period آمده است.

توصیف ساعت‌های مشتق شده:

```
TIMESPEC "TSidentifier"=PERIOD "TNM_reference" "another_PERIOD_identifier" [/
| *] number
[{HIGH | LOW} [high_or_low_time [hi_lo_units]]] INPUT_JITTER value;
```

www.ICEEP.ir

نادیده گرفتن مسیر با TIG:

```
TIMESPEC "TSidentifier"=FROM "source_group" TO "dest_group" TIG;
```

۴-۱-۱۲- نام زمانی

این محدودیت (TNM) یک محدودیت از نوع گروهی است و المان‌هایی که در در یک گروه قرار میگیرند را مشخص می‌کند. این گروه سپس در توصیف زمانی استفاده می‌شود. هم چنین این امکان وجود دارد که برخی از گروه‌های از پیش تعریف شده به گروه اضافه شوند تا راحت تر در توصیف زمانی استفاده شوند.

TNM در XCF:

```
{NET|INST|PIN} "net_or_pin_or_inst_name" TNM=[predefined_group] identifier;
```

که در آن predefined_group می‌تواند اعضا یا زیر مجموعه‌ای از گزوه‌های از پیش تعریف شده مثل FFS، RAM، LATCHES، PADS، CPUS، HSIOS، BRAMS_PORTA، BRAMS_PORTB، DSPSو MULTS باشد.

Identifier میتواند هر ترکیبی از کاراکترها باشد به جز کلمات رزرو شده.

مثال XCF:

```
NET clk TNM = FFS (my_flop) Grp1;
INST clk TNM = FFS (my_macro) Grp2;
```

۴-۱-۱۳- گره نام زمانی

(TNM_NET) گروهی از المان‌ها می‌سازد که در توصیف زمانی مورد استفاده قرار می‌گیرند.

www.ICEEP.ir

گره نام زمانی معادل نام زمانی روی گره است به استثنای گره پدهای ورودی.

TNM_NET در XCF:

```
{NET|INST} "net_name" TNM_NET= [predefined_group] identifier;
```

استفاده از predefined_group مانند محدودیت نام زمانی است. زیر مجموعه‌ای از predefined_group میتواند به ورت‌های زیر باشد:

- predefined_group (name_qualifier1... name_qualifiern)
- name_qualifiern-: نوع name_qualifier (گره یا نمونه) بر اساس نوع المانهای گروه در محدودیت تعیین می‌شود. اگر نوع محدودیت روی NET باشد نوع name_qualifier گره و اگر INST باشد نوعش نمونه است.

XST در استفاده از این محدودیت فقط یک الگو را پشتیبانی می‌کند. به عنوان مثال عبارت زیر قابل قبول است:

```
NET "PADCLK" TNM_NET=FFS "GRP1"; #
```

ولی عبارت زیر پشتیبانی نمی‌شود:

```
NET "PADCLK" TNM_NET = FFS(machine/*:xcounter/*) TG1; #
```

مثال XCF:

```
NET clk TNM_NET = FFS (my_flop) Grp1;
INST clk TNM_NET = FFS (my_macro) Grp2;
```

www.ICEEP.ir

فصل پنجم

استراتژی‌های ورود به محدودیت‌های Xilinx

در این فصل به چگونگی استفاده از محدودیت‌ها در ISE می‌پردازیم. جدول زیر نشان می‌دهد برا وارد کردن هر محدودیت از کدام بخش ISE استفاده می‌شود.

۵-۱- روش ورود محدودیت‌ها

جدول (۵-۱) روش ورود محدودیت‌ها

محدودیت	ابزار	دستگاه
زمانی	Constraints Editor	تمام FPGAها و CPLDها
جایابی IO و محدودیت‌های area-group	PlanAhead	تمام FPGAها
جایابی IO	PACE	تمام CPLDها
جایابی IO و سایر جایابی‌ها	Schematic and Symbol Editor	تمام FPGAها و CPLDها

۵-۲- طراحی شماتیک

برای اضافه کردن محدودیت‌ها در این فضا عملیات زیر را به ترتیب انجام دهید.

اگر محدودیت مربوط به گره است آن را به گره موجود در شماتیک اعمال کنید و اگر به یک نمونه مربوط است آن را به نمونه اعمال کنید.

در این بخش نمی‌توان محدودیت‌های عمومی‌مثل PART یا Prohibit اعمال کرد. همچنین

www.ICEEP.ir

امکان ایجاد توصیف زمانی وجود ندارد.

۵-۳- Verilog

محدودیت‌ها در Verolog در داخل (*) به صورت زیر ایجاد می‌شود.

(* attribute_name = attribute_value *)

در این عبارت attribute_name نام سیگنال، ماژول و یا نام نمونه است. attribute_value یک عبارت است و هیچ مقدار عددی ای نمیگیرد.

عبارت (* attribute_name *) به معنی (* attribute_name = "1" *) است.

در فصل قبل با مثال‌هایی از Verilog آشنا شدید در اینجا هم چند مثال می‌آوریم:

مثال تکی:

```
(* clock_buffer = "IBUFG" *) input CLK;
```

مثال دو تایی:

```
(* INIT = "0000" *) reg [3:0] d_out;
```

مثال درختی:

```
always@(current_state or reset)
begin (* parallel_case *) (* full_case *)
case (current_state)
```

ایجاد محدودیت در Verilog نیز با محدودیت‌هایی و به روست. به عنوان مثال در این محیط نمی‌توان سیگنالی را تعریف کرد. همچنین این محیط Statementها، ارتباطهای دریچه[۱] و عملگرهای توصیفی[۲] را پشتیبانی نمی‌کند.

[۱] Port Connection

[۲] Expression Operators

www.ICEEP.ir

در Verilog می‌توان محدودیت‌ها را با کامنت گذاری تعریف کرد. مانند عبارت زیر:

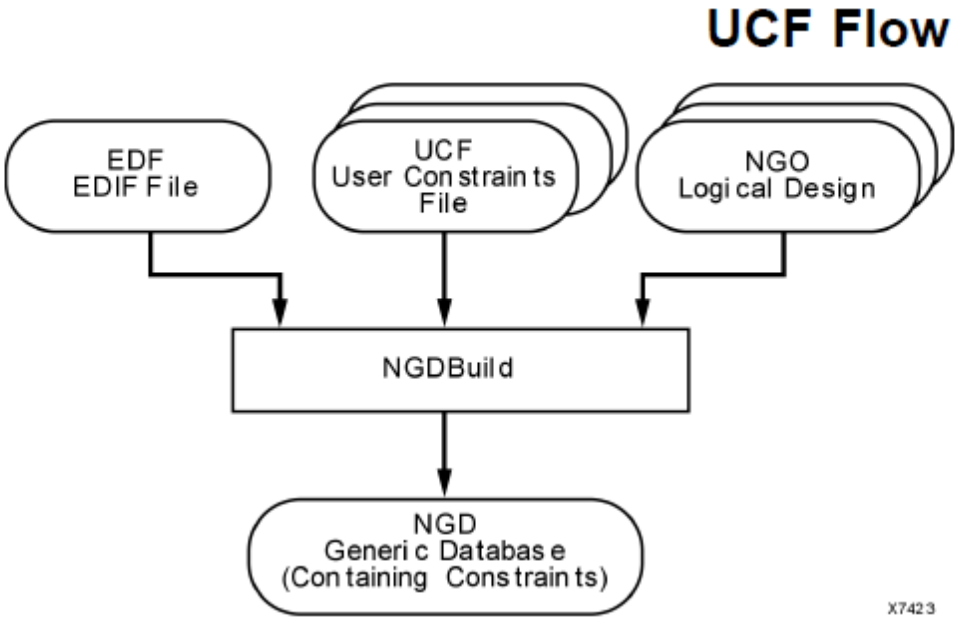
```
// synthesis attribute AttributeName [of] ObjectName [is] AttributeValue
```

مثال:

```
// synthesis attribute RLOC of u123 is R11C1.S0
// synthesis attribute HU_SET u1 MY_SET
// synthesis attribute bufg of my_clock is "clk"
```

۵-۴- فایل محدودیت کاربر

فایل محدودیت کاربر یا همان UCF فایلی است که در آن می‌توانید محدودیت‌ها را به شکل اصلی خود وارد کنید. این فایل طریقه پیاده‌سازی طراحی را تحت تاثیر قرار می‌دهد و همچنین بر تمام محدودیت‌های محیط‌های دیگر غلبه می‌کند. شکل زیر روند UCF را نشان می‌دهد.



شکل (۵-۱) روند UCF

همان طور که در شکل مشخص شده است، فایل UCF ورودی NGDBuild است.

ICEEP.ir

محدودیت‌های UCF بخشی از فایل NGD می‌شود که توسط NGDBuild تولید شده است. برای FPGAها پاره‌ای از این محدودیت‌ها در زمان نگاشت طراحی توسط MAP استفاده شده و بخشی از آن در فایل PCF[1] تولید شده توسط MAP نوشته می‌شود.طرز خواندن محدودیت‌ها در UCF به ترتیب نوشتن است و در زمان خواندن هیچ ملاحظه زمانی برای محدودیت‌های متضاد وجود ندارد.

۵-۵- فایل NCF[2]

فایل NCF توسط ابزار سنتز تولید می‌شود. نحوه نوشتن کدها در فایل NCF عینا همانند UCF است.

۵-۶- فایل‌های UCF و NCF

محدودیت‌های طراحی در دو فایل UCF و NCF وجود دارند.Xilinx توصیه می‌کند که هر نوع محدودیتی به جای تعریف شدن در PCF در این دو فایل ایجاد شوند.

فایل‌های UCF و NCF نسبت به بزرگ و کوچک بودن حروف حساس هستند. اما کلیدواژه‌های مخصوص محدودیت‌ها مثل Period می‌توانند با حروف بزرگ یا کوچک نوشته شوند.

در انتهای هر عبارت علامت (;) مورد نیاز است.

Xilinx توصیه می‌کند که بلوک‌های ا یک محدودیت زمانی را گروه کنید.

[1] Phisical Constraint File

[2] Netlist Constraint File

www.ICEEP.ir

برای گذاشتن هر گونه توضیح از علامت (#) استفاده کنید. برای مثال:

```
# file TEST.UCF
# net constraints for TEST design
NET "$SIG_0 MAXDELAY" = 10;
NET "$SIG_1 MAXDELAY" = 12 ns;
```

لازم به ذکر است که هر محدودتی در هر محیطی که تعریف شده باشد به صورت یکسان به مدار اعمال می‌شود. تنها ر صورتی که تضادی بین محدودیت‌ها باشد NCF به همه محدودیت‌ها به جز UCF و UCF به کل محدودیت‌ها غلبه می‌کند. اما در صورتی کهدو یا چند المان به یک مکان خاص وصل شده باشند MAP اعلام خطا می‌کند.

فرم کلی عبارت در UCF به شکل زیر است:

```
{NET|INST|PIN} "full_name" constraint;
```

Full_name نام قسمتی است که محدودیت روی آن تعریف می‌شود. این نام باید کامل و همراه با رعایت سلسله مراتب باشد. Constraint هم نشان‌دهنده محدودیت مورد نظر است.

در فایل UCF می‌توان چند محدودیت یک نمونه را به صورت زیر هم وصل نمود.

```
INST instanceName constraintName = constraintValue |
constraintName = constraintValue;
```

به عنوان مثال:

```
INST myInst LOC = P53 | IOSTANDARD = LVPECL33 | SLEW = FAST
```

۵-۷- فایل PCF

همان طور که قبلا اشاره کردیم MAP بخشی از محدودیت‌های را روی طراحی پیاده می‌کند و بخش باقی مانده را در فایلی به نام PCF می‌ریزد. فایل PCF شامل دو بخش است. بخشی که شامل محدودیت‌های فیزیکی است که MAP در آن نوشته و بخشی که توسط کاربر وارد می‌شود.

www.ICEEP.ir

گفتنی است که در صورت وجود تضاد بین محدودیت‌ها بخش دوم بر بخش اول غلبه می‌کند.

آغاز بخش اول با عبارت SCHEMATIC START شروع و با SCHEMATIC END به پایان می‌رسد. بنابراین کاربر باید محدودیت‌های خود را بعد SCHEMATIC END وارد نماید.

فایل PCF یک ورودی اختیاری به PAR، FPGA Editor، TRACE، NetGenو BitGenمی‌باشد.

۵-۸- ویراستار محدودیت‌ها[۱]

این بخش یک ابزار گرافیکی است که محیط مناسب را برای وارد نمودن محدودیت‌های زمانی فراهم می‌آورد. از این بخش طی فاز پیاده‌سازی و پس از گام ترجمه استفاده می‌شود. با کمک این ابزار قادر خواهید بود بدون ایجاد تغییر در UCF محدودیت‌های خود را ایجاد کنید.

بعد از ایجاد محدودیت در این بخش یک بار دیگر باید NGDBuild را اجرا کنید. در این اجرا Netlist و فایل UCF جدید به عنوان ورودی گرفته شده و NGD جدیدی ساخته می‌شود.

Constraints Editor خود نیازمند فایلهای UCF و NGD است. از NGD برای فهمیدن نام المان‌ها استفاده می‌کند.

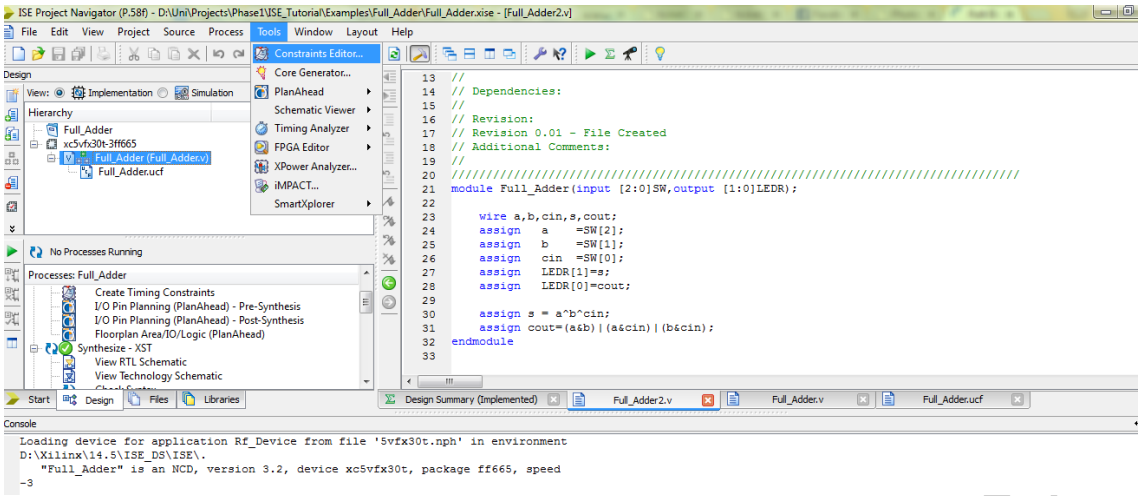
برای شروع کار با Constraints Editor سه راه پیش رو دارید:

۱- ISE

برای باز کردن Constraints Editor توسط ISEاز بخش ابزارها روی عبارت Constraints Editor کلیک کنید.

[۱] Constraints Editor

www.ICEEP.ir



شکل (۵-۲) باز کردن Constraints Editor از ISE

۲- باز کردن به صورت ابزار مستقل

۳- خط دستور

برای باز کردن Constraints Editor از خط دستور تنها کافی است در جای مربوطه عبارت constraints_editor را وارد کنید.

برای باز کردن آن همراه با بالا آمدن فایل NGD دستور زیر را وارد کنید.

constraints_editor *ngdfile_name.ngd*

و اگر بخواهید فایل UCF هم بالا بیاید:

constraints_editor *ngdfile_name.ngd* **-uc** *ucf_file_name.ucf*

ISE -۹-۵

ISE دارای محیط‌های مختلفی برای تعریف محدودیت است. برای FPGAها فرآیند پیاده‌سازی تعیین کننده نحوه ترجمه، نگاشت، جایابی و مسیریابی است که هر قسمت آن قابل کنترل است. برای CPLDها فرایند پیاده‌سازی تعیین می‌کند که طرای ب چه صورت ترجمه و گنجانده

www.ICEEP.ir

شود.

PlanAhead -۱۰-۵

از این ابزار می‌توان قبلو بعد از سنتز استفاده نمود. این محیط اجازه تعریف محدودیت‌هایی چون تعیین مکان پین‌ها، سایر بخش‌های منطقی و سطح را می‌دهد.

در مورد FPGAها محدودیت‌های مکانی عبارتند از:

- پین‌های I/O و سایر بخش‌های منطقی
- جادادن عمومی
- تخصیص سطح گروه

PlanAhead در بخش‌های مختلفی از طراحی به ورت اتوماتیک اجرا می‌شود تا اجازه تحلیل طراحی و ایجاد محدودیت‌های مکانی را به ما بدهد. از طریق ISE امکان دسترسی به یک PlanAhead ساده شده‌ایجاد می‌شود تا بتوان به گزینه‌های لازم دسترسی داشت. در حالی که ابزار مستقل PlanAhead دارای گزینه‌های بیشتری می‌باشد.

PlanAhead کاملا مستقل از ISE کار می‌کند واین دو با هم همزمان نیستند. به همین دلیل در هنگم اجرای PlanAhead از ویرایش فایل‌ها در ISE خودداری کنید. در واقع PlanAhead تعدادی فایل از ISE میگیرد و پروژه‌ای ایجاد و اجرا می‌کند و در نهایت نتیجه را به ISE به ورت فایل UCF بر میگرداند.

I/O Pin Planner می‌تواند به صورت مستقل یا از خود ISE باز شود. دریچه‌های I/O دراین

www.ICEEP.ir

محیط می‌توانند به صورت دستی یا توسط فایل‌هایHDL تعریف شوند. شما می‌توانید یک فایل اولیه Pinout تعریف کرده و یک فایل UCF تولید کنید. این فایل هنگام باز کردن I/O Pin Planner از ISE مورد نیاز است. در ورتی که قبلافایلی ایجاد نباشد همان وقت یک فایل خالی ایجاد می‌شود.

برای کسب اطلاعات بیشتر در مورد نحوه تخصیص پین‌ها به راهنمای PlanAhead مراجعه کنید.

۵-۱۱- تنظیم محدودیت‌ها در PACE[۱]

برای CPLDها می‌توان محدودیت‌ها را در PACE تعریف کرد. در این محیط به I/Oها محدودیت مکان و ویژگی‌های دیگر نظیر استانداردهای مربوطه اختصاص داده می‌شود.

۵-۱۲- تخصیص پین قبل از اتمام طراحی

این بخش به تخصیص پین قبل از اتمام کامل طراحی می‌پردازد. برای این کار یک کد HDL با اضافه کردن محدودیت‌هایی که در PACE یا PlanAhead ایجاد می‌شود، ساخته می‌شود. بعضی از طراحی‌هایی که کاملا توسط کد توصیف نشده اند احتمالا به طرح[۲] هم نیاز دارند.

[۱] Pinout and Area Constraints Editor

[۲] Layout

www.ICEEP.ir

واژه‌نامه

A	
Asynchronous	غیرهم‌زمان
Asynchronous Clock Domain	حوزه ساعت غیرهم‌زمان
Automatically Related	ارتباط خودکار
B	
C	
Capture	تسخیر
Clock	ساعت
Clock Domain	حوزه ساعت
Clock Uncertainties	نامعلوم بودن ساعت
Clock Skew	انحراف ساعت
Clocking	ساعت زنی
Constraints Editor	ویراستار محدودیت‌ها
D	
Duty Cycle	چرخه کار

www.ICEEP.ir

E	
Expression Operators	عملگرهای توصیفی
F	
False	نادرست
G	
H	
Hold Time	زمان نگه‌داری
I	
Instance	نمونه
J	
K	
L	
Layout	طرح
M	
Manually Related	ارتباط دستی

Copyright © 2013 ICEEP, University of Tehran

Maximum Delay	بیشترین تاخیر
Module	واحد
Multi Cycle	چند سیکله
N	
Net Connectivity	اتصال گره
O	
P	
Port	دریچه
Port Connection	ارتباط دریچه
Q	
R	
S	
Setup Time	زمان تنظیم
Synchronous Clock Domain	حوزه ساعت غیرهم‌زمان
T	
Timing Constraints	محدودیت‌های زمانی

Copyright © 2013 ICEEP, University of Tehran

Timing Ignore	نادیده گرفتن زمانی
Timing Name	نام زمانی
Timing Name Net	گره نام زمانی
Three state buffer	بافر سه حالته
U	
V	
W	
X	
Y	
Z	

www