راهنمای استفاده از نرم‌افزار ISE

بر اساس نسخه ISE 14.5

PlanAhead

راهنمای پیش‌رو برای آموزش کار با نرم‌افزار ISE متعلق به شرکت Xilinx تهیه شده است.

کلیه حقوق این اثر متعلق به گروه ICEEP دانشگاه تهران است. هر گونه تکثیر از این اثر منوط به اجازه‌ی کتبی پدیدآورندگان این راهنما در گروه ICEEP می‌باشد.

www.ICEEP.ir

روند بازبینی

نسخه	تاریخ	نسخه ISE
۱.۰	۹۲.۹.۳۰	١٤.٥

www.ICEEP.ir

فهرست

فصل ۱: پیشگفتار ۱۰

فصل ۲:PlanAhead ۱۲

۲-۱- آنالیز طراحی و Floorplaning ۱۳

۲-۱-۱- مشاهده‌ی منابع دستگاه و نواحی ساعت ۱۳

۲-۱-۲- تشریح ساختار سلسله مراتبی ۲۱

۲-۱-۳-ن مایش مشخصات منابع طراحی ۲۲

۲-۱-٤- اجرای DRC ۲۳

۲-۱-٥- آنالیز زمانی ۲٥

۲-۱-٦- تشریح سخت‌افزار ۳۱

۲-۱-۷- بررسی اتصالات ۳۳

۲-۱-۸- استفاده از محدویت‌های جایابی ۳٤

۲-۲- طرح‌ریزی پایه‌های I/O ٤۱

۲-۲-۱- ساخن پروژه‌ی طرح‌ریزی پایه‌های I/O ٤۱

۲-۲-۲- منابع I/O دستگاه ٤۷

۲-۲-۳- تعریف دستگاه سازگار ٤۸

۲-۲-٤- ایجاد محدودیت ٤۹

۲-۲-٥- ایجاد و پیکربندی پایه‌های I/O ٥۰

۲-۲-٦- وارد کردن لیست I/O ٥۲

۲-۲-۷- خارج نمودن فایل تخصیص پایه‌های I/O ٥۳

۲-۲-۸- جایابی اتوماتیک پایه‌های I/O ٥٤

۲-۲-۹- فعال و غیر فعال DRC ٥٦

۲-۲-۱۰- روش‌های دیگر جایابی پایه‌های I/O ٥۷

www.ICEEP.ir

۲-۲-۱۱- اجرای DRC ۵۹

۲-۲-۱۲- حرکت به سمت طراحی RTL ۶۱

۲-۲-۱۳- آنالیز اختلال ۶۱

واژه‌نامه ۶۳

www.ICEEP.ir

فهرست شکل‌ها

شکل (۲-۱) صفحه‌ی آغاز PlanAhead ۱٤
شکل (۲-۲) باز کردن فایل پروژه ۱۵
شکل (۲-۳) تعیین نام پروژه در PlanAhead ۱۵
شکل (۲-٤) پنجره‌ی PlanAhead ۱٦
شکل (۲-۵) پنجره‌ی منابع ۱٦
شکل (۲-٦) باز کردن دستگاه ۱۷
شکل (۲-۷) نمایش دستگاه ۱۸
شکل (۲-۸) منابع دستگاه ۱۸
شکل (۲-۹) انتخاب ناحیه‌ی ساعت ۱۹
شکل (۲-۱۰) محتوی منطقی بخش‌ها ۱۹
شکل (۲-۱۱) مشاهده جای منابع در دستگاه ۲۰
شکل (۲-۱۲) مشاهده‌ی بانک‌های ورودی و خروجی ۲۰
شکل (۲-۱۳) نقشه ی پین ۲۱
شکل (۲-۱٤) جایگاه سلسله مراتبی ۲۲
شکل (۲-۱۵) میزان استفاده از منابع ۲۲
شکل (۲-۱٦) پنجره‌ی اجرای DRC ۲٤
شکل (۲-۱۷) نتایج اجرای DRC ۲۵

www.ICEEP.ir

Copyright © 2013 ICEEP, University of Tehran

شکل (۲-۱۸) نمایش دستگاه CPU ۲۶
شکل (۲-۱۹) اجرای TRCE ۲۷
شکل (۲-۲۰) مشخصات مسیرهای مختلف ۲۸
شکل (۲-۲۱) جزئیات مسیر ۲۸
شکل (۲-۲۲) Timing Constraints ۲۹
شکل (۲-۲۳) مسیر محدودیت TS_sysClk ۲۹
شکل (۲-۲۴) ویرایش محدودیت ۳۰
شکل (۲-۲۵) آیکون تعریف محدودیت ۳۰
شکل (۲-۲۶) پنجره‌ی تعریف محدودیت ۳۱
شکل (۲-۲۷) شماتیک مسیر ۳۲
شکل (۲-۲۸) بلوک‌های انتخاب شده در ساختار سلسله مراتبی ۳۲
شکل (۲-۲۹) نمایش مسیرها روی دستگاه ۳۳
شکل (۲-۳۰) انتخاب گزینه مشاهده اتصالات I/O ۳۳
شکل (۲-۳۱) نمایش اتصلات I/O ۳۴
شکل (۲-۳۲) اتصالات بخش‌های مختلف ۳۴
شکل (۲-۳۳) انتخاب نوع بلوک ۳۵
شکل (۲-۳۴) انتخاب بلوک Block RAM ۳۵
شکل (۲-۳۵) پنجره‌ی Clear Placement (۱) ۳۶
شکل (۲-۳۶) پنجره‌ی Clear Placement (۲) ۳۷

www.ICEEP.ir

شکل (۲-۳۷) پنجره‌ی Clear Placement (۳) ۳۸
شکل (۲-۳۸) پنجره‌ی Clear Placement (٤) ۳۹
شکل (۲-۳۹) پنجره‌ی Clear Placement (٥) ٤۰
شکل (۲-٤۰) نتیجه پاک کردن جایابی ٤۰
شکل (۲-٤۱) ساخت پروژه(۱) ٤۱
شکل (۲-٤۲) ساخت پروژه(۲) ٤۲
شکل (۲-٤۳) ساخت پروژه(۳) ٤۳
شکل (۲-٤٤) ساخت پروژه(٤) ٤٤
شکل (۲-٤٥) ساخت پروژه(٥) ٤٥
شکل (۲-٤٦) ساخت پروژه(٦) ٤٦
شکل (۲-٤۷) شمای اولیه پروژه ٤٦
شکل (۲-٤۸) انتخاب بانک‌های I/O ٤۷
شکل (۲-٤۹) انتخاب دستگاه سازگار ٤۸
شکل (۲-٥۰) ایجاد محدودیت ٤۹
شکل (۲-٥۱) نتیجه‌ی غیر فعال کردن بانک ۱٤ ..... ٥۰
شکل (۲-٥۲) پنجره‌ی تعریف I/O ٥۱
شکل (۲-٥۳) پنجره‌ی I/O Ports ٥۱
شکل (۲-٥٤) پنجره‌ی پیکربندی I/Oها ٥۲
شکل (۲-٥٥) انتخاب فایل csv ٥۳

www.ICEEP.ir

شکل (۲-۵۶) لیست پایه‌های جمع‌کننده ۵۳
شکل (۲-۵۷) تولید فایل تخصیص پایه ۵۴
شکل (۲-۵۸) پنجره‌ی جایابی اتوماتیک(۱) ۵۵
شکل (۲-۵۹) پنجره‌ی جایابی اتوماتیک(۲) ۵۶
شکل (۲-۶۰) لیست پایه‌ها بعد از جایابی ۵۶
شکل (۲-۶۱) کنترل درستی عملیات تخصیص پایه ۵۷
شکل (۲-۶۲) اختصاص پایه ترتیبی ۵۸
شکل (۲-۶۳) تعیین پایه در ناحیه ۵۹
شکل (۲-۶۴) اجرای DRC ۶۰
شکل (۲-۶۵) حرکت به سمت طراحی RTL ۶۱
شکل (۲-۶۶) آنالیز SSN ۶۲
شکل (۲-۶۷) گزارش آنالیز SSN ۶۲

www.ICEEP.ir

فصل اول

پیشگفتار

در گفتارهای راهنمای نصب و راه‌اندازی سریع از سری راهنماهای نرم‌افزار Xilinx ISE Design Suite نحوه‌ی کار با این نرم‌افزار به صورت کلی تبیین شد. در این راهنما به بررسی نرم‌افزار PlanAhead می‌پردازیم. این نرم‌افزار همراه با نصب ISE بر سیستم شما نصب شده است. در اینجا شما با انجام روندی روی یک بلوک ساده روشی برای طراحی کارا در FPGA را خواهید آموخت. توجه داشته باشید در این راهنما تنها بخشی از PlanAhead که مورد استفاده‌ی ISE است مورد بررسی قرار می‌گیرد.

بدیهی است گفتار پیش رو برای آن دسته از افرادی که راهنماهای قبل از این سری را مطالعه کرده‌اند و یا افرادی که با این نرم‌افزار آشنایی ابتدایی داشته و خواهان کسب اطلاعات بیشتر در این زمینه هستند، مفید خواهد بود.

www.ICEEP.ir

فصل دوم

PlanAhead

این فصل شامل دو بخش آنالیز طراحی[۱] و Floorplaning و طرح‌ریزی[۲] پایه‌های I/O می‌باشد که در ادامه به توضیح هر یک می‌پردازیم.

۲-۱- آنالیز طراحی و Floorplaning

در این بخش سه عملیات عمده انجام می‌شود:

- طراحی قبل پیاده‌سازی و ظرفیت‌های آنالیز
- پیاده‌سازی شناسایی ویژگی‌ها
- پیاده‌سازی نتایج Floorplaning

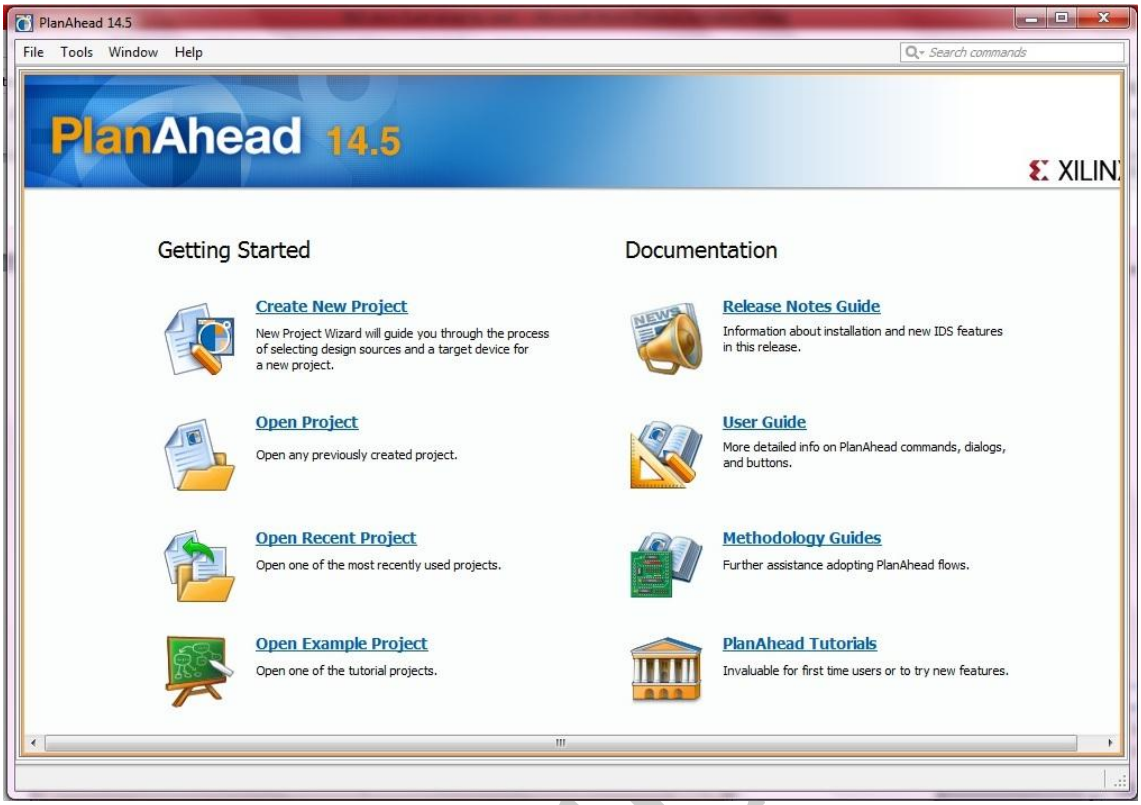
برای طی روند فوق به صورت قدم به قدم مراحل زیر را انجام خواهیم داد.

۲-۱-۱- مشاهده‌ی منابع دستگاه و نواحی ساعت[۳]

در ابتدا از مسیر Start > Xilinx Design Tools > ISE Design Suite 14.5 > PlanAhead > نرم‌افزار فوق را باز کنید. با انجام این کار پنجره‌ای مشابه شکل ۲-۱ باز می‌شود.

[۱] Design Analysis
[۲] Planning
[۳] Clock Region

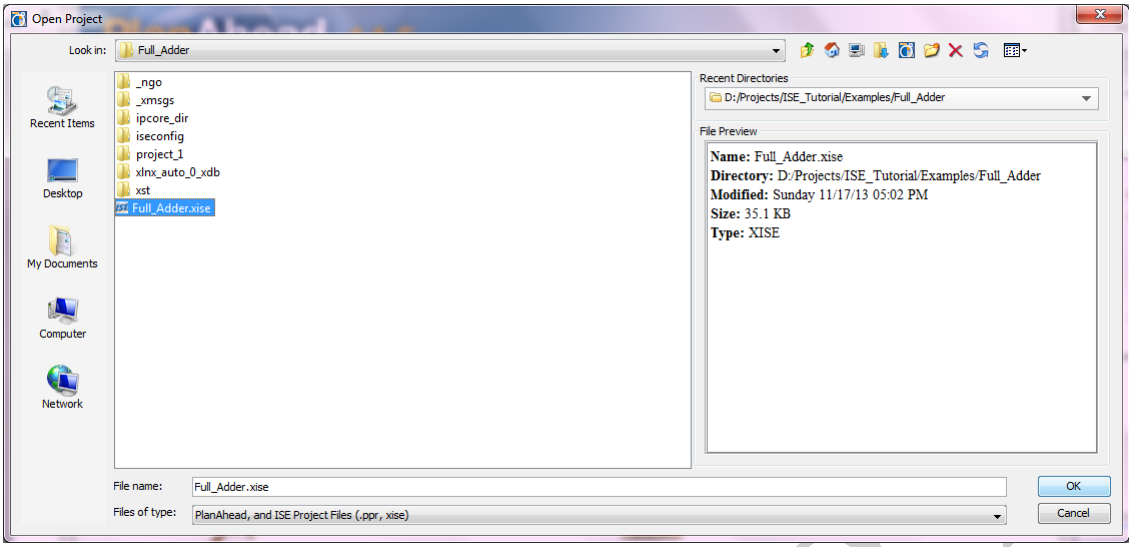
www.ICEEP.ir



شکل (۲-۱) صفحه‌ی آغاز PlanAhead

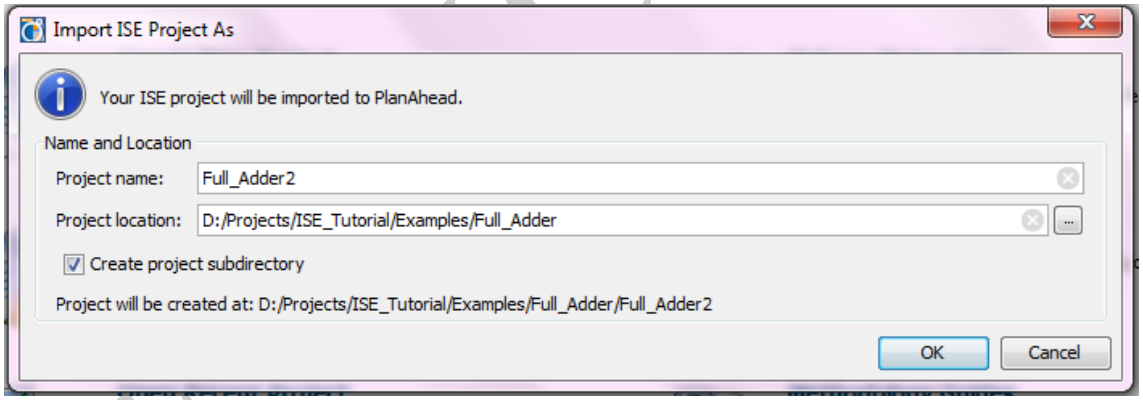
برای اینکه پروژه‌ی خود را باز کنید از گزینه‌ی Open Project استفاده کنید. سپس در پوشه‌ی مربوطه، فایل xise. را انتخاب و باز کنید.

www.ICE



شکل (۲-۲) باز کردن فایل پروژه

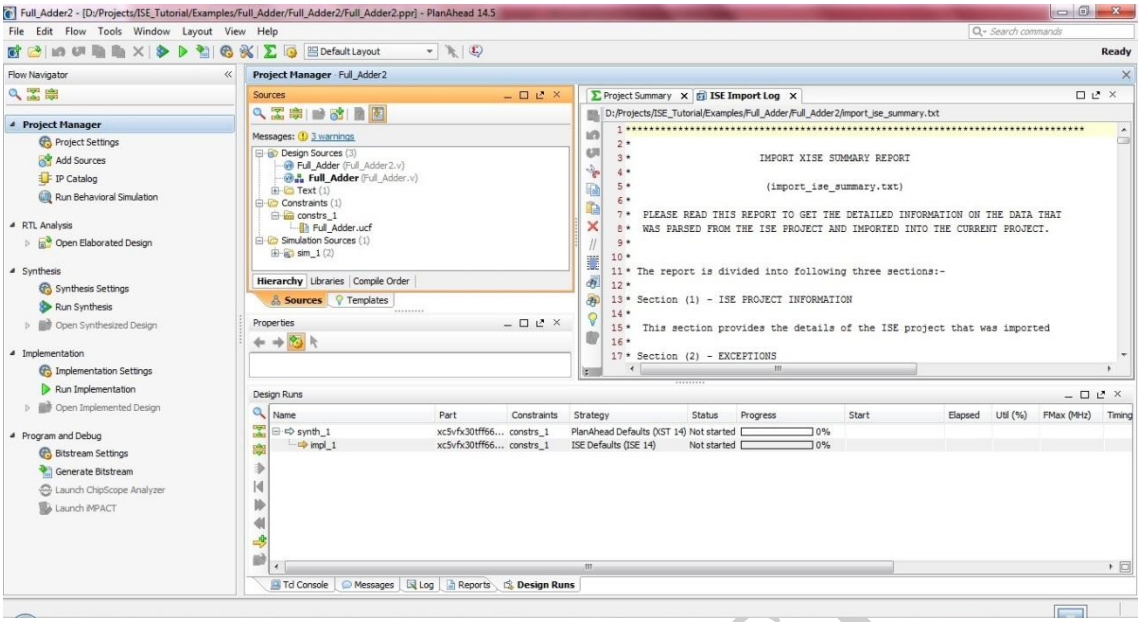
در مرحله بعد برای وارد کردن پروژه ISE نامی‌از شما درخواست می‌گردد. نام مورد نظر را وارد و تایید کنید.



شکل (۲-۳) تعیین نام پروژه در PlanAhead

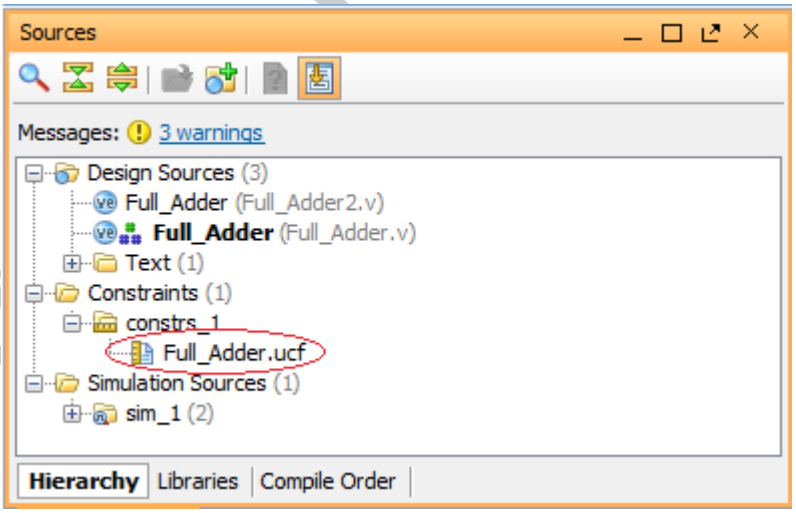
در نهایت پنجره‌ی اصلی به شکل زیر باز می‌شود.

Copyright © 2013 ICEEP, University of Tehran



شکل (۲-۴) پنجره‌ی PlanAhead

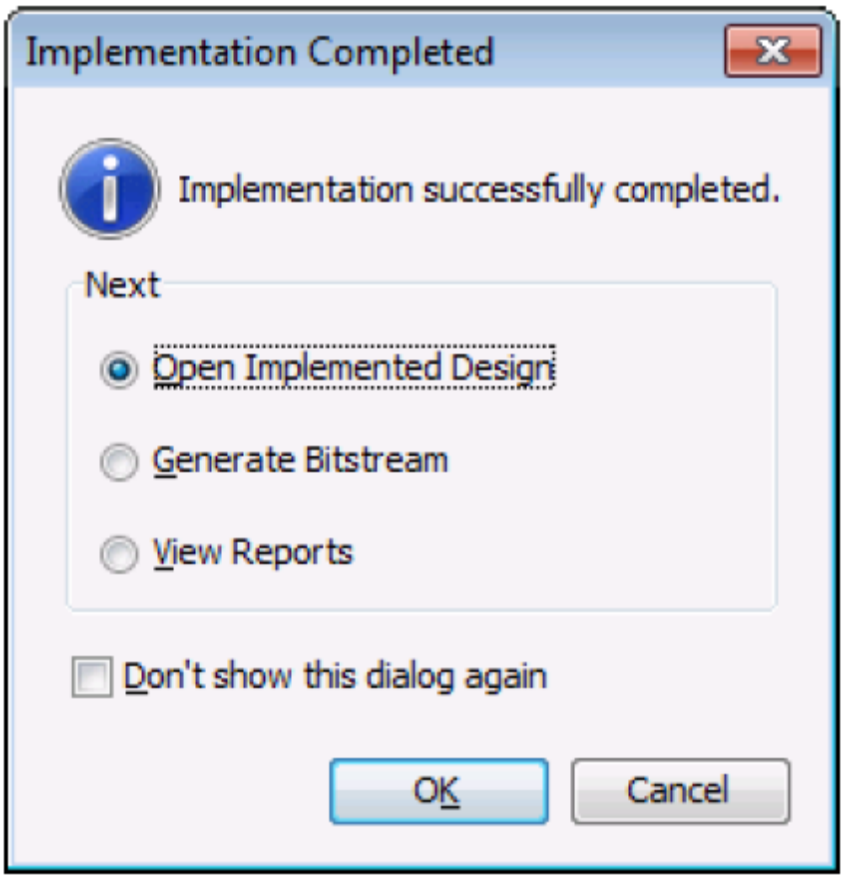
بخش اصلی از پنجره‌ی PlanAhead پنجره‌ای به نام منابع دارد به بخش مربوطه رفته و مطمئن شوید فایل ucf. پروژه در زیر شاخه‌ی محدودیت‌ها[۱] قرار دارد.



شکل (۲-۵) پنجره‌ی منابع

[۱] Constraints

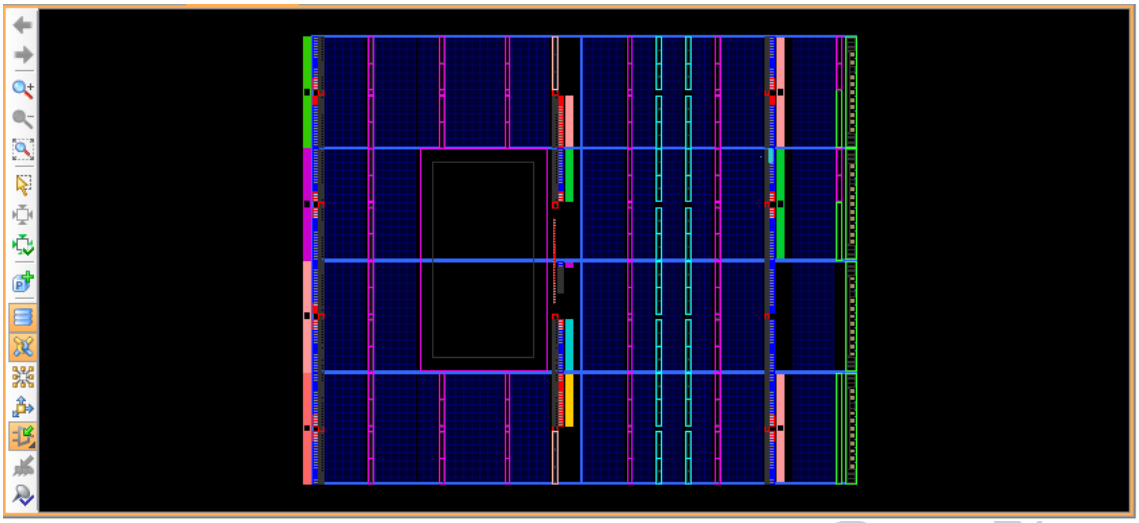
در مرحله‌ی بعد از پنجره‌ی Flow Nevigator ابتدا گزینه Run Sythesis و در نهایت Run Implementation را بزنید. سپس در پنجره‌ی باز شده گزینه‌ی Open Implemented Design را بزنید



شکل (۲-۶) باز کردن دستگاه

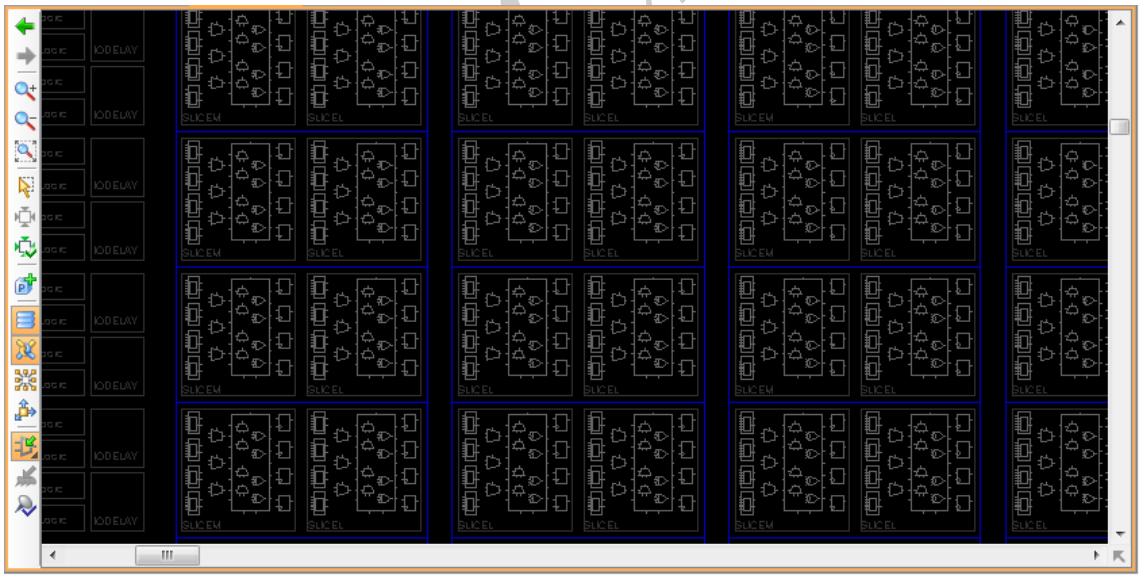
پس از انجام عملیات فوق دستگاه به صورت شکل زیر نشان داده می‌شود.

Copyright © 2013 ICEEP, University of Tehran



شکل (۲-۷) نمایش دستگاه

با کلیک راست کردن روی دستگاه و انتخاب گزینه‌ی بزرگنمایی[۱] و یا کشیدن مستطیل‌های کوچک روی دستگاه به صورت جزئی می‌توانید منابع آن را مشاهده نمایید.

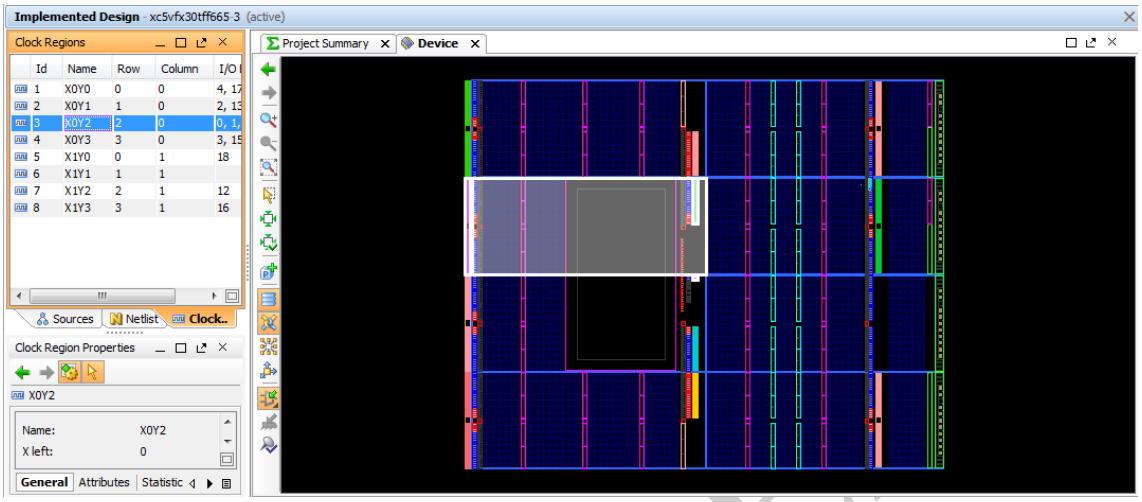


شکل (۲-۸) منابع دستگاه

هم‌چنین شما می‌توانید روی پنجره‌ی دستگاه نواحی ساعت را هم مشاهده کنید. برای این

[۱] Zoom

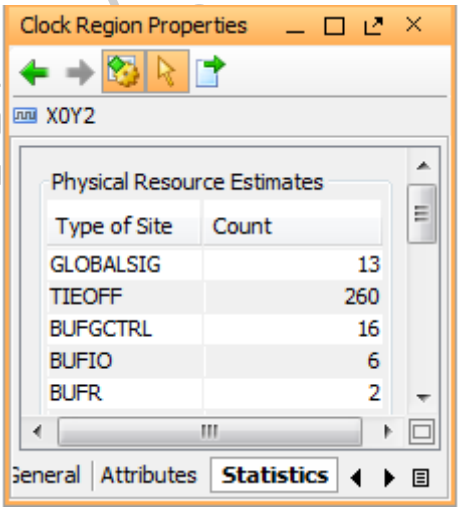
کار از طریق Window > Clock Region پنجره‌ی مربوط به نواحی ساعت را باز کرده، با انتخاب هر کدام از نواحی موجود در لیست ناحیه‌ی مربوط به آن، روی دستگاه نشان داده می‌شود.



شکل (۲-۹) انتخاب ناحیه‌ی ساعت

با استفاده از پنجره‌ی Properties به ویژگی‌های هر بخش دست می‌یابید.

با وارد شدن به برگه‌ی Statistics می‌توانید از محتوی منطقی هر بخش اطلاع حاصل کنید.



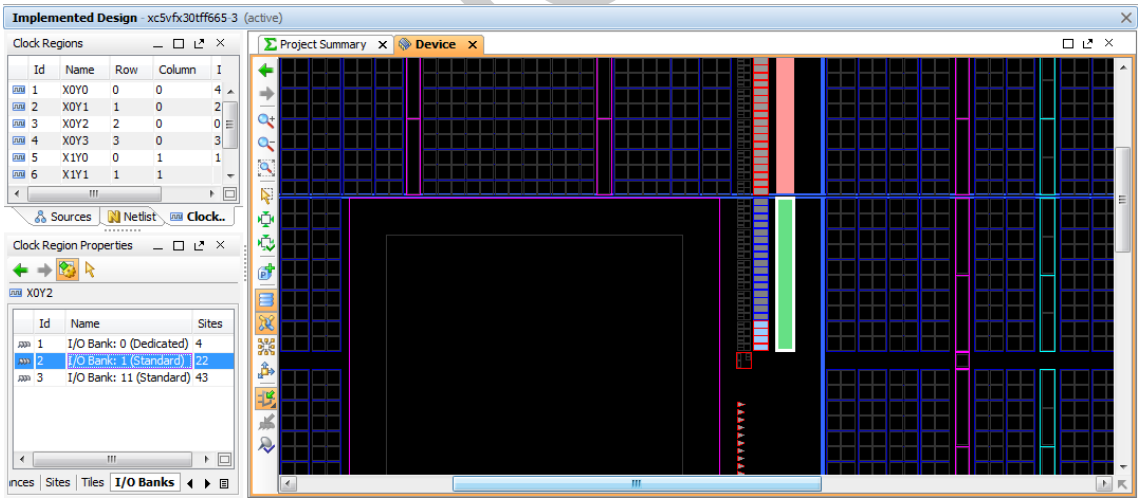
شکل (۲-۱۰) محتوی منطقی بخش‌ها

Copyright © 2013 ICEEP, University of Tehran

با وارد شدن به برگه‌ی Resources جای هر کدام از BUFRها و IDELAYCTRL را مشاهده می‌کنید.

شکل (۲-۱۱) مشاهده جای منابع در دستگاه

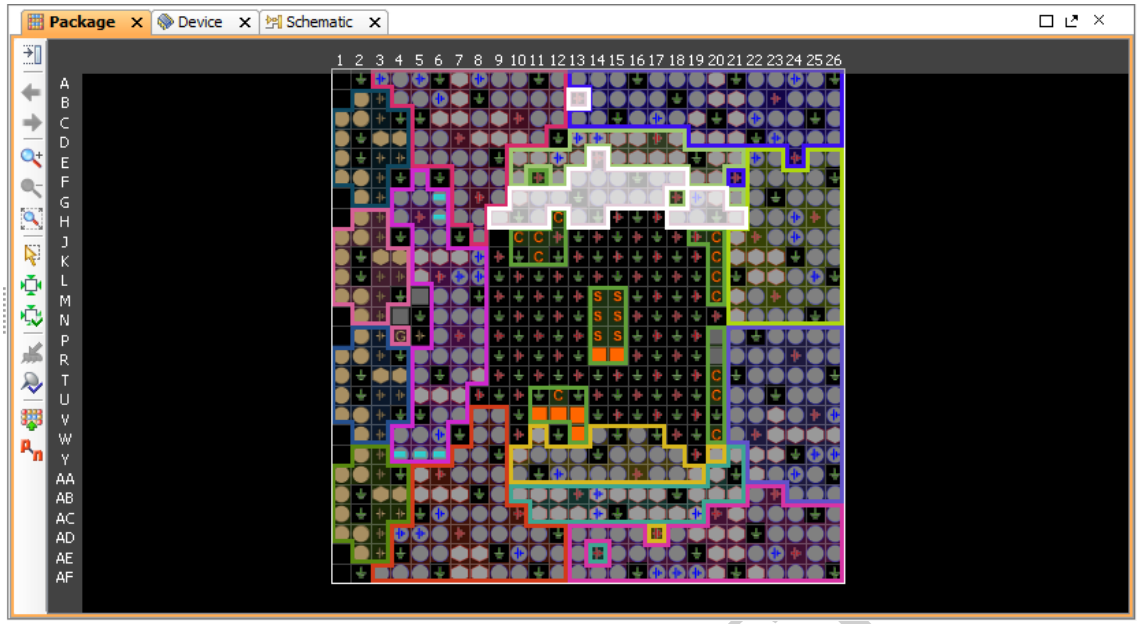
با انتخاب برگه‌ی I/O Banks بانک ورودی و خروجی آن ناحیه را مشاهده می‌کنید.



شکل (۲-۱۲) مشاهده‌ی بانک‌های ورودی و خروجی

از مسیر Layout > I/O Planing می‌توانیدطرح نقشه‌ی پین دستگاه را مشاهده کنید.

Copyright © 2013 ICEEP, University of Tehran



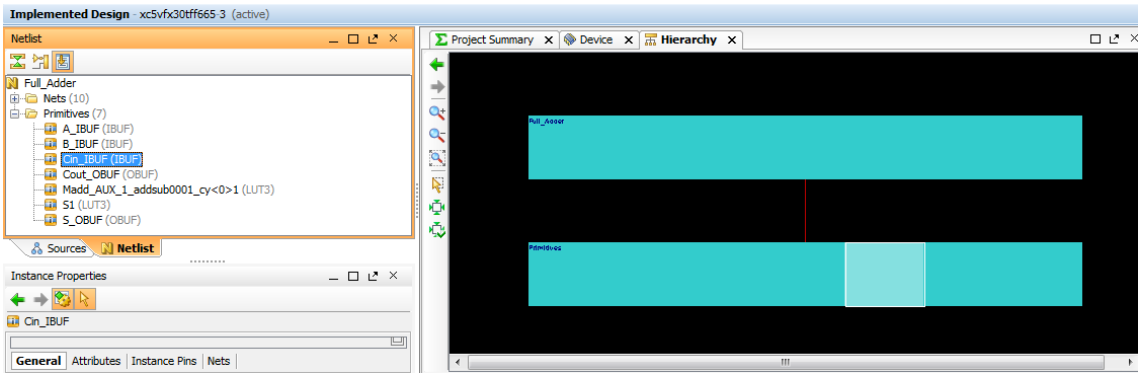
شکل (۲-۱۳) نقشه ی پین

با انتخاب Windows > Default Layout به حالت قبل باز می‌گردید.

۲-۱-۲- تشریح ساختار سلسله مراتبی

در حالت نمایش دستگاه به صورت پیش‌فرض، در پنجره‌ی Netlist روی برگه‌ی Netlist رفته و در بخش Primitivies روی هر کدام از عبارت‌ها رفته و با راست کلیک روی آن گزینه‌ی Show Hierarrchy را انتخاب کنید. در نهایت جایگاه آن عبارت را به صورت سلسله مراتبی مشاهده خواهید کرد.

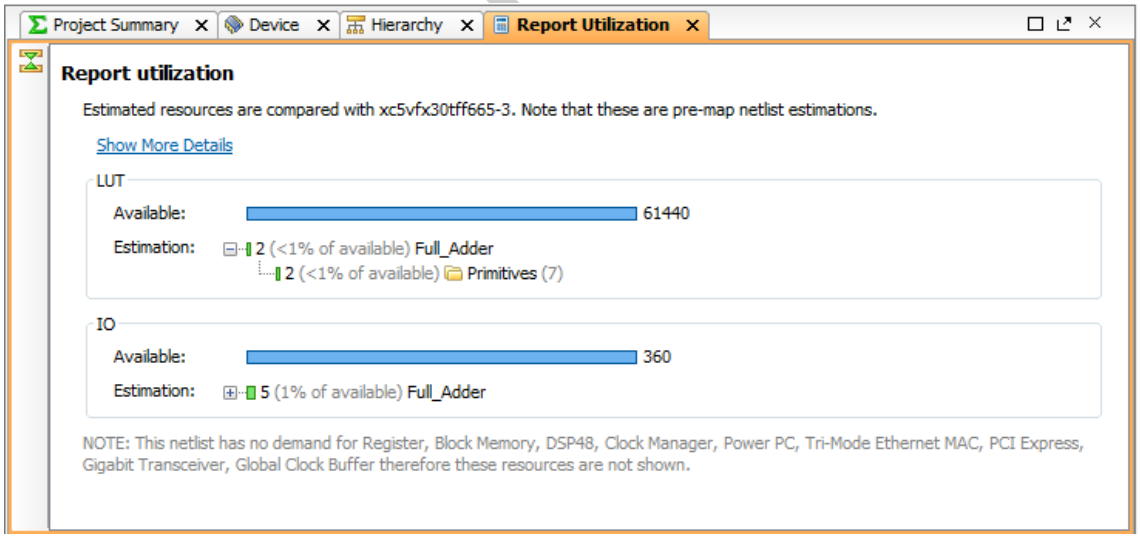
www.ICEEP



شکل (۲-۱۴) جایگاه سلسله مراتبی

۲-۱-۳- نمایش مشخصات منابع طراحی

برای مشاهده میزان استفاده از منابع، مسیر Flow Nevigator > Implementatin > Implemented Design > Report Utilization را بروید. با این کار میزان استفاده از هر منبع نشان داده خواهد شد.



شکل (۲-۱۵) میزان استفاده از منابع

برای دست‌یابی به جزئیات بیشتر در مورد منابع از Window > Physical Constraints اقدام

ICEEP.ir

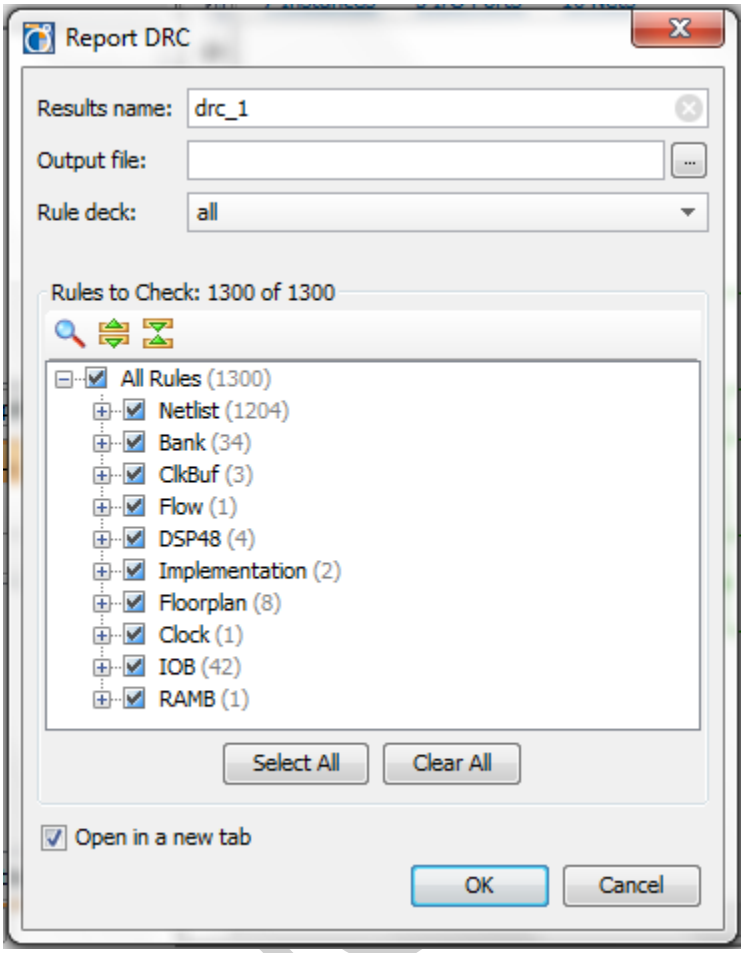
کنید. روی عبارت Root کلیک کنید و در پنجره‌ی Properties روی برگه‌ی Statistics بروید و لیست منابع را به صورت جزئی بررسی کنید.

۲-۱-۴- اجرای DRC[۱]

Xilinx به طراحان توصیه می‌کند قبل از پیاده‌سازی، یک بار DRC را اجرا کنند تا مسایل معمول در پیاده‌سازی بررسی شود. برای این کار از مسیر Tools > Report DRC پنجره مربوطه را باز نموده و تایید را بزنید.

www.ICEEP.ir

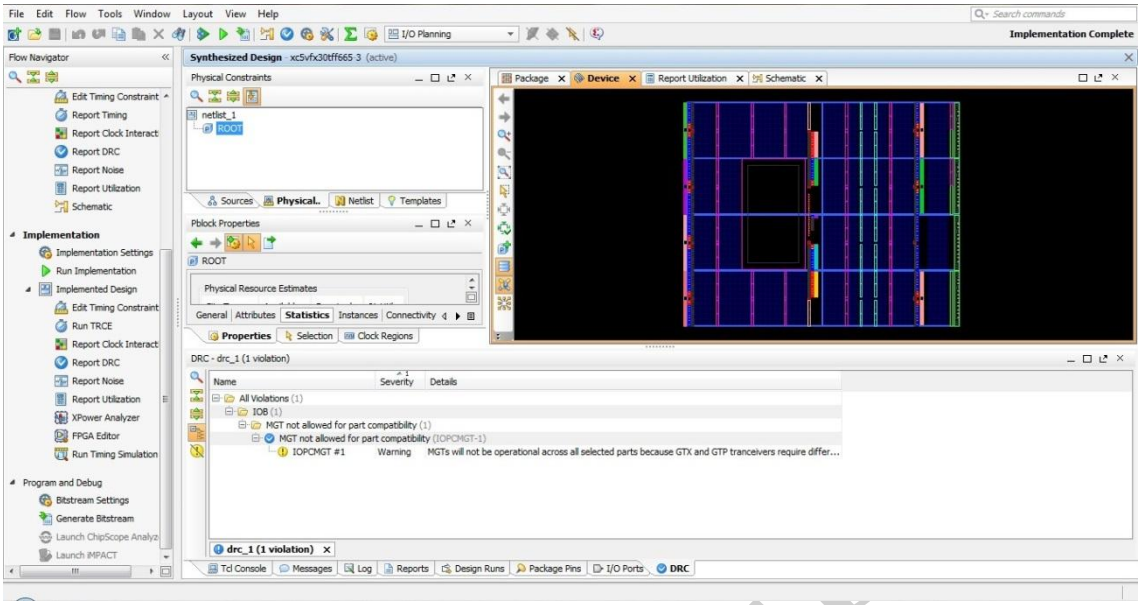
[۱] Design Rule Check



شکل (۲-۱۶) پنجره‌ی اجرای DRC

با اجرای این بخش در بخش Workspace نتایج نشان داده می‌شود.

www.iceep.ut.ac.ir



شکل (۲-۱۷) نتایج اجرای DRC

۲-۱-۵- آنالیز زمانی

قبل از پیاده‌سازی بهتر است طراحی از نظر ارضای محدودیت‌های زمانی مورد بررسی قرار گیرد تا این‌که طراح از تمام تاخیرهای واقعی که در سخت‌افزار قرار گرفته بر روی FPGA وجود دارد، آگاهی یابد.

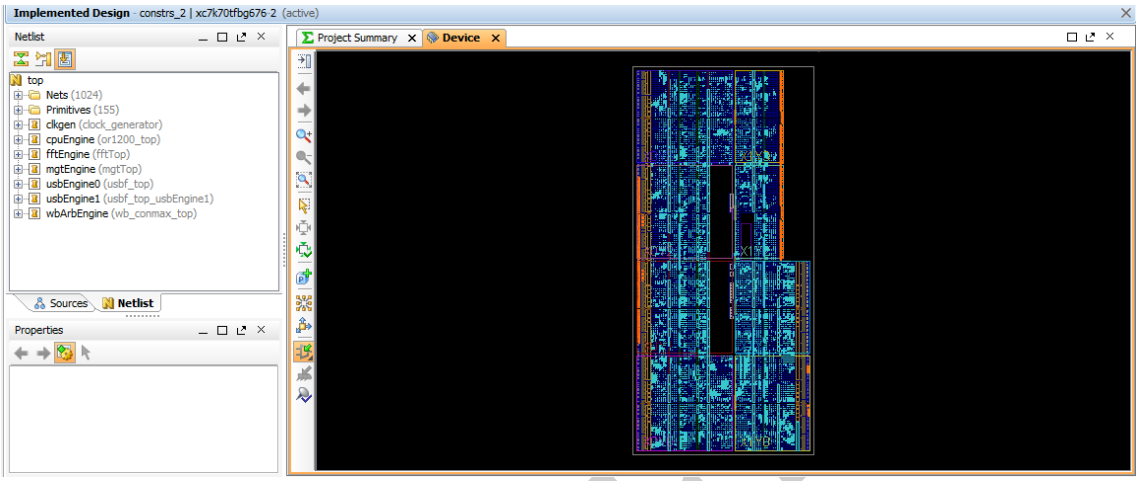
از آنجا که ما در فایل ucf جمع‌کننده محدودیت زمانی به صورت دستی ایجاد نکردیم[۱] ممکن است بعضی از امکانات این قسمت برای آن قابل استفاده نباشد. بنابراین از یک پروژه‌ی آماده که همراه نصب PlanAhead ایجاد شده است استفاده می‌کنیم. برای این کار در صفحه آغازین PlanAhead به جای استفاده از آیکون Open Project از آیکون Open Example Project پروژه‌ی CPU(Synthesized) را باز کنید و چون پروژه قابل ویرایش نیست آن را با نام دلخواه در محل

[۱] آموزش نحوه‌ی ایجاد این محدودیت در راهنماهای آینده خواهد آمد.

Copyright © 2013 ICEEP, University of Tehran

مناسبی ذخیره کنید.

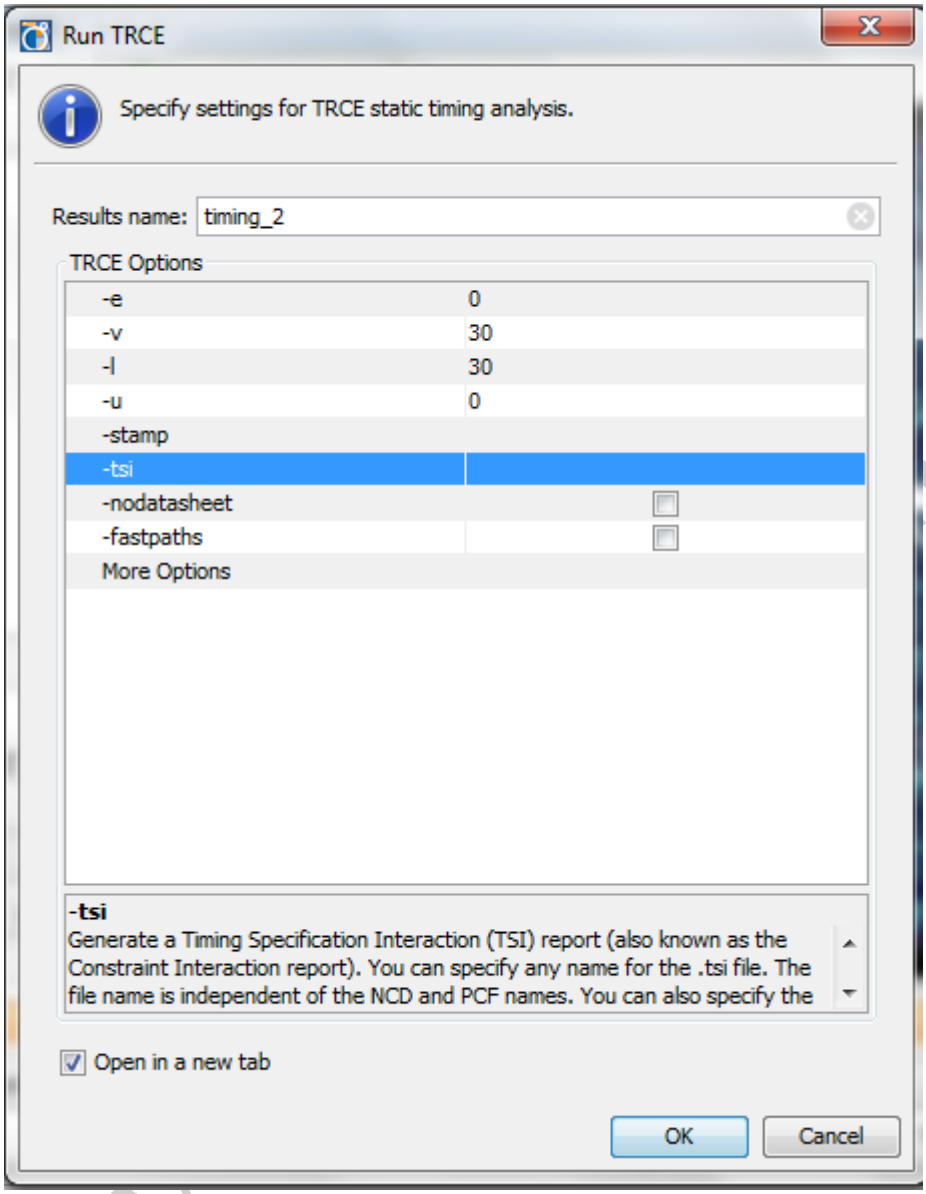
در پنجره‌ی باز شده از Flow Nevigaror گزینه‌ی Implementation را بزنید. پس از این مرحله دستگاه به صورت زیر به شما نشان داده می‌شود.



شکل (۲-۱۸) نمایش دستگاه CPU

در این حالت مسیر Tools > Timing > Run TRCE را بزنید و یا از Flow Nvegator گزینه‌ی Run TRCE را انتخاب کنید. در ادامه پنجره‌ی زیر باز خواهد شد.

www.ICEEP.ir



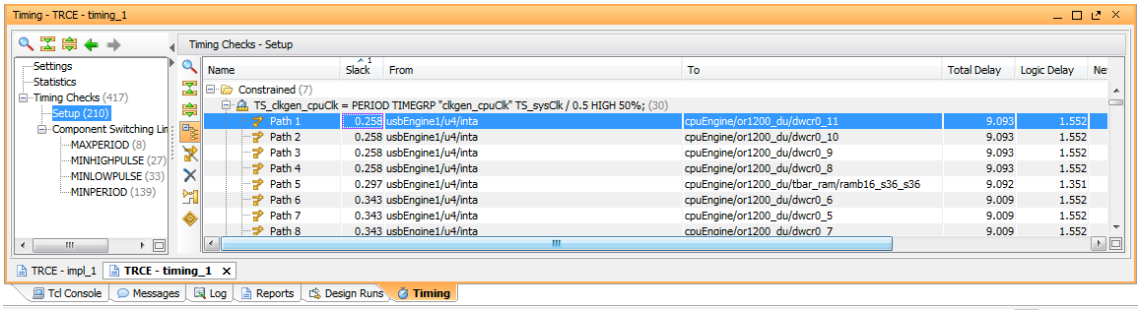
شکل (۲-۱۹) اجرای TRCE

از گزینه‌های موجود هر کدام گزارش را به شکل خاصی تولید می‌کنند. از بین آنها tsi– را انتخاب کنید که در آن مشخص می‌شود از میان چند محدودیت زمانی کدام یک نسبت به بقیه در اولویت است.

پس از اجرای TRCE پنجره‌یTiming در پایین باز می‌شود که مسیرهای مختلف و میزان

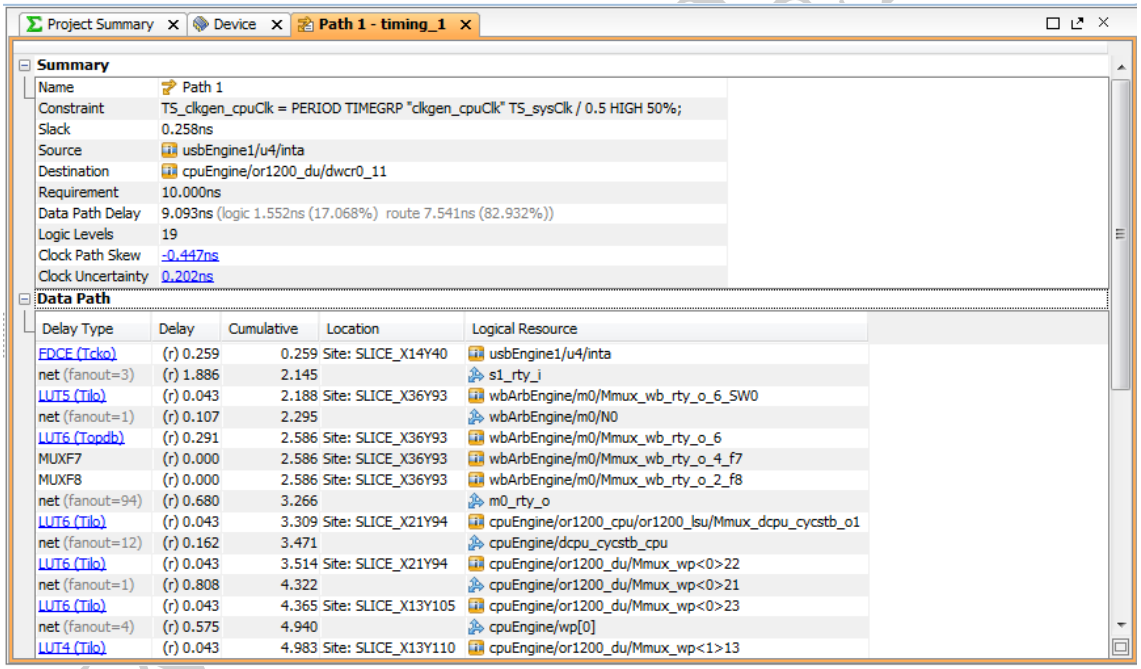
Copyright © 2013 ICEEP, University of Tehran

تاخیر و سایر جزئیات هر یک نشان داده شده است.



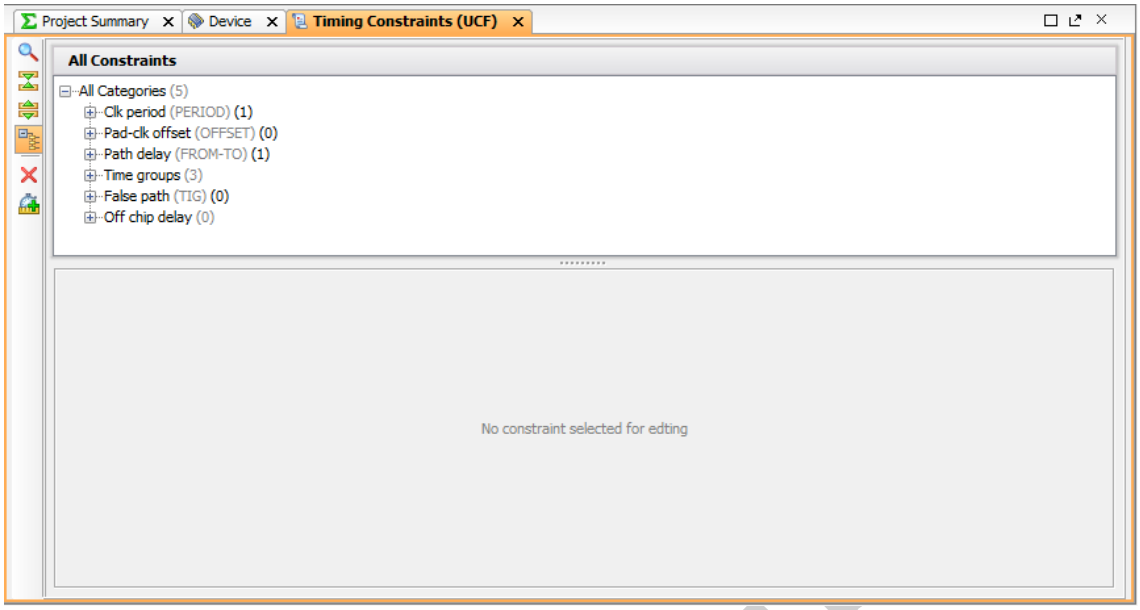
شکل (۲-۲۰) مشخصات مسیرهای مختلف

به دلخواه یکی از مسیرها را انتخاب و جزئیات بیشتری از آن را بررسی کنید.



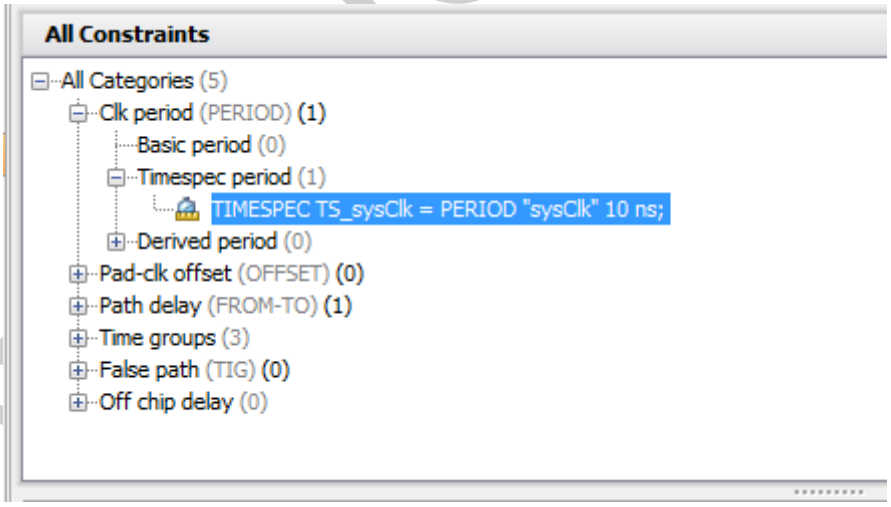
شکل (۲-۲۱) جزئیات مسیر

در این حالت از پنجره‌ی Window گزینه‌ی Timing Constraints را انتخاب کنید و یا از Flow Nvegator روی Edit Timng Constraints بروید. پنجره‌ای به شکل زیر نشان داده خواهد شد.



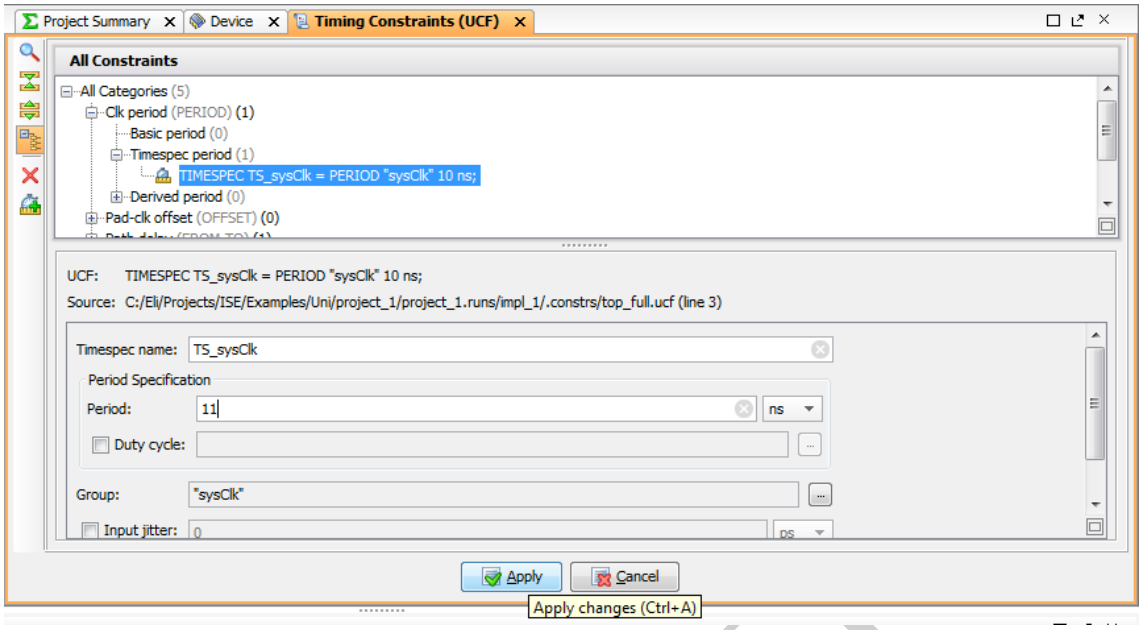
شکل (۲-۲۲) Timing Constraints

از طریق مسیر Timespec period > Clk period محرودیت TS_sysClk را باز نموده و مقدار آن را از ۱۰ نانو ثانیه به ۱۱ تغییر دهید.



شکل (۲-۲۳) مسیر محدودیت TS_sysClk

Copyright © 2013 ICEEP, University of Tehran

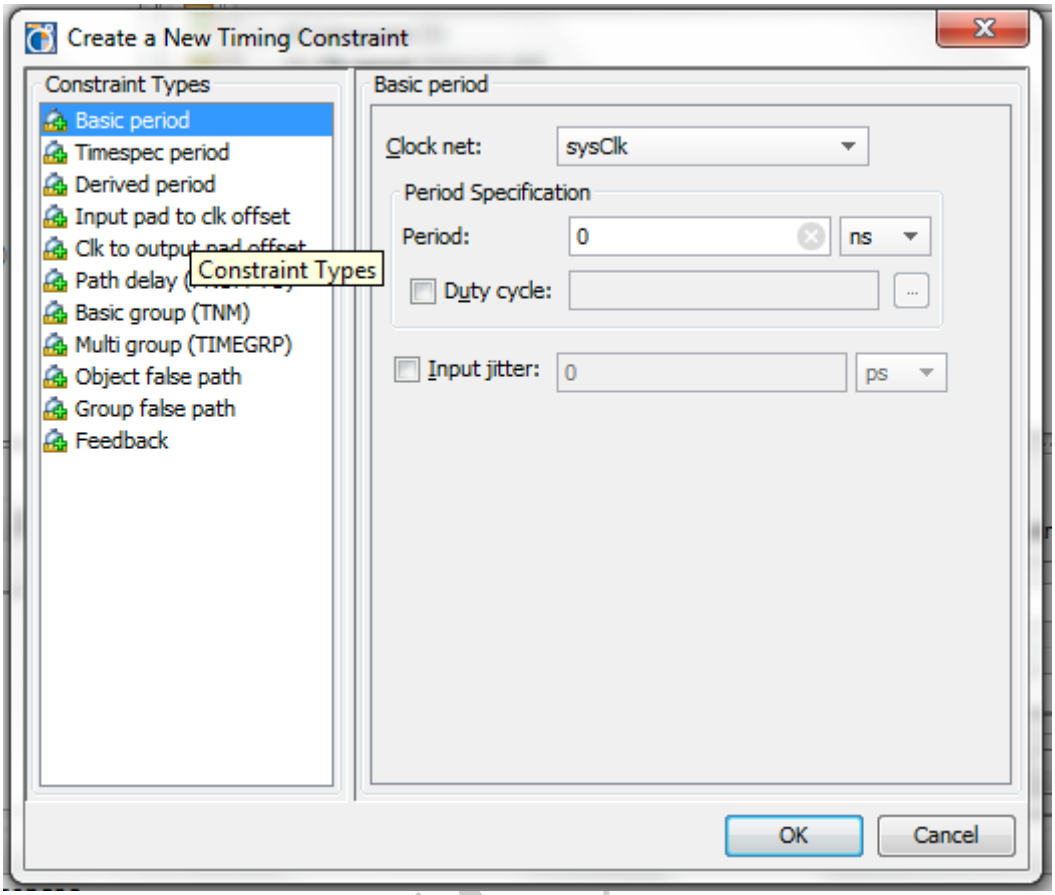


شکل (۲-۲۴) ویرایش محدودیت

در بعضی موارد لازم است تا محدودیت جدید تعریف شود برای این کار روی آیکون به شکل زیر کلیک کنید تا پنجره مربوز به تعریف مخدودیت باز شود.

شکل (۲-۲۵) آیکون تعریف محدودیت

www.ICEEP



شکل (۲-۲۶) پنجره‌ی تعریف محدودیت

در این پنجره محدودیت جدید را تعریف و تایید کنید.

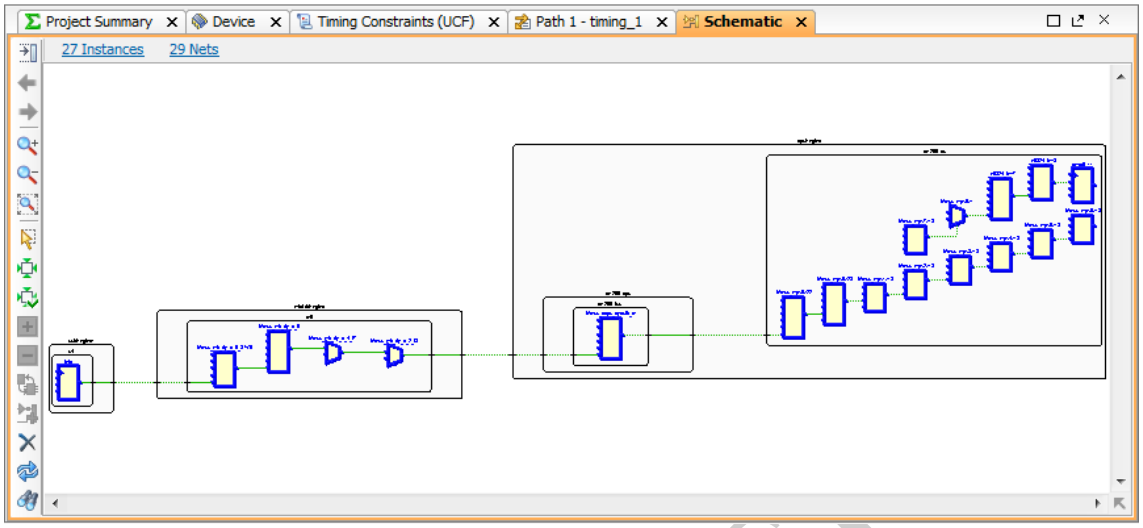
بعد از هر گونه ویرایشی باید TRCE را دوباره اجرا کنید. در تهایت می‌توانید آثار تغییرات خود را مشاهده کنید.

۲-۱-۶- تشریح سخت‌افزار

مسیرهایی که در بخش قبل به تاخیر آن‌ها اشاره شد، هر کدام مسیری از سخت‌افزار واقعی مدار هستند. برای مشاهده‌ی جایگاه این مسیرها روی آن کلیک راست کرده و عبارت Schematic را

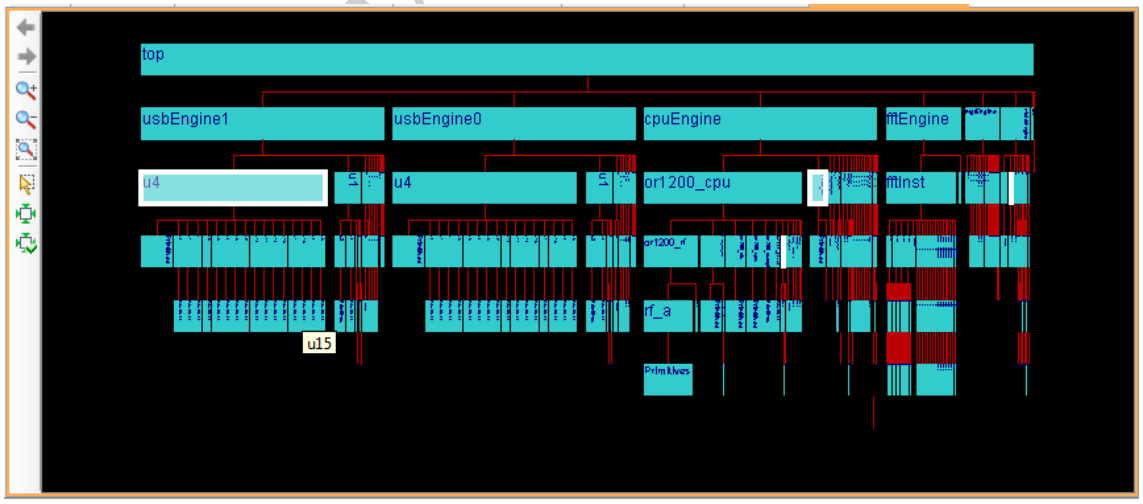
www.IC

برگزینید.



شکل (۲-۲۷) شماتیک مسیر

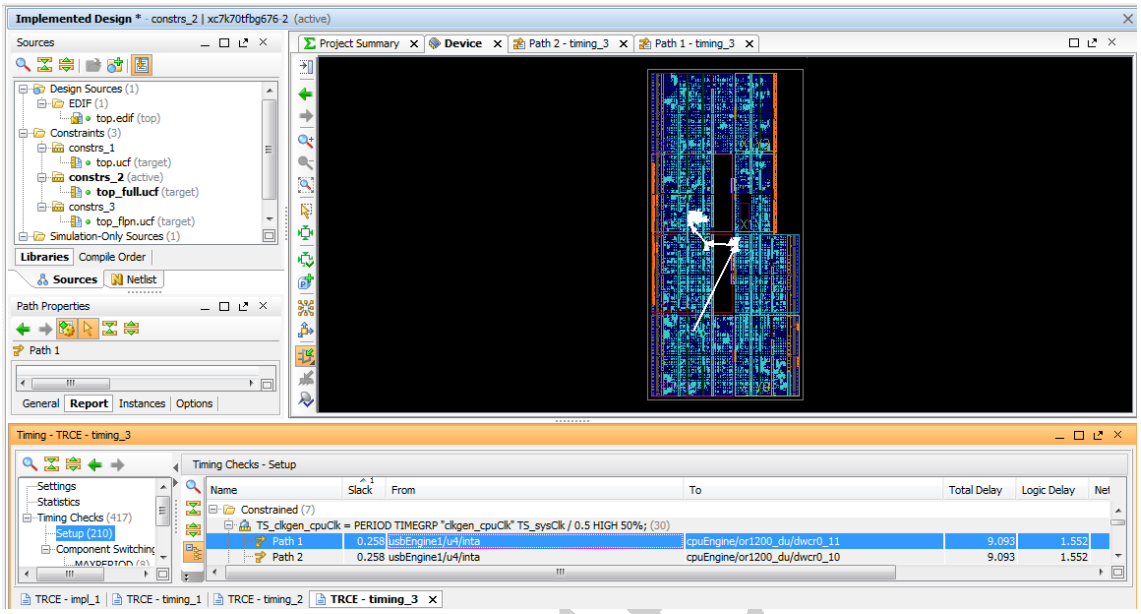
روی پنجره‌ی شماتیک کلیک راست کرده و Select Primitive Parents را انتخاب کنید. در پنجره‌ی Netlist چند واحد انتخاب می‌شود. با زدن F6 ساختار سلسله مراتبی نمایش داده می‌شود. در این نوع نمایش هم بلوک‌های انتخاب شده در Netlist انتخاب شده اند.



شکل (۲-۲۸) بلوک‌های انتخاب شده در ساختار سلسله مراتبی

Copyright © 2013 ICEEP, University of Tehran

در نهایت روی نمایش دستگاه آمده و یکی از مسیرها را انتخاب کنید. این مسیر روی دستگاه نیز نمایش داده خواهد شد.



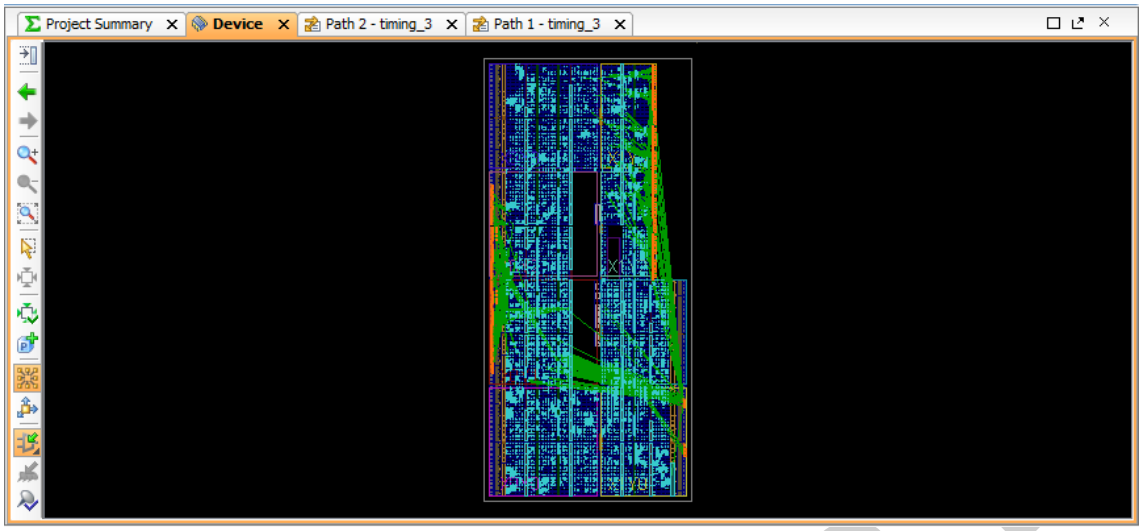
شکل (۲-۲۹) نمایش مسیرها روی دستگاه

۲-۱-۷- بررسی اتصالات

در این بخش به بررسی اتصالات در دستگاه خواهیم پرداخت. برای مشاهده‌ی اتصالات I/O گزینه‌ی به شکل زیر را برگزینید.

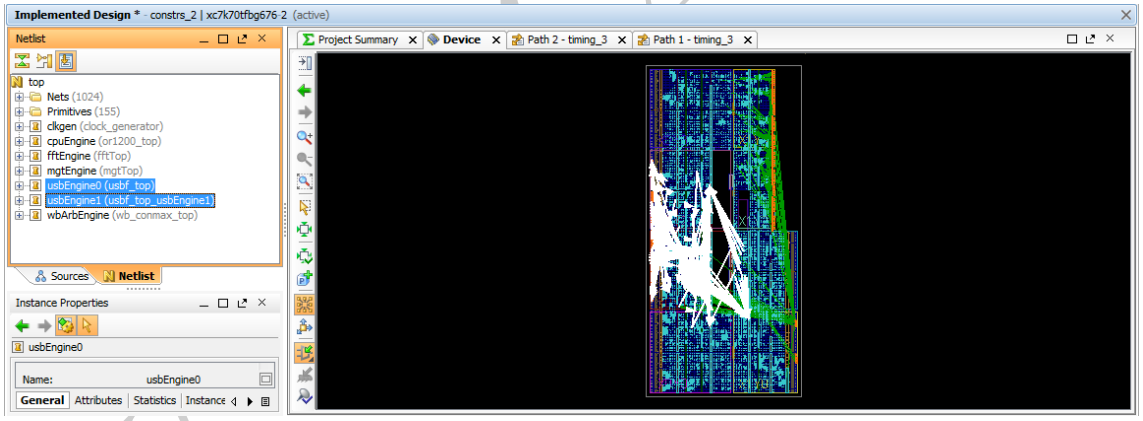
شکل (۲-۳۰) انتخاب گزینه مشاهده اتصالات I/O

www.ICE



شکل (۲-۳۱) نمایش اتصلات I/O

در پنجره‌ی Netlist هر کدام از شاخه‌ها را می‌توانید انتخاب کنید و با کلیک راست کردن و انتخاب گزینه‌ی Show Conectivity اتصالات مربوط به آن را روی دستگاه مشاهده کنید.



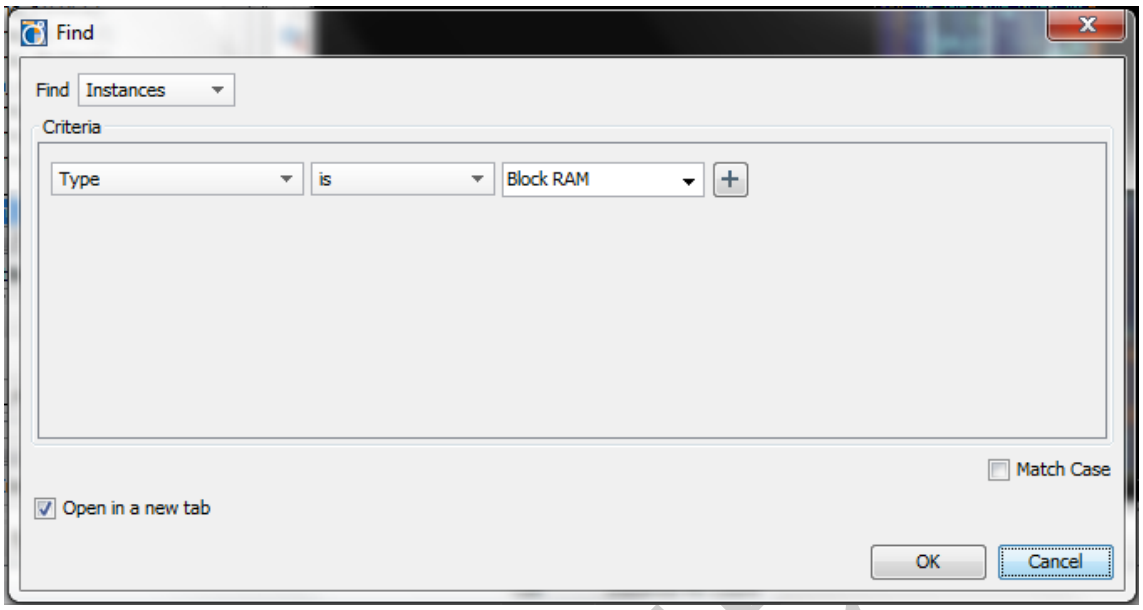
شکل (۲-۳۲) اتصالات بخش‌های مختلف

۲-۱-۸- استفاده از محدویت‌های جایابی

در این بخش با طرز یافتن و پاک کردن جایابی که توسط عملیات مسیریابی و جایابی صورت می‌گیرد آشنا می‌شوید.

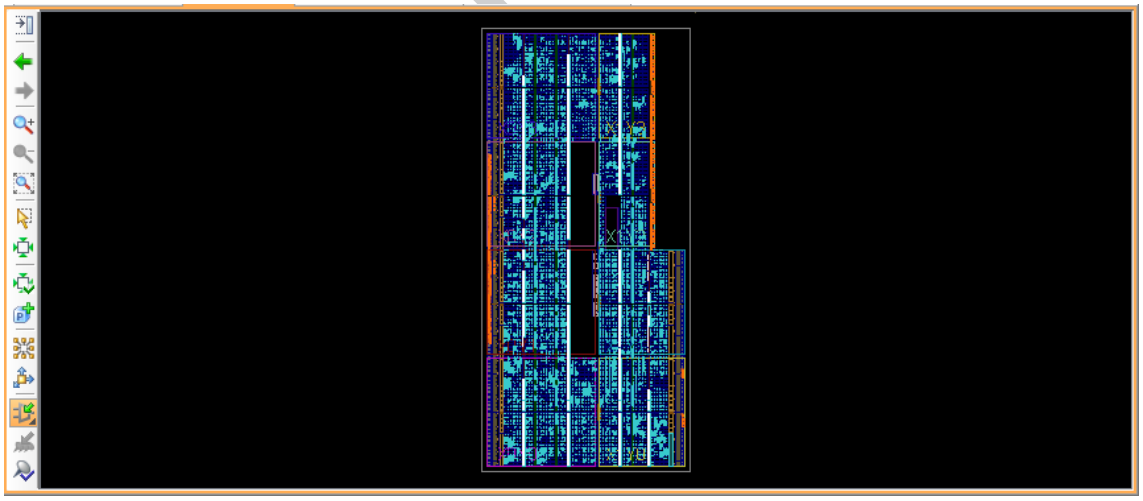
Copyright © 2013 ICEEP, University of Tehran

برای یافتن یک بلوک از Edit > Find وارد شوید و نوع بلوک را انتخاب کنید.



شکل (۲-۳۳) انتخاب نوع بلوک

سپس در پایین صفحه هر بلوک را انتخاب و جای آن در دستگاه را مشاهده کنید.

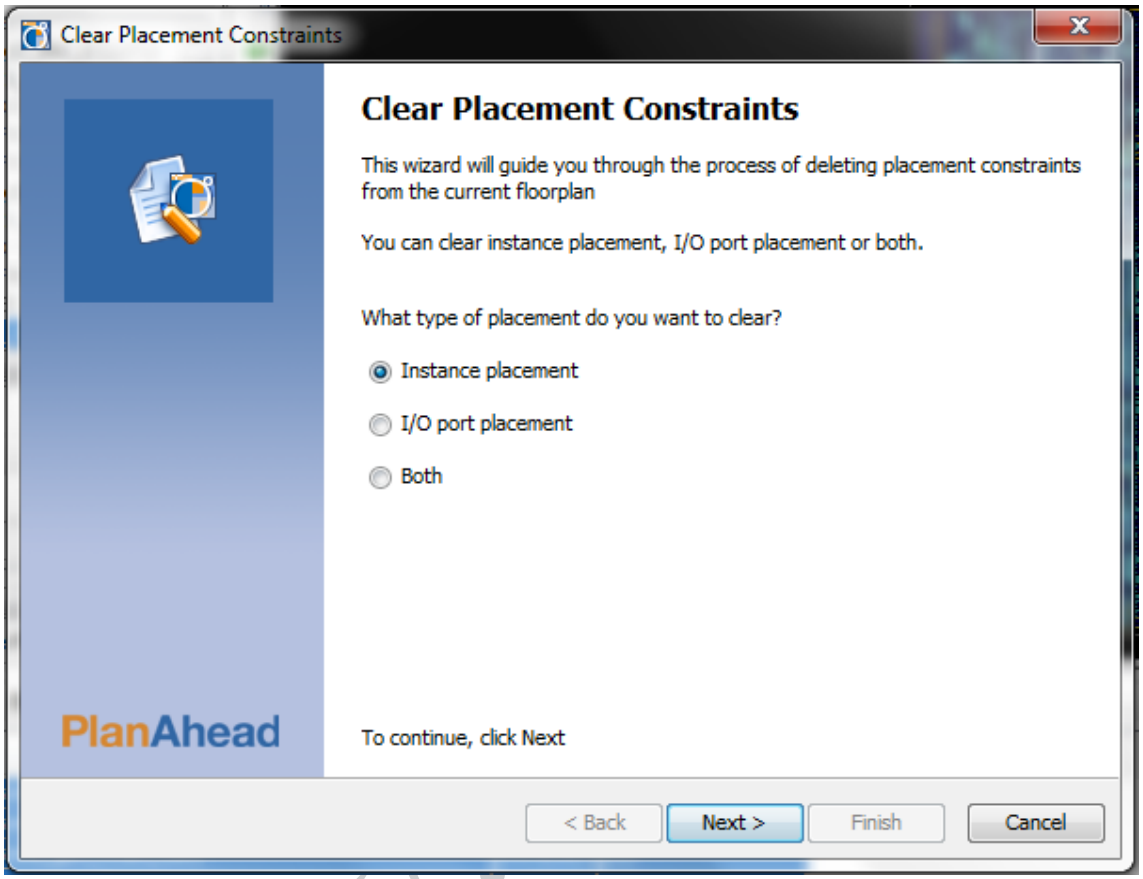


شکل (۲-۳۴) انتخاب بلوک Block RAM

حال شما می‌توانید محدودیت‌های جایابی که توسط ISE ایجاد شده است را پاک کنید برای

Copyright © 2013 ICEEP, University of Tehran

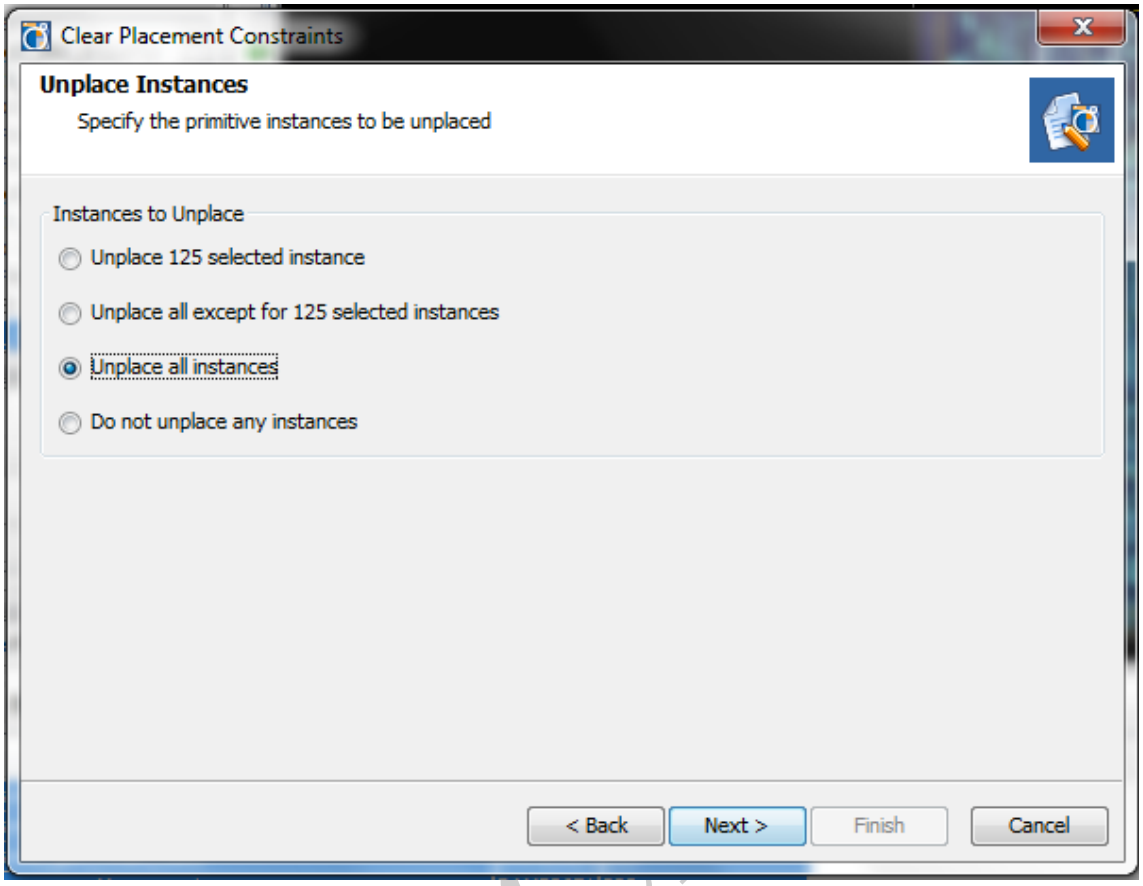
این کار از طریق Tools > Floorplaning > Clear Placement وارد شوید. گزینه‌ی Instance Placement را انتخاب و به مرحله‌ی بعد بروید.



شکل (۲-۳۵) پنجره‌ی Clear Placement (۱)

عبارت Unplace all instances را انتخاب و به بعدی بروید.

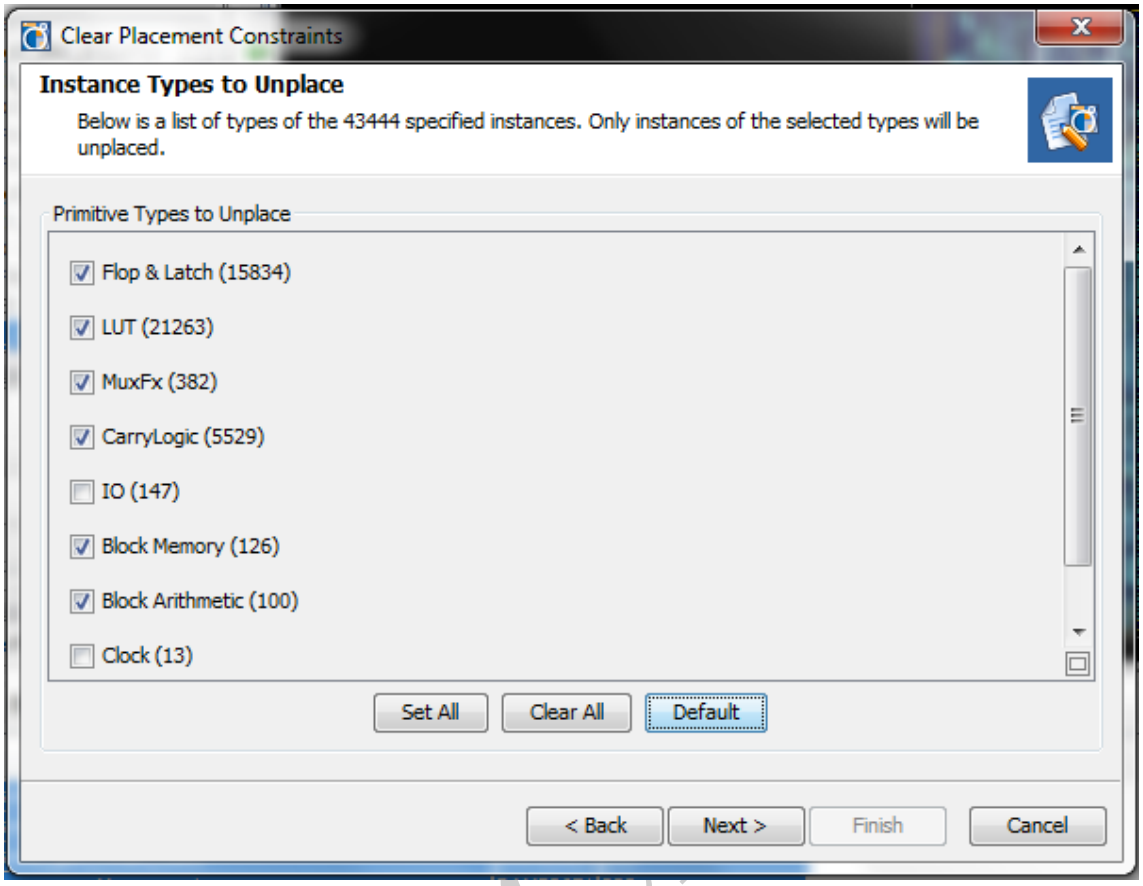
www.



شکل (۲-۳۶) پنجره‌ی Clear Placement (۲)

عبارت Default را بزنید و به بعدی بروید.

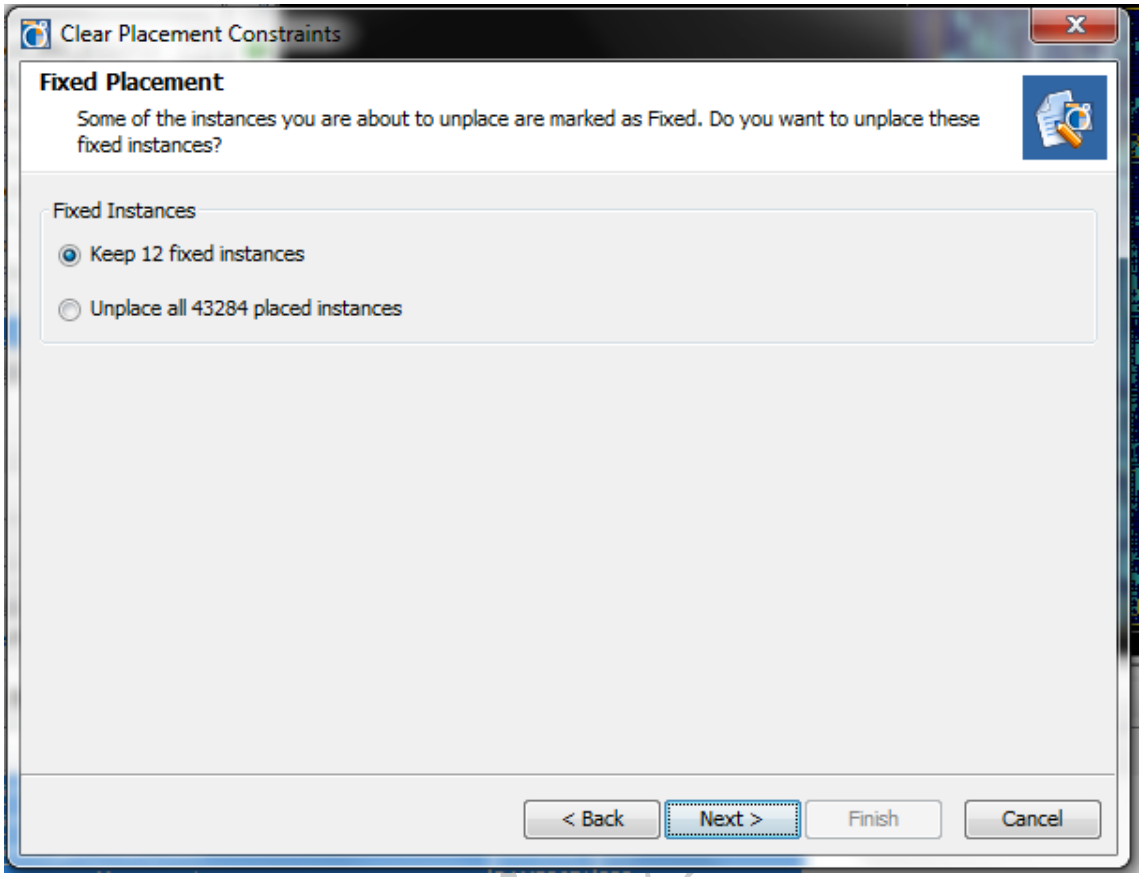
www.IC



شکل (۲-۳۷) پنجره‌ی Clear Placement (۳)

گزینه ی Keep 12 fixed instances را انتخاب و به بعدی بروید.

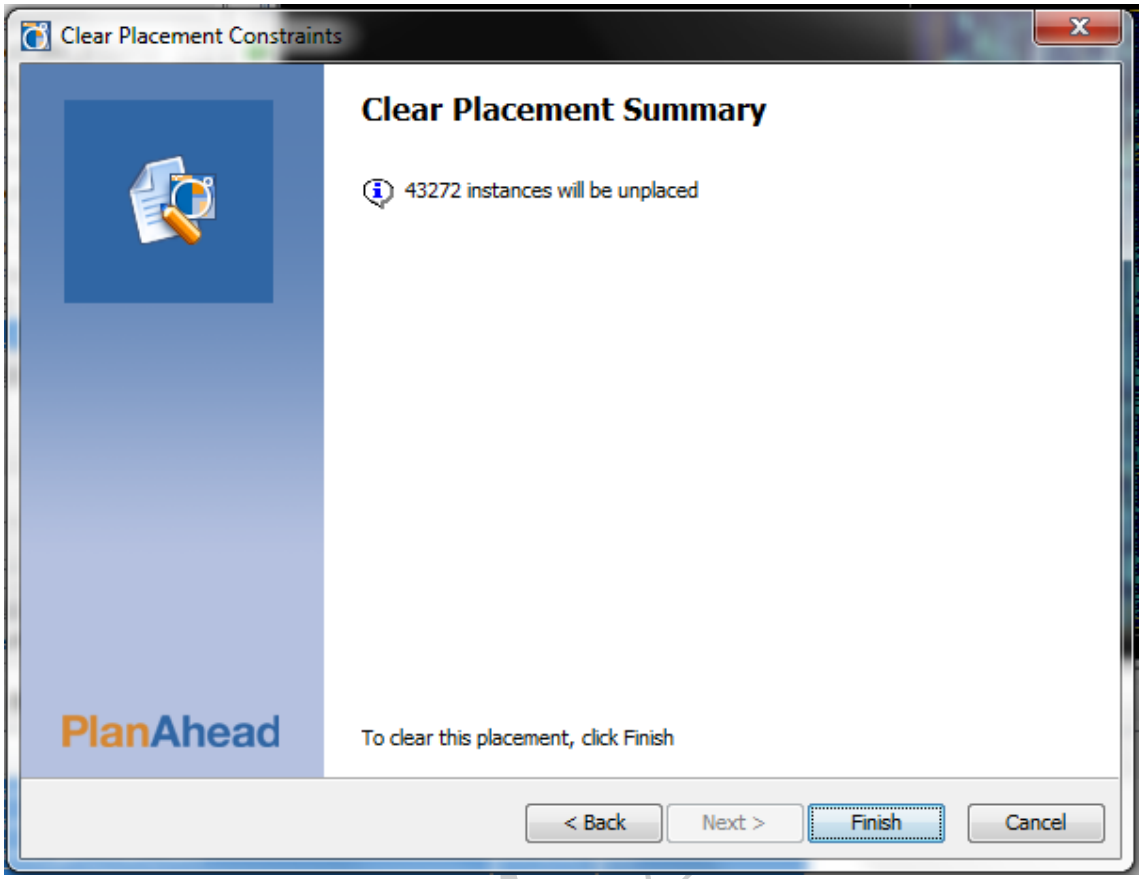
www.IC



شکل (۲-۳۸) پنجره‌ی Clear Placement (۴)

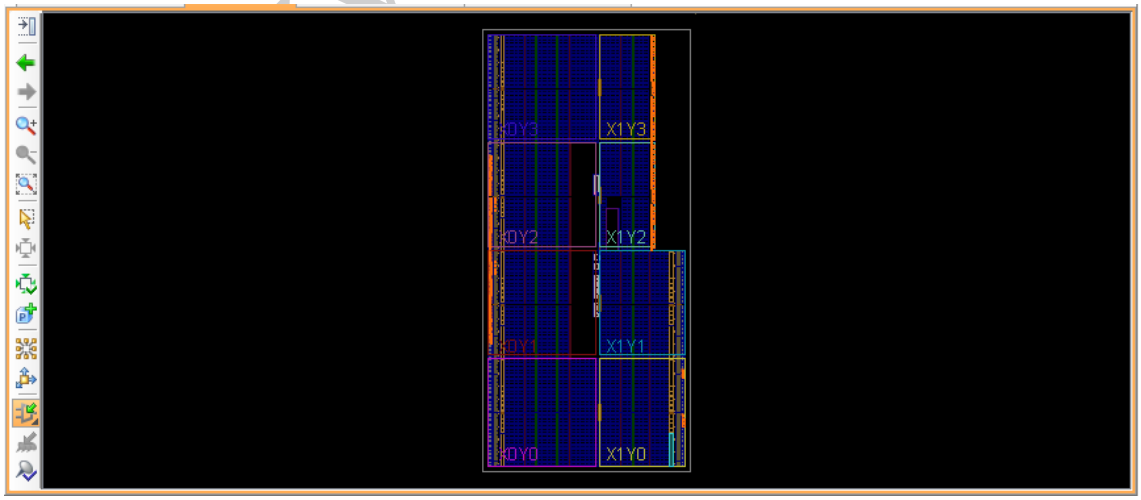
پس از بررسی خلاصه گزینه‌ی اتمام را بزنید.

www.IC



شکل (۲-۳۹) پنجره‌ی Clear Placement (۵)

در نهایت نتیجه به صورت زیر درمی‌آید.



شکل (۲-۴۰) نتیجه پاک کردن جایابی

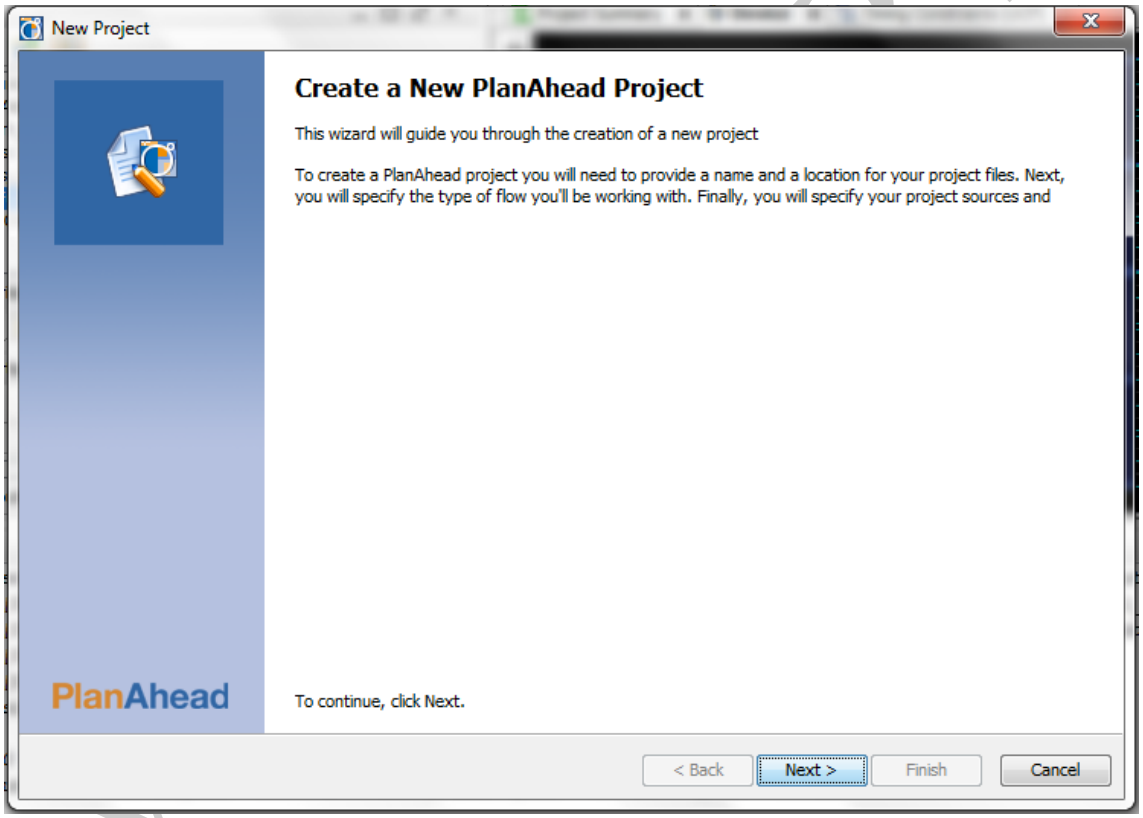
www.IC

۲-۲- طرح‌ریزی پایه‌های I/O [۱]

در این قسمت نحوه اختصاص پایه به دستگاه را مورد بررسی قرار خواهیم داد.

۲-۲-۱- ساخن پروژه‌ی طرح‌ریزی پایه‌های I/O

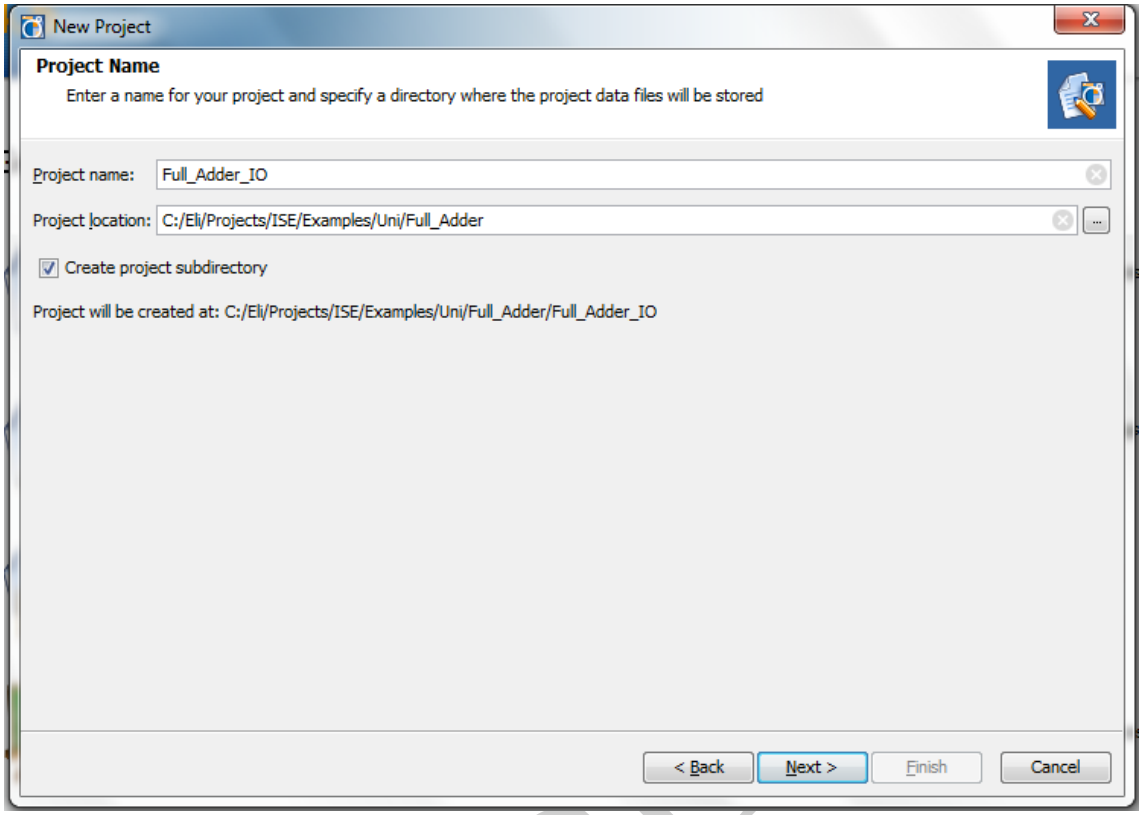
در ابتدا از مسیر File > New Project پنجره‌ی مربوط را باز کنید.



شکل (۲-۴۱) ساخت پروژه(۱)

گزینه‌ی بعدی را انتخاب کنید.در پنجره‌ی بعدی نام و مسیر پروژه را وارد کنید.

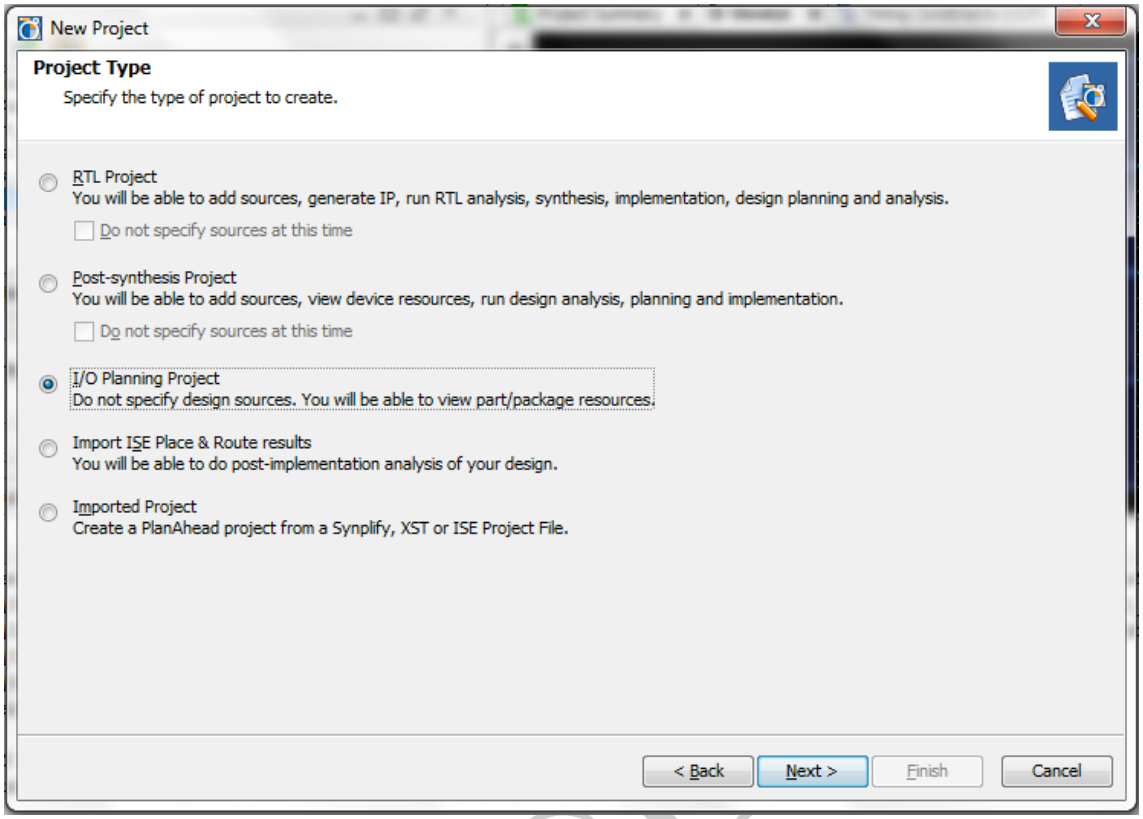
[۱] I/O Pin Planing



شکل (۲-۴۲) ساخت پروژه(۲)

سپس عبارت I/O Planing Project را برگزینید.

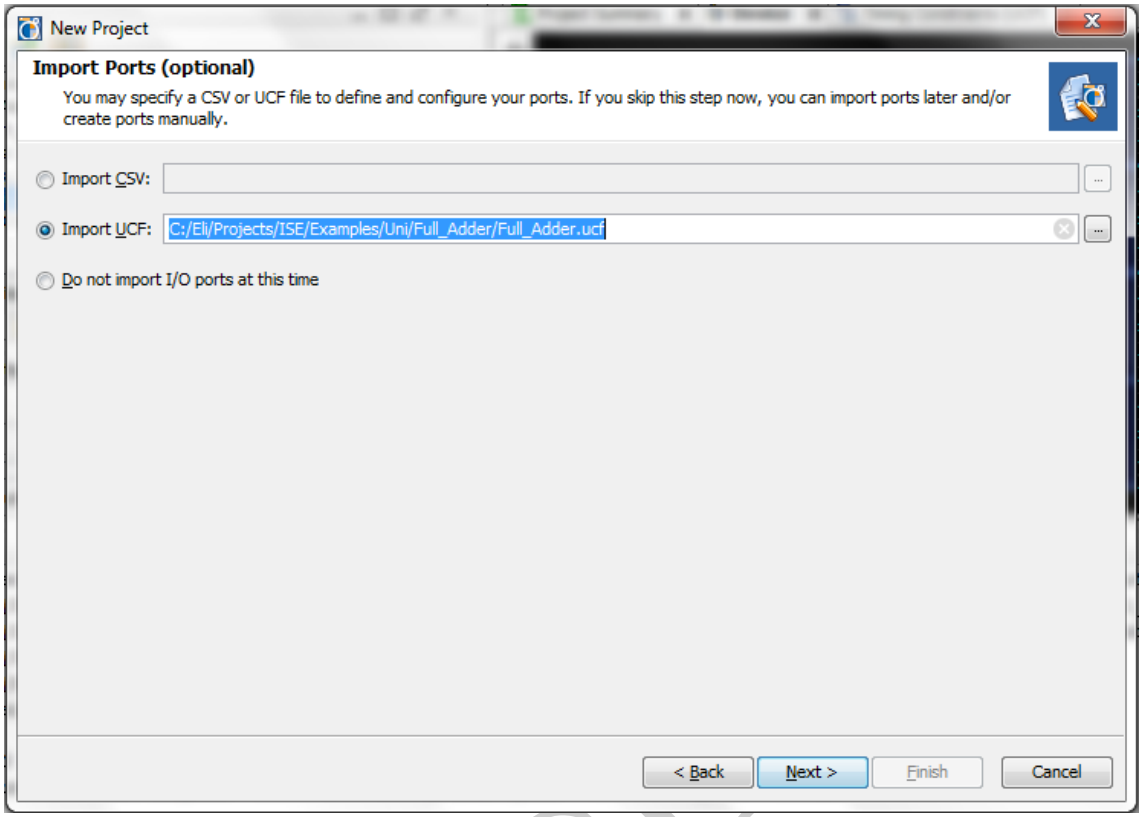
www.ICEEP.ir



شکل (۲-۴۳) ساخت پروژه(۳)

در مرحله‌ی بعدی می‌توانید یک فایل ucf و یا csv به پروژه اضافه کنید.

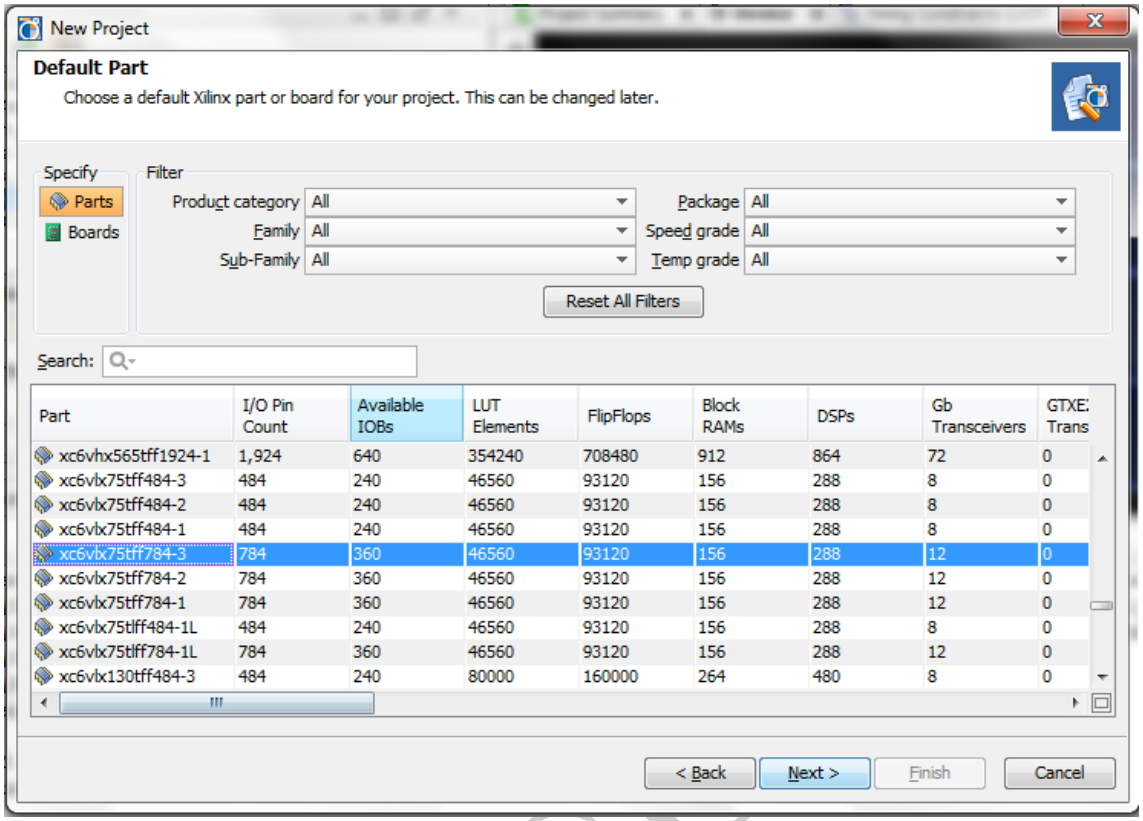
www.ICEEP.ir



شکل (۲-۴۴) ساخت پروژه(۴)

سپس دستگاه مقصد را انتخاب کنید. البته این دستگاه قابل تغییر است.

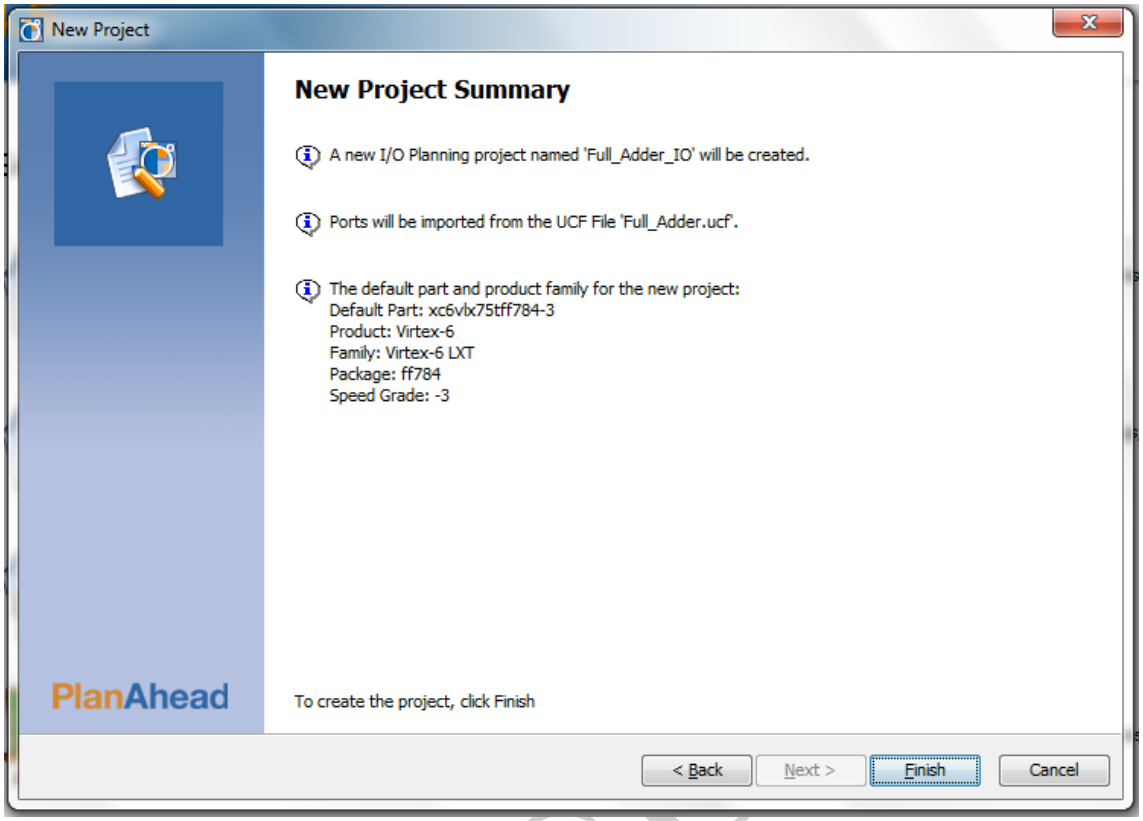
www.ICEEP



شکل (۲-۴۵) ساخت پروژه(۵)

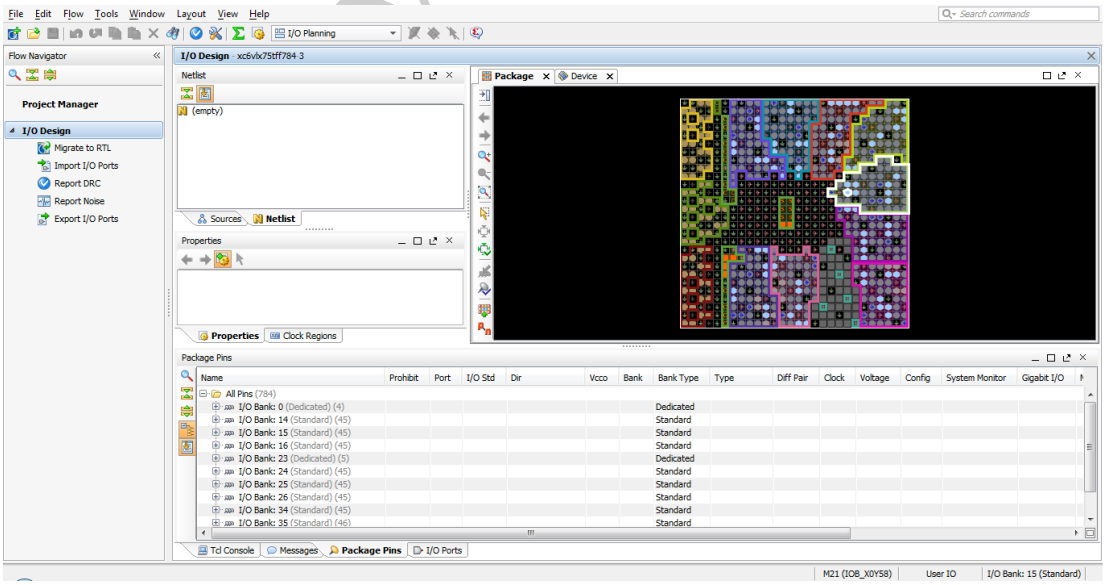
پس از بررسی خلاصه‌ی پروژه گزینه‌ی اتمام را بزنید.

www.ICEEP



شکل (۲-۴۶) ساخت پروژه(۶)

در نهایت شمای زیر مشاهده می‌شود.

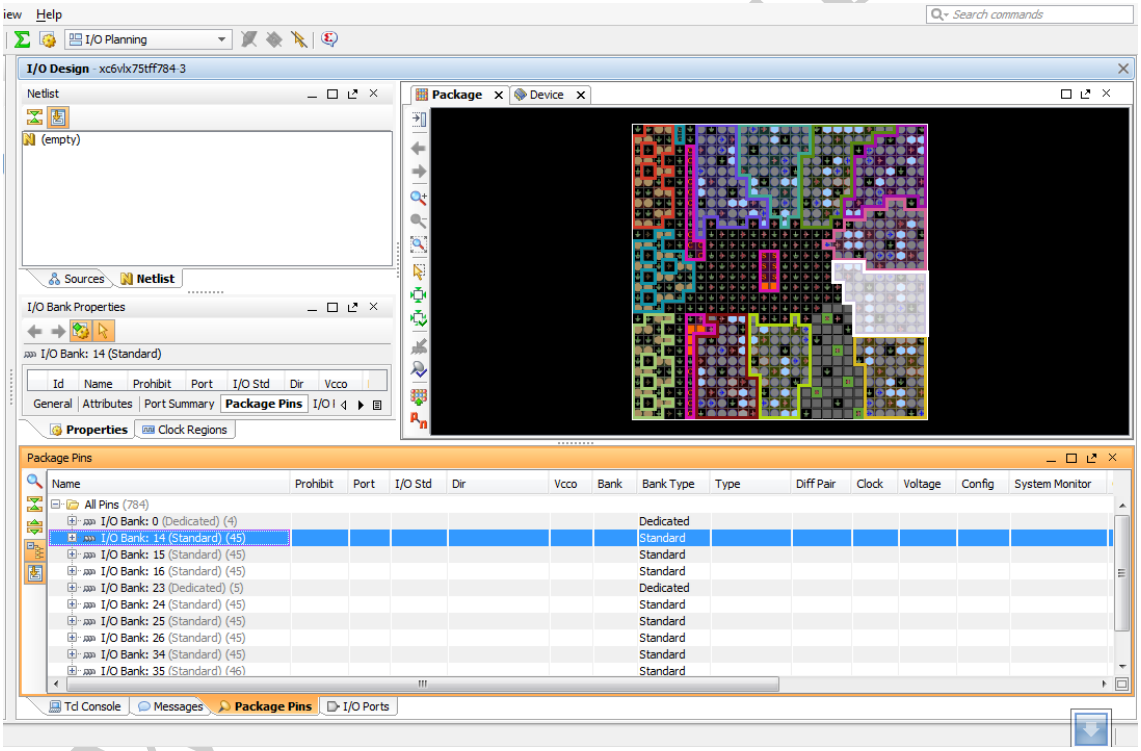


شکل (۲-۴۷) شمای اولیه پروژه

۲-۲-۲- منابع I/O دستگاه

در PlanAhead نماهای مختلفی وجود دارد که به کمک آن‌ها می‌توانید I/Oها و سایر سخت‌افزار مربوط به طراحی خود را مشاهده کنید.

در این قسمت به بررسی نمایش جایگاه بانک‌های I/O می‌پردازیم. برای این کار در پنجره‌ی Package Pins روی یکی از بانکها کلیک کنید و جای آن را در دستگاه در برگه‌ی Package مشاهده کنید.



شکل (۲-۴۸) انتخاب بانک‌های I/O

سپس روی برگه‌ی Device بروید تا جای بانک منتخب را روی Die مشاهده کنید. مشاهده‌ی جایگاه بانک‌ها در برگه‌های مختلف در فرآیند تخصیص پایه بسیار مفید خواهد بود. در پنجره‌ی Package Pins نیز با باز کردن هر کدام از بانک‌ها لیست تمام پایه‌های آن بانک، همراه با

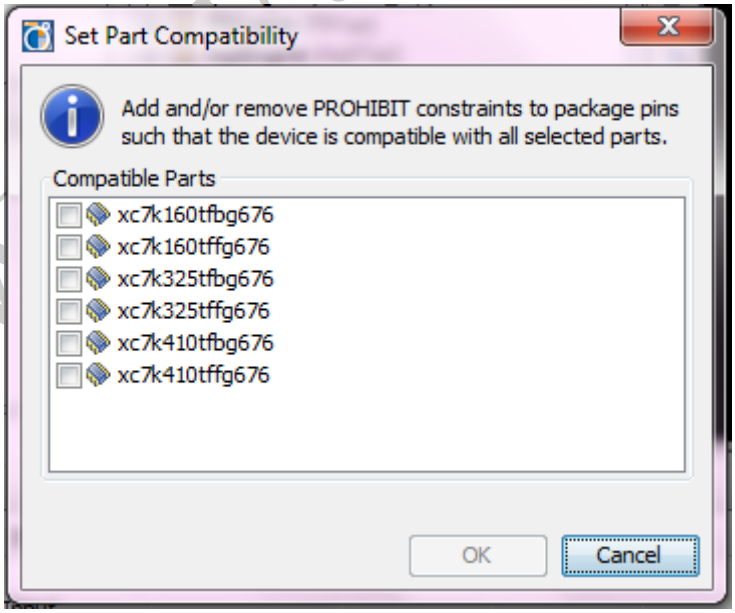
Copyright © 2013 ICEEP, University of Tehran

اطلاعات جزئی راجع به هر پایه را مشاهده خواهید کرد.

۲-۲-۳- تعریف دستگاه سازگار

ممکن است شما بخواهید در هنگام انجام پروژه دستگاه هدف خود را تغییر دهید. PlanAhead این امکان را به شما می‌دهد که دستگاه‌های سازگار با دستگاه فعلی را تعریف و در زمان مورد نیاز دستگاه هدف را به یکی از دستگاه‌های سازگار تعریف شده تغییر بدهید. البته این امکان تنها در دستگاه‌های Virtex-6،Virtex-5 و Spartan-6 وجود دارد.

برای فعال سازی این امکان شما باید محدودیتی در I/Oها ایجاد کنید تا در صورت تغییر دستگاه مطمئن باشید که از پایه‌های مشترک در آن دستگاه‌ها استفاده کرده اید. برای این کار مسیر Tools > I/O Planing > Set Part Compatibility را برگزینید. سپس عبارت مورد نظر را تیک بزنید.

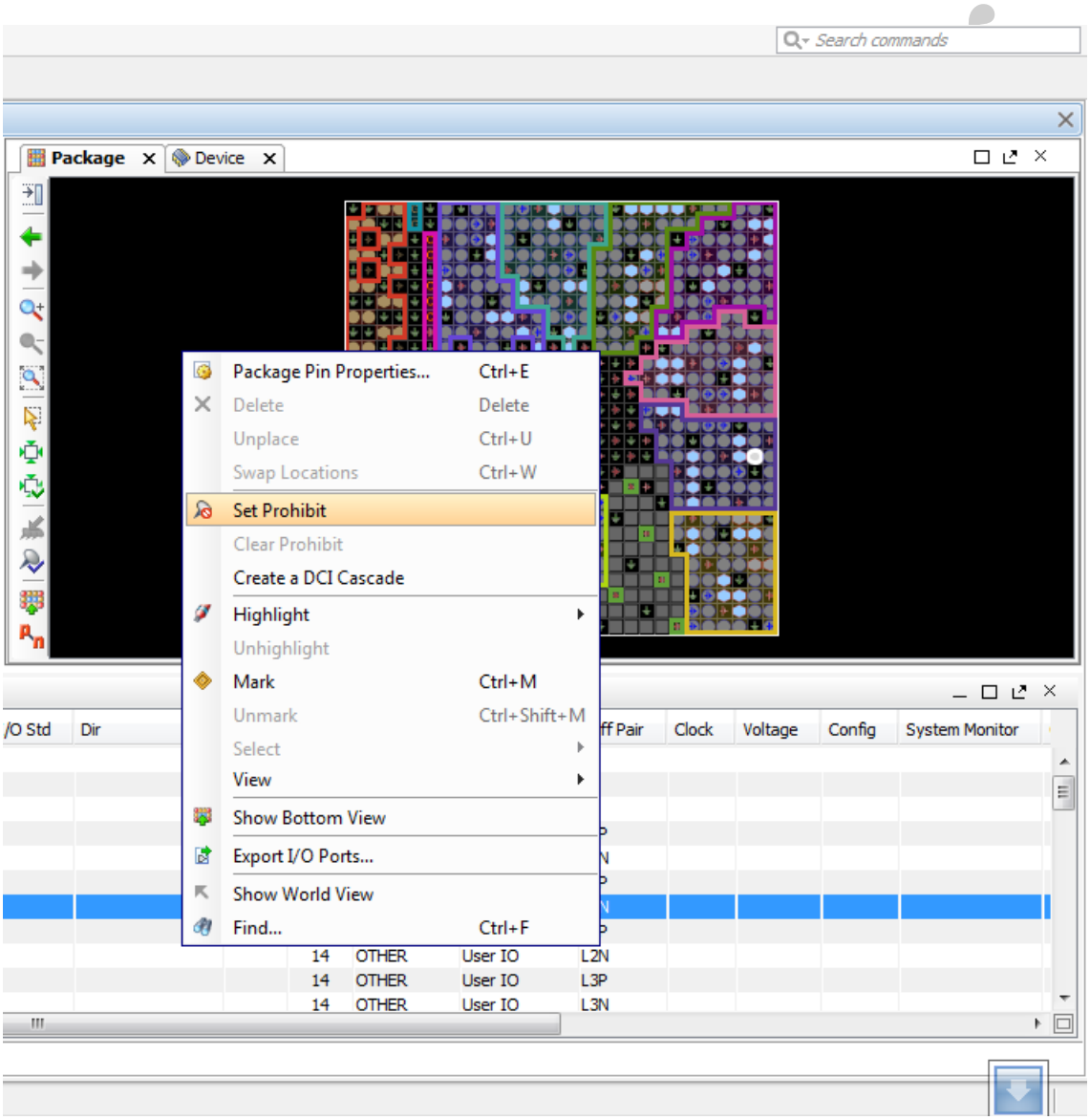


شکل (۲-۴۹) انتخاب دستگاه سازگار

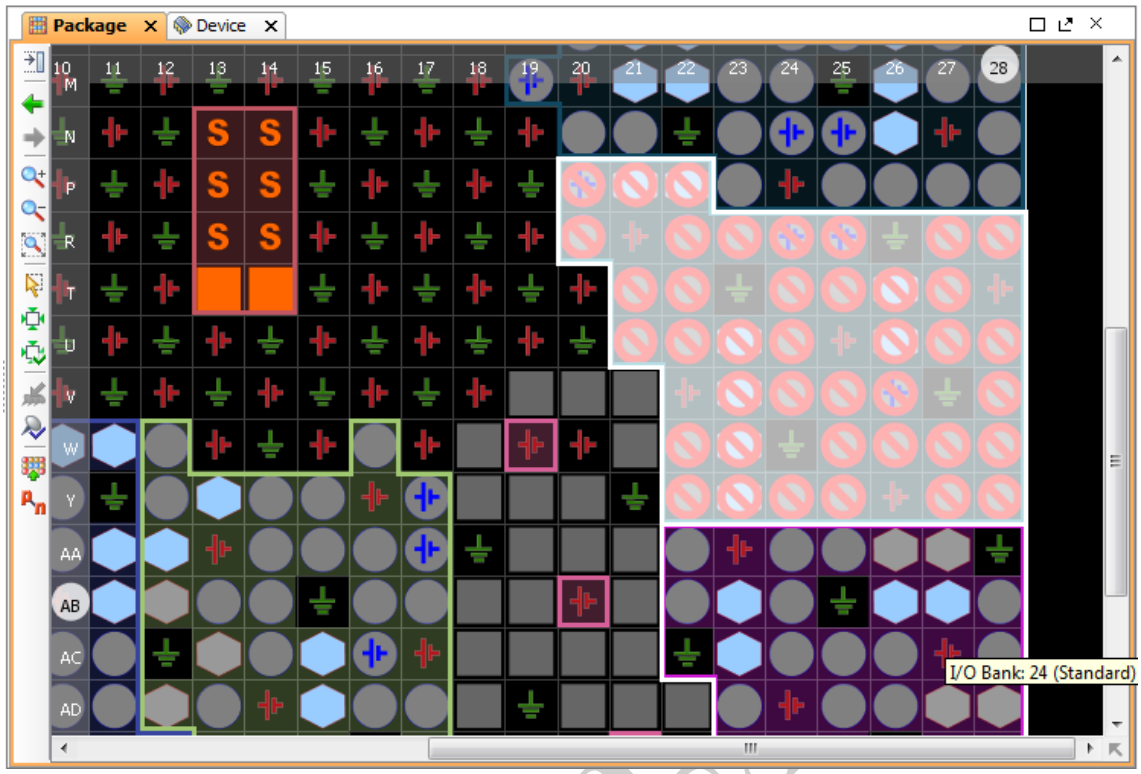
www.ICEEP.ir

۲-۲-۴- ایجاد محدودیت

شما می‌توانید به صورتی دستی یک یا چند پایه و یا یک بانک را غیر فعال کنید برای این کار با انتخاب پایه و یا بانک مربوطه از پنجره‌ی Package Pins روی آن یا پنجره‌ی Package راست کلیک کرده و عبارت Set prohibit را انتخاب کنید.



شکل (۲-۵۰) ایجاد محدودیت

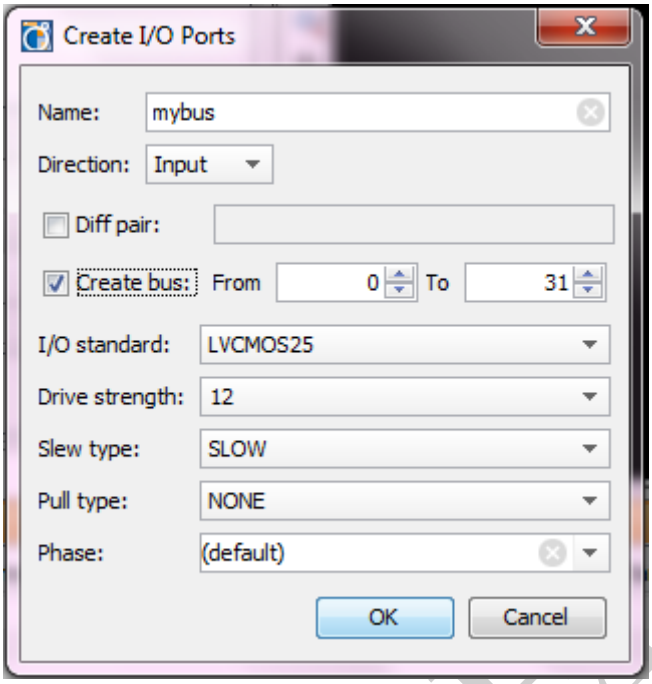


شکل (۲-۵۱) نتیجه‌ی غیر فعال کردن بانک ۱۴

۲-۲-۵- ایجاد و پیکربندی پایه‌های I/O

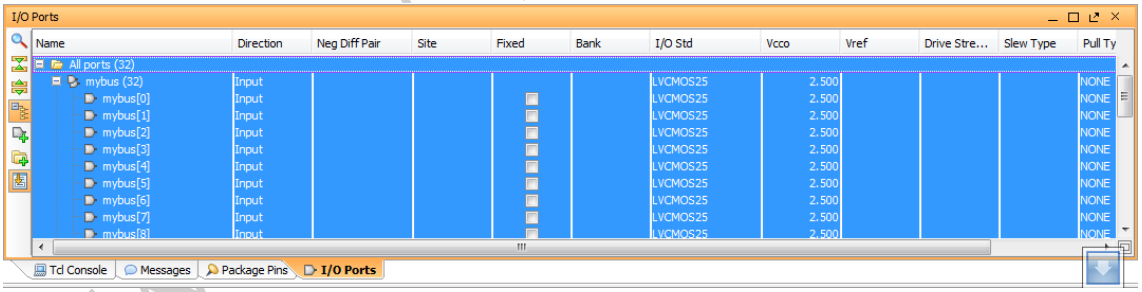
از مسیر Window > I/O Ports پنجره‌ی I/O Ports را باز کرده و با راست کلیک کردن روی آن عبارتCreate I/O Ports را بزنید.

www.ICEE



شکل (۲-۵۲) پنجره‌ی تعریف I/O

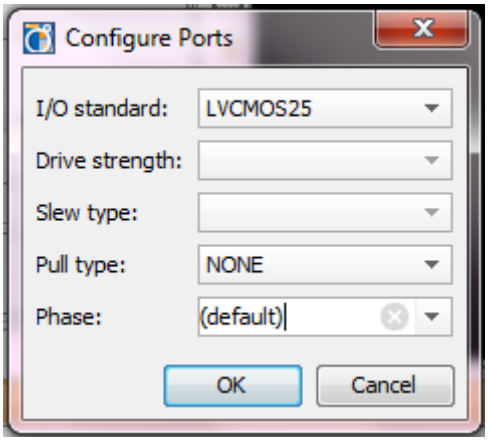
گزینه‌های پنجره را مطابق شکل انتخاب و تایید کنید. درنهایت لیست I/Oهای تعریف شده وارد پنجره‌ی I/O می‌شود.



شکل (۲-۵۳) پنجره‌ی I/O Ports

برای پیکربندی I/Oهای ایجاد شده دوباره راست کلیک کرده و عبارت Configure I/O Ports را انتخاب کنید. با انجام این عمل پنجره زیر باز می‌شود که می‌توانید گزینه‌های موجود در آن را تغییر دهید.

www.ICEEP.ir



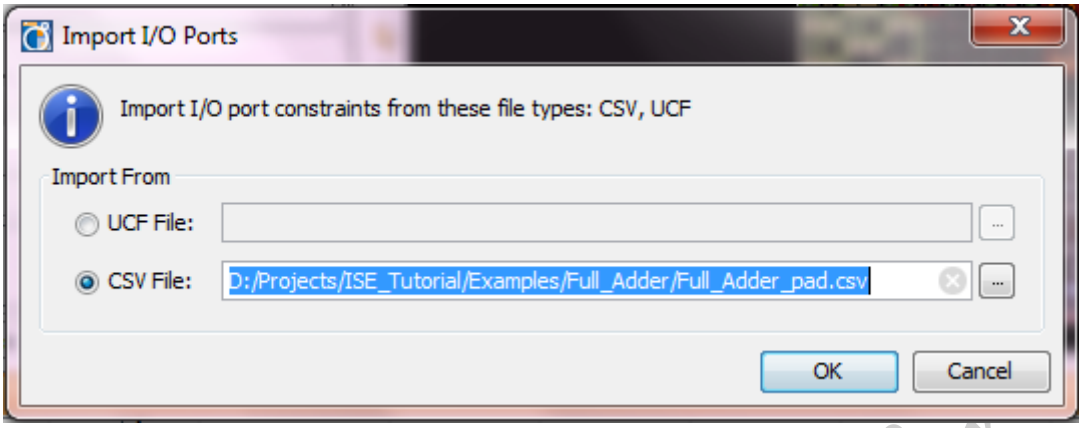
شکل (۲-۵۴) پنجره‌ی پیکربندی I/Oها

با انجام Edit > Undo تمام پورته‌ای ایجاد شده را از بین ببرید.

۲-۲-۶- وارد کردن لیست I/O

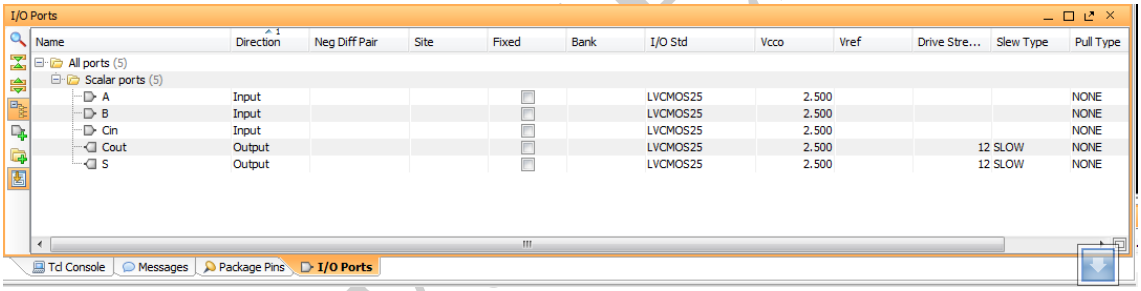
در یک پروژه‌ی I/O می‌توان انواع فایل‌هایی که دارای لیست پایه هستند به پروژه اضافه کرد. این فایل‌ها فایل ucf و یا csv است. در اینجا می‌خواهیم فایل csv پروژه‌ی جمع‌کننده را وارد این پروژه کنیم برای این کار در Flow Nevigator روی Import I/O Ports کلیک کرده و در پنجره‌ی باز شده فایل ucf را انتخاب و فایل جمع‌کننده را انتخاب کنید.

www.ICEEP.ir



شکل (۲-۵۵) انتخاب فایل csv

پس از انجام این عمل در پنجره‌ی I/O Ports لیست پایه‌های فایل اضافه شده را مشاهده خواهید کرد.



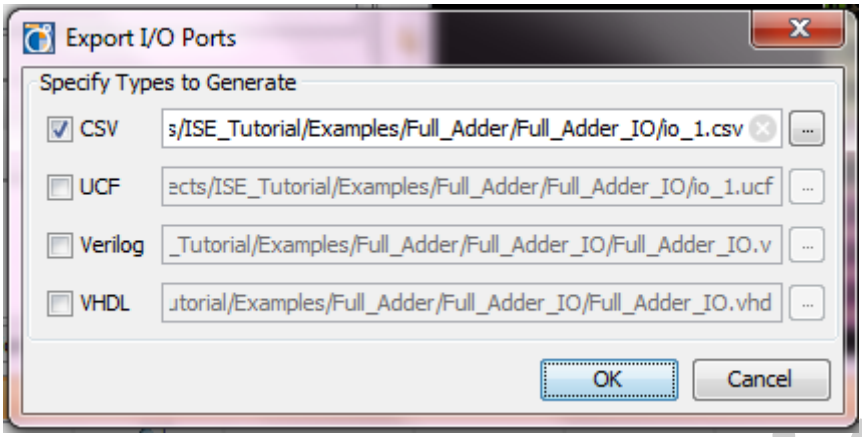
شکل (۲-۵۶) لیست پایه‌های جمع‌کننده

۲-۲-۷- خارج نمودن فایل تخصیص پایه‌های I/O

فایل تخصیص پایه می‌تواند با پسوند ucf، csv و یا با فرمت VHDL و Verilog تولید شود.

برای تولید این فایل در Flow Nevigator روی گزینه‌ی Export I/O Ports بروید. در این حالت در پنجره‌ی باز شده نوع فایل و نام و مسیر مربوط به ذخیره را انتخاب و. تایید کنید.

www.ICEEP.ir

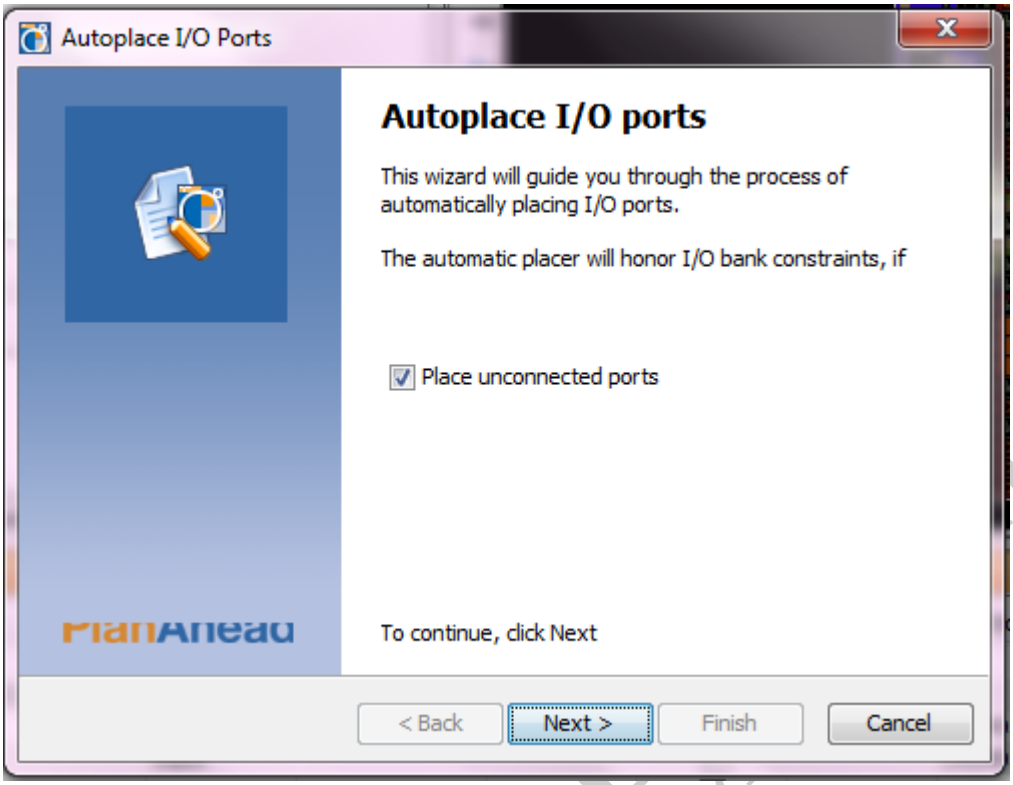


شکل (۲-۵۷) تولید فایل تخصیص پایه

۲-۲-۸- جایابی اتوماتیک پایه‌های I/O

PlanAhead راه‌های گوناگونی برای انجام عملیات جایابی به کاربر معرفی می‌کند. یکی از این راه‌ها جایابی اتوماتیک است که در آن خود نرم‌افزار عملیات جایابی را با وفادار ماندن به قوانین بانک‌های I/O انجام می‌دهد. برای استفاده از این نوع جایابی روی پنجره‌ی I/O Ports راست کلیک کرده و عبارت Auto-Place I/O Ports را انتخاب کنید. با این کار پنجره‌ای مانند شکل زیر باز می‌شود.

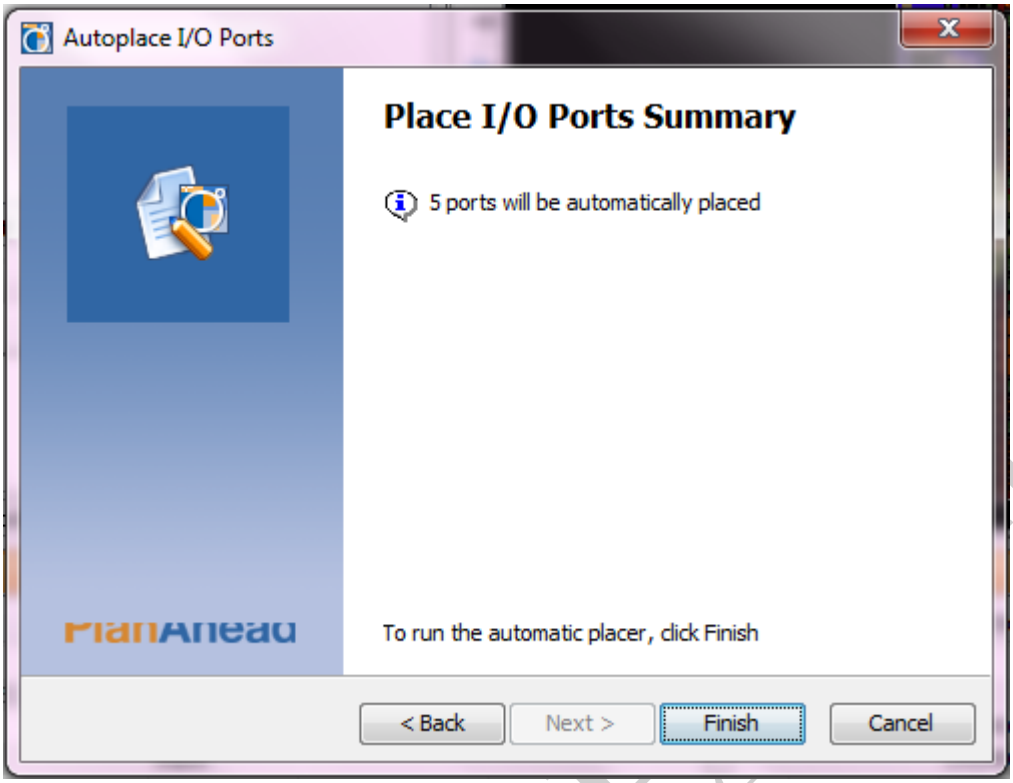
www.ICEEP.ir



شکل (۲-۵۸) پنجره‌ی جایابی اتوماتیک(۱)

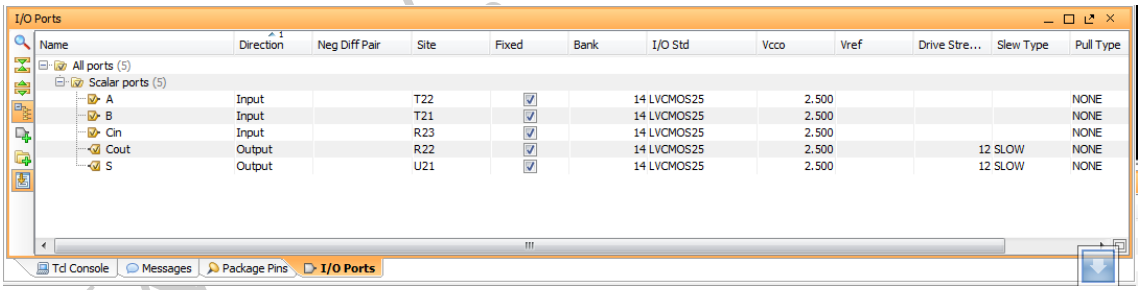
بدون هیچ اقدامی بعدی را بزنید. در پنجره‌ی بعدی بعد از کنترل خلاصه اتمام را بزنید.

www.ICEEP.ir



شکل (۲-۵۹) پنجره‌ی جایابی اتوماتیک(۲)

در نهایت عملیات جایابی انجام گرفته و لیست پایه‌ها در I/O Ports به شکل زیر در می‌آید.



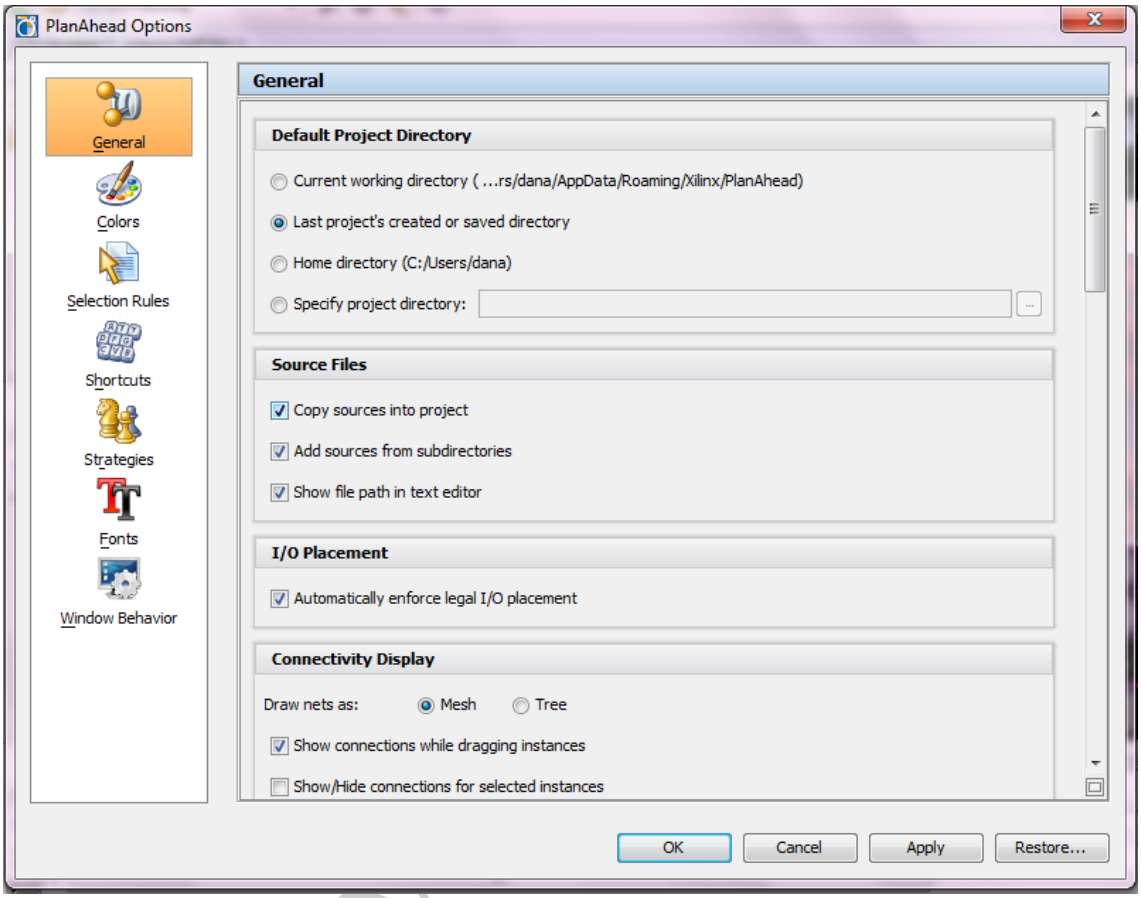
شکل (۲-۶۰) لیست پایه‌ها بعد از جایابی

۲-۲-۹- فعال و غیر فعال DRC

PlanAhead امکان چک کردن درستی عملیات تخصیص پایه را دارد. برای این کار از منوی

Copyright © 2013 ICEEP, University of Tehran

Tools >Options را انتخاب کرده و در برگه ی General، Automatically Enforce Legal I/O را تیک بزنید.



شکل (۲-۶۱) کنترل درستی عملیات تخصیص پایه

۲-۲-۱۰- روش‌های دیگر جایابی پایه‌های I/O

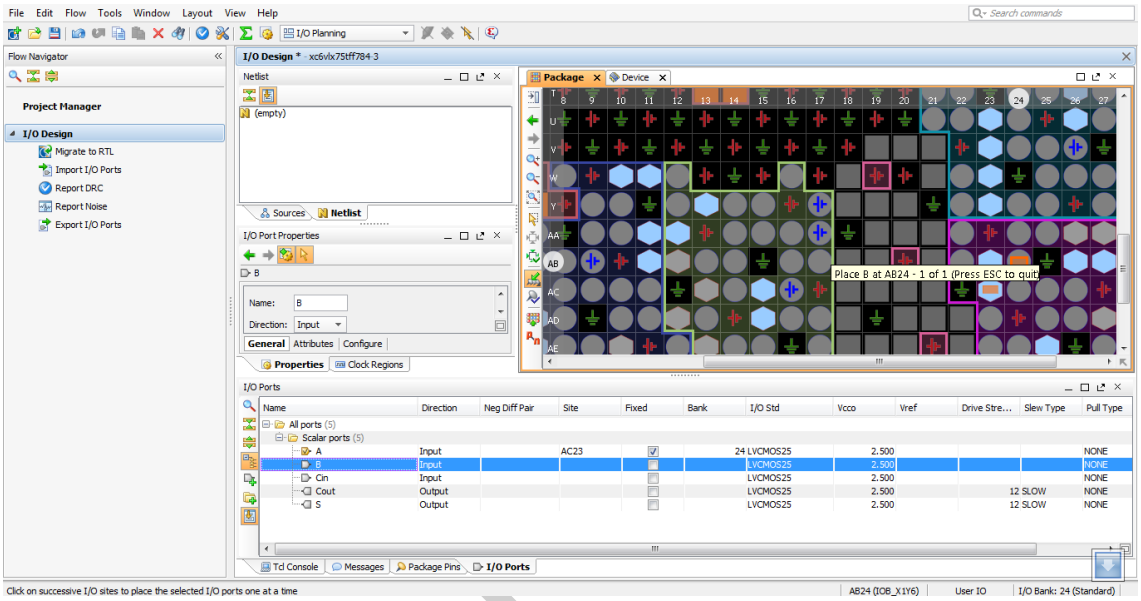
برای کنترل بیشتر عملیات جایابی، میتوان جایابی اتوماتیک را رها کرده و به گزینه‌های دیگری مراجعه کنید که در ادامه به بررسی آن‌هامی‌پردازیم:

- جایابی پی در پی[۱]

[۱] Sequentially

www

برای این نوع جایابی روی یک یا چند پایه، به پنجره‌ی I/O Ports بروید و انتخابشان کنید و با راست کلیک کردن روی آنها گزینه‌ی Place I/O Ports Sequentially را انتخاب کنید.سپس روی پایه‌ی مورد نظرتان در پنجره‌ی Package رفته و روی آن کلیک کنید اگر چند پایه را انتخاب کرده اید این عملیات انتخاب پایه تا تخصیص پایه به آخرین پایه ادامه می‌یابد.



شکل (۲-۶۲) اختصاص پایه ترتیبی

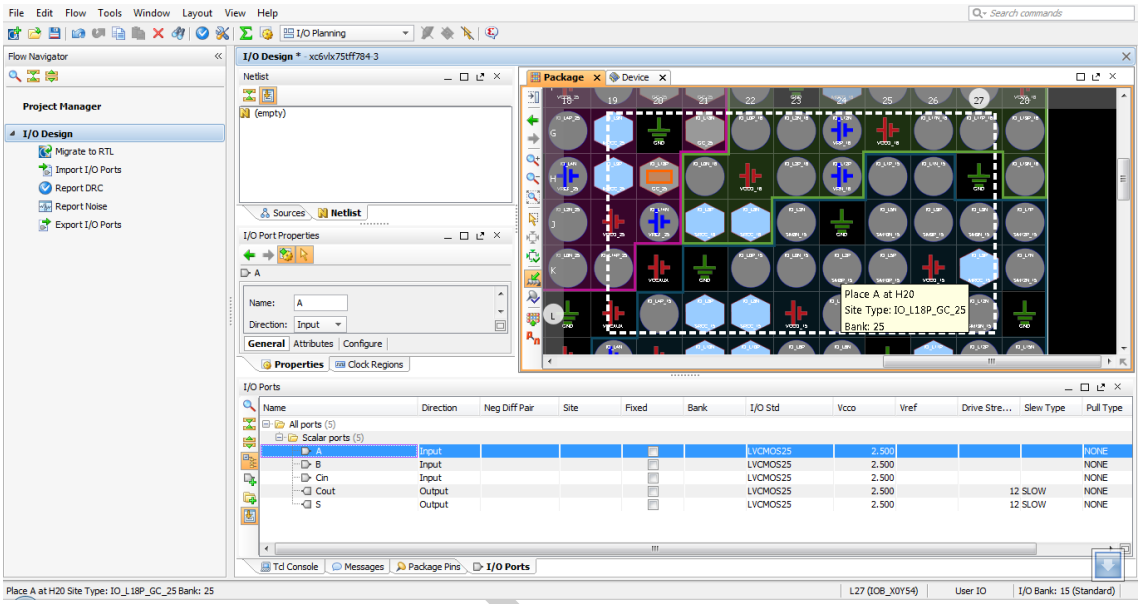
- جایابی در بانک‌های I/O

برای جایابی پایه‌ها در بانک‌های I/O مانند حالت قبل عمل می‌کنیم اما در مرحله راست کلیک روی پایه برای این قسمت گزینه‌ی Place I/O Ports in an I/O Bank را انتخاب می‌کنیم. در این حالت با توجه به تعداد پایه منتخب چند پایه همراه موس روی Package حرکت کرده تا اینکه جای آن را در بانک مخصوصی تعیین نماییم. در این حالت با رفتن روی هر بانک شماره‌ی آن نشان داده می‌شود و تعداد پایه‌های قابل جایابی در آن مشخص می‌شود.

www.

- جایابی ناحیه‌ای

در این حالت هم مانند حالت قبل پایه را انتخاب و با راست کلیک کردن روی آن Place I/O Ports in an I/O Bank را انتخاب کنید. خواهید دید که موس به شکل به علاوه در می‌آید تا شما ناحیه ای که می‌خواهید پایه‌ها در آن باشد را تعیین کنید.



شکل (۲-۶۳) تعیین پایه در ناحیه

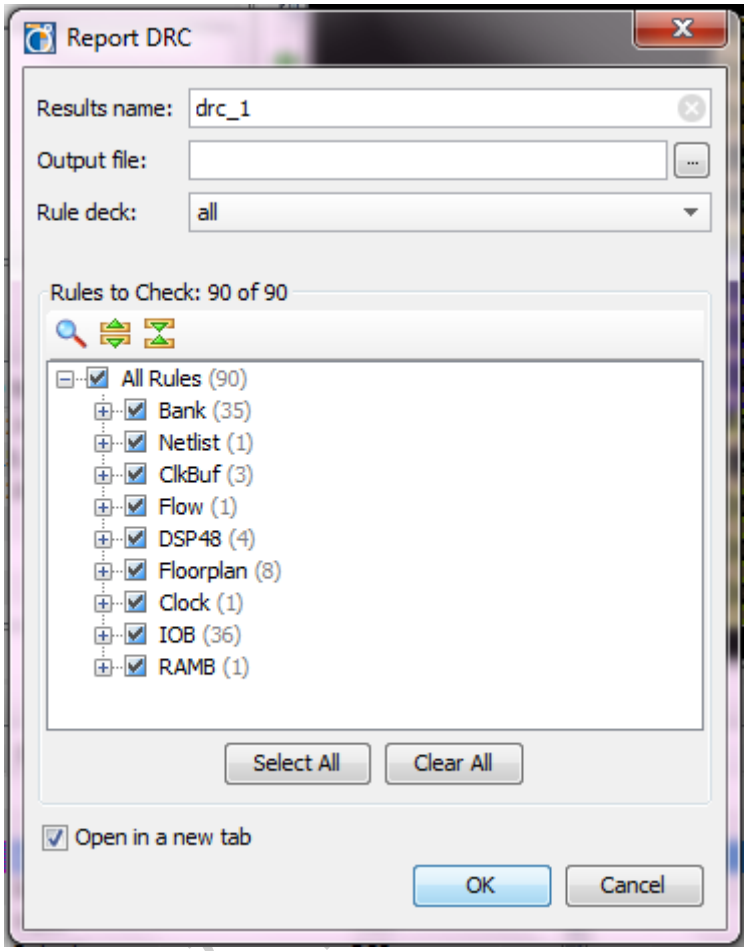
در هر کدام از حالت‌های جایابی در بانک یا ناحیه اگر بخش انتخاب شده دارای تعداد پایه کمتری نسبت به تعداد انتخاب شده باشد، نرم‌افزار به شما اجازه می‌دهد که بانک یا ناحیه دیگری را برای جایابی پایه‌های اضافی انتخاب کنید.

۲-۲-۱۱- اجرای DRC

پس از انجام عملیات جایابی برای اجرای DRC، Tools > DRC Report را بزنید یا از

www.

Flow Nevigator، DRC Report را انتخاب کنید.



شکل (۲-۶۴) اجرای DRC

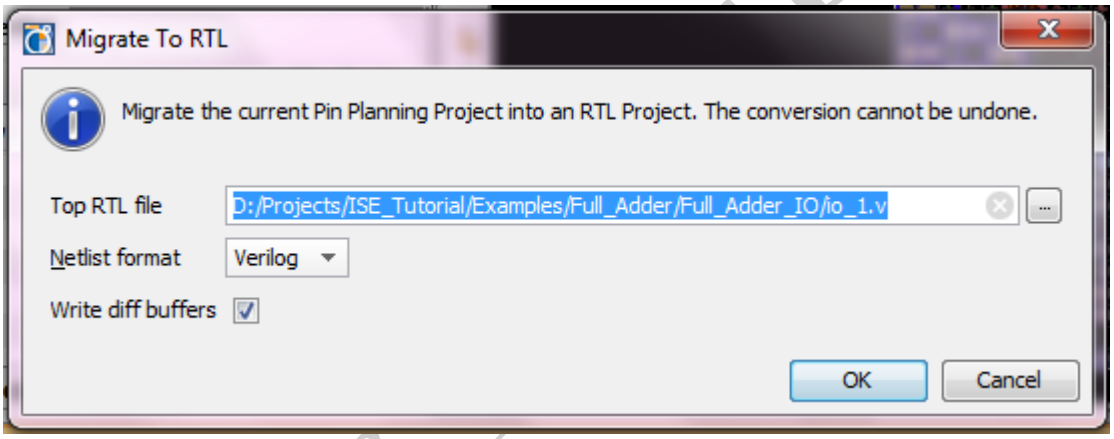
برای گزارش نام انتخاب کرده و تایید کنید.

در نهایت اگر با پیام No violations found مواجه شدید به این معنی است که خطایی وجود ندارد در غیر این صورت خطاها در پایین صفحه به شما نشان داده خواهد شد.

www.....ir

۲-۲-۱۲-حرکت به سمت طراحی RTL

یک پروژه‌ی I/O Planing می‌تواند نقطه‌ی آغازی برای ایجاد یک پروژه‌ی RTL باشد. زمانی که در I/O Planing عملیات جایابی انجام شد، می‌توان نتایج را به یک پروژه‌ی RTL انتقال داد. برای این که نتیجه به صورت یک فایل VHDL یا Verilog ذخیره شود، روند File > Migrate to RTL را طی کرده و یا از Flow Nevigator، Migrate to RTL را انتخاب کنید و در پنجره‌ی باز شده محل و نوع فایل خروجی را انتخاب نمایید.



شکل (۲-۶۵) حرکت به سمت طراحی RTL

۲-۲-۱۳-آنالیز اختلال[۱]

PlanAhead امکان آنالیز اختلالات را در دستگاه‌های مختلف فراهم کرده است. برای استفاده از این امکان روند Tools > Report Noise را طی کرده و یا از Flow Nevigator، Report Noise را انتخاب کنید . در این حالت بسته به نوع دستگاه آنالیز SSN[۲] و یا SSO[۱] انجام می‌گیرد.

---

۱ Noise

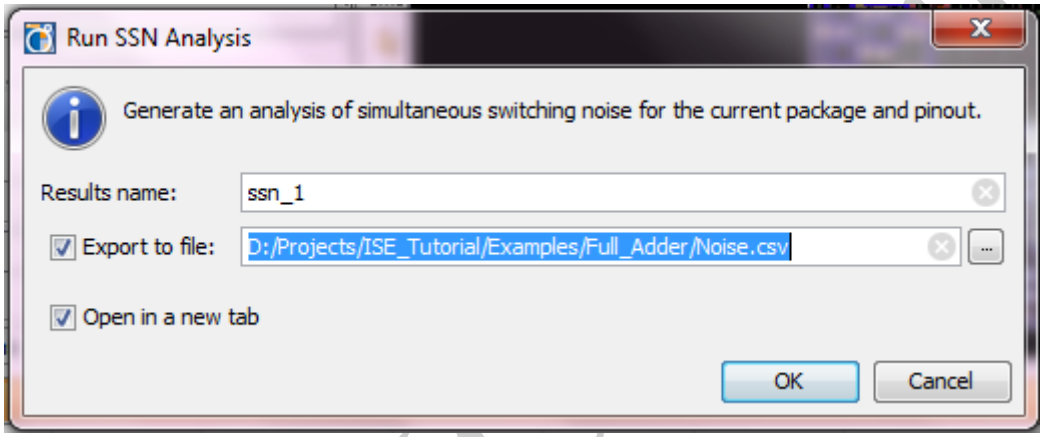
۲ Simultaneous Switching Noise

www.ICEEP.ir

- آنالیز SSN

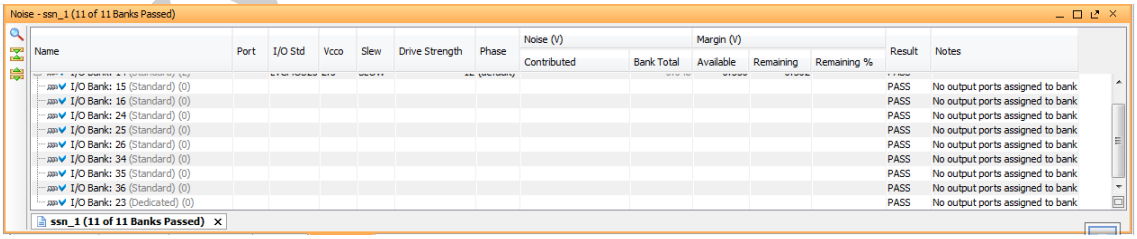
این نوع آنالیز در دستگاه‌های Spartan-6، Virtex-6، Virtex-7، Kintex™-7 و Artix™-7 انجام می‌شود و محاسباتی روی خرابی یک خروجی، هنگام Switch کردن همزمان خروجی‌های دیگر انجام می‌دهد.

پنجره ی آنالیز SSN به شکل زیر است:



شکل (۲-۶۶) آنالیز SSN

در قسمت Export to file نام و نوع فایل خروجی را انتخاب و تایید کنید.پس از انجام این عملیات، گزارش این آنالیز در پایین صفحه قابل دستیابی است.



شکل (۲-۶۷) گزارش آنالیز SSN

[1] Simultaneous Switching Output

Copyright © 2013 ICEEP, University of Tehran

- آنالیز WASSO[1]

این نوع آنالیز برای چک کردن اعتبار تمامیت علائم[2] استفاده می‌شود و در دستگاه‌های Spartan-6، Virtex-6، Virtex-7 ، Kintex-7 و Artix-7 اطلاعات، کمتری نسبت به آنالیز SSN نشان می‌دهد. برای انجام این آنالیز روندی مشابه آنالیز SSN انجام می‌شود. دقت کنید که نوع این آنالیزها بسته به دستگاه می‌باشد.

www.ICEEP.ir

[1] Weighted Average Simultaneous Switching Output

[2] Signal Integrity

واژه‌نامه

A	
Automatic	اتوماتیک، خودکار
B	
Breakpoint	نقطه‌ی انفصال
C	
Clock Region	ناحیه ی ساعت
Constraint	محدودیت
Core Generator	تولیدکننده‌ی هسته
D	
Debugging	اشکال‌زدایی
Design Analysis	آنالیز طراحی
Design Rule Check	بررسی قوانین طراحی
Drag and Drop	کشیدن و انداختن
Dynamic	پویا
E	
F	
Full View	دید کامل

www.ICEEP.ir

G	
Generate	تولید کردن
H	
Hardare Design Level	طراحی در سطح سخت‌افزار
I	
I/O Pin Planing	طرح‌ریزی پایه‌های I/O
Information	اطلاعات
J	
K	
L	
M	
Manual	دستی
Marker	نشان‌گذار
Math Functions	توابع ریاضی
N	
Noise	اختلال

www.ICEEP.ir

O	
Objects	اشیا
P	
Part Selection	انتخاب بخش
Planning	طرح‌ریزی
Q	
R	
Restart	شروع دوباره
S	
Sequentially	پی در پی
Signal Integrity	تمامیت علائم
Simultaneous Switching Noise	اختلال ناشی از تغییر هم‌زمان
Simultaneous Switching Output	خروجی تغییر هم‌زمان
Spreadsheet	صفحه‌ی گسترده
Static	ایستا
Sub-Module	زیر واحد
Subtractor	تفریق‌کننده

www.CEEP.ir

T	
Tab	برگه
Toolbar	منوی اصلی
U	
V	
W	
Weighted Average Simultaneous Switching Output	میانگین وزن‌دار خروجی تغییر هم‌زمان
X	
Y	
Z	
Zoom	بزرگنمایی

www.ICEEP