راهنمای استفاده از نرم‌افزار ISE

بر اساس نسخه ISE 14.5

Core Generator

(تولیدکننده‌ی هسته)

راهنمای پیش‌رو برای آموزش کار با نرم‌افزار ISE متعلق به شرکت Xilinx تهیه شده است.

کلیه حقوق این اثر متعلق به گروه ICEEP دانشگاه تهران است. هر گونه تکثیر از این اثر منوط به اجازه‌ی کتبی پدیدآورندگان این راهنما در گروه ICEEP می‌باشد.

www.ICEEP.ir

روند بازبینی

نسخه	تاریخ	نسخه ISE
۱.۰	۹۲.۹.۳۰	١٤.٥

www.ICEEP.ir

فهرست

فصل ۱: پیشگفتار ٦

فصل ۲: تولیدکننده‌ی هسته ۸

۲-۱- ایجاد یک پروژه‌ی نمونه ۹

۲-۲- اضافه کردن هسته به پروژه ۱۳

۲-۳- بررسی پنجره‌ی تنظیم پارامترهاها به صورت کلی ۱۸

۲-٤- بررسی پنجره‌ی تنظیم پارامترهاها برای جمع‌کننده ۲۰

واژه‌نامه ۲٦

www.ICEEP.ir

فهرست شکل‌ها

شکل (۲-۱) ایجاد فایل بلوک اصلی(۱) ۹
شکل (۲-۲) ایجاد فایل بلوک اصلی(۲) ۱۰
شکل (۲-۳) تعیین ورودی و خروجی‌های بلوک ۱۱
شکل (۲-٤) تایید مشخصات ۱۲
شکل (۲-۵) کد اولیه‌ی بلوک اصلی ۱۳
شکل (۲-٦) انتخاب گزینه‌ی مورد نظر برای تولید هسته ۱٤
شکل (۲-۷) لیست دسته‌های هسته‌های ISE ۱۵
شکل (۲-۸) لیست هسته‌ها بر اساس نام ۱٦
شکل (۲-۹) انتخاب هسته‌ی جمع‌کننده بااستفاده از برگه‌ی دسته‌بندی شده ۱۷
شکل (۲-۱۰) خلاصه‌ی انتخاب هسته ۱۸
شکل (۲-۱۱) تنظیم پارامترهای هسته ۱۹
شکل (۲-۱۲) تنظیم پارامتر برای جمع‌کننده‌ی ساده‌ی تک بیتی ۲۲
شکل (۲-۱۳) HDL Functional Model ۲۳
شکل (۲-۱٤) HDL Instantiation Template ۲۳
شکل (۲-۱۵) کد کامل بلوک اصلی ۲٤
شکل (۲-۱٦) Testbench ۲۵
شکل (۲-۱۷) نتیجه شبیه‌سازی با ISim ۲۵

www.ICEEP.ir

فصل اول

پیشگفتار

در گفتارهای راهنمای نصب و راه‌اندازی سریع از سری راهنماهای نرم‌افزار Xilinx ISE Design Suite نحوه‌ی نصب و کار با این نرم‌افزار به صورت کلی تبیین شد. در این راهنما با بخش تولید کننده‌ی هسته[1] آشنا می‌شوید. با مطالعه‌ی این راهنما می‌آموزید چگونه یک هسته را تولید و در کنار بقیه فایل‌های طراحی از آن استفاده کنید.

بدیهی است گفتار پیش رو برای آن دسته از افرادی که راهنماهای قبل از این سری را مطالعه کرده‌اند و یا افرادی که با این نرم‌افزار آشنایی ابتدایی داشته و خواهان کسب اطلاعات بیشتر در این زمینه هستند، مفید خواهد بود.

شرکت Xilinx تعدادی هسته‌ی آماده با عملکردهای پرکاربرد را ایجاد کرده و امکانی را در نرم‌افزار ISE به وجود آورده که به کاربر اجازه استفاده از این هسته‌ها را می‌دهد. در واقع کاربر قادر است با استفاده از بخش تولیدکننده‌ی هسته هسته‌ی مورد نظر خود را انتخاب و پارامترهای آن را مطابق میل خود تنظیم کند. سپس هسته‌ی مورد نظر به صورت خودکار تولید شده و می‌توان از آن در طراحی اصلی استفاده نمود.

[1] Core Generator

www.ICEEP.ir

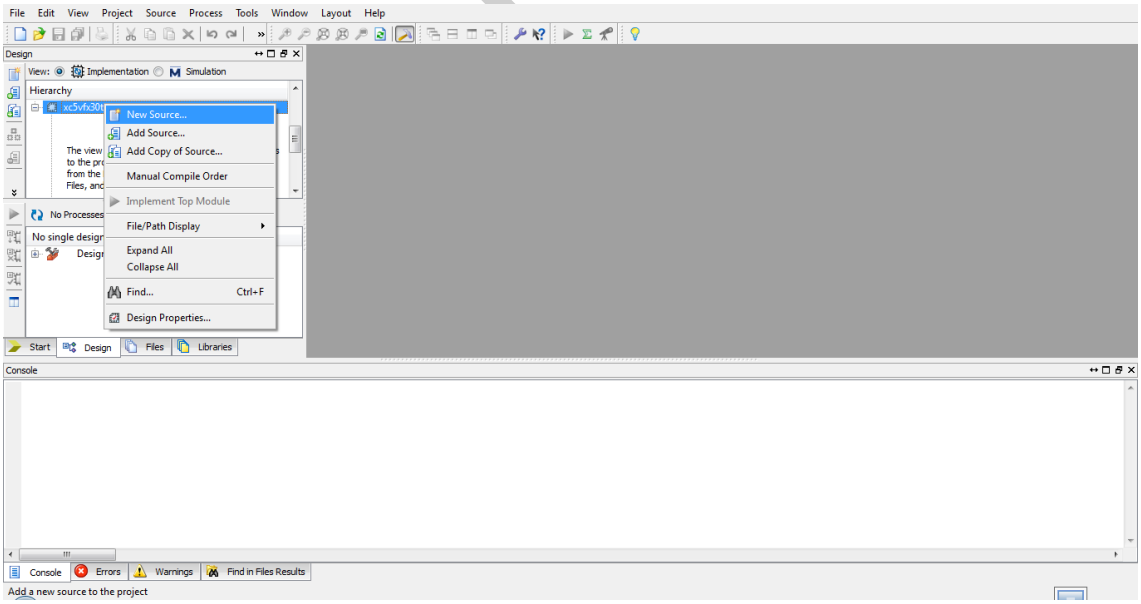
فصل دوم

تولیدکننده‌ی هسته

در ابتدا برای به کار گیری یک هسته باید یک پروژه ایجاد نمایید. سپس هسته را با پارامترهای مناسب تولید و به پروژه اضافه نمایید. در ادامه یک بار این روند را با هم برای بلوک جمع‌کننده‌ی کامل انجام می‌دهیم.

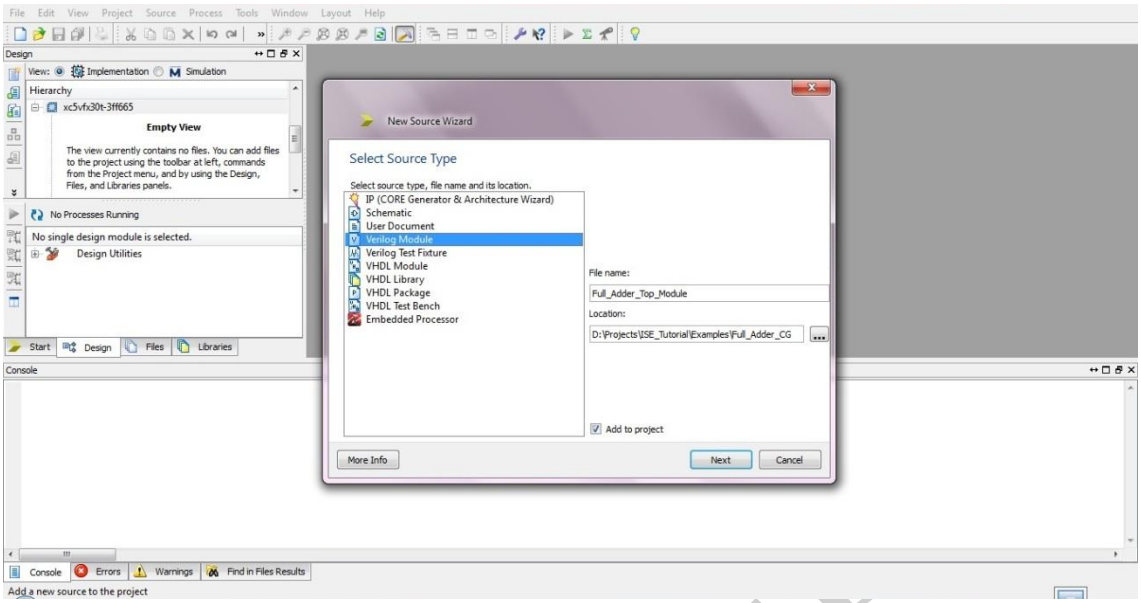
۲-۱- ایجاد یک پروژه‌ی نمونه

همان طور که گفتیم اولین قدم در روند به کارگیری هسته ایجاد پروژه است. در واقع در ابتدا شما نیاز دارید یک پروژه جدید بسازید. سپس فایل بلوک اصلی خود را از نوع HDL ایجاد کنید تا بعد از ایجاد هسته‌ی جمع‌کننده از آن در فایل اصلی نمونه بگیرید. توجه داشته باشید حتی اگر هسته تنها فایل پروژه هم باشد نمی‌تواند بلوک اصلی باشد بنابراین حتما نیاز به یک فایل اصلی برای نمونه‌گیری از هسته دارید.



شکل (۲-۱) ایجاد فایل بلوک اصلی(۱)

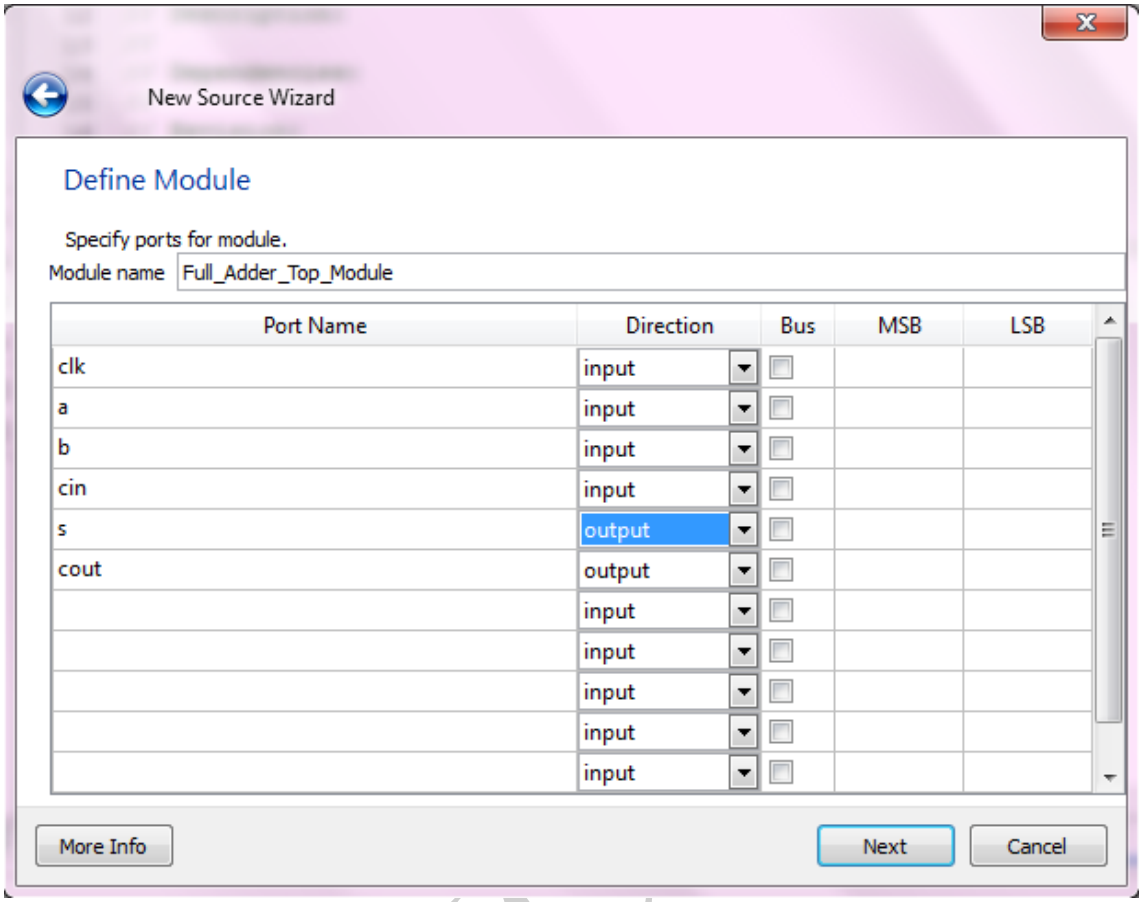
ICEEP.ir



شکل (۲-۲) ایجاد فایل بلوک اصلی(۲)

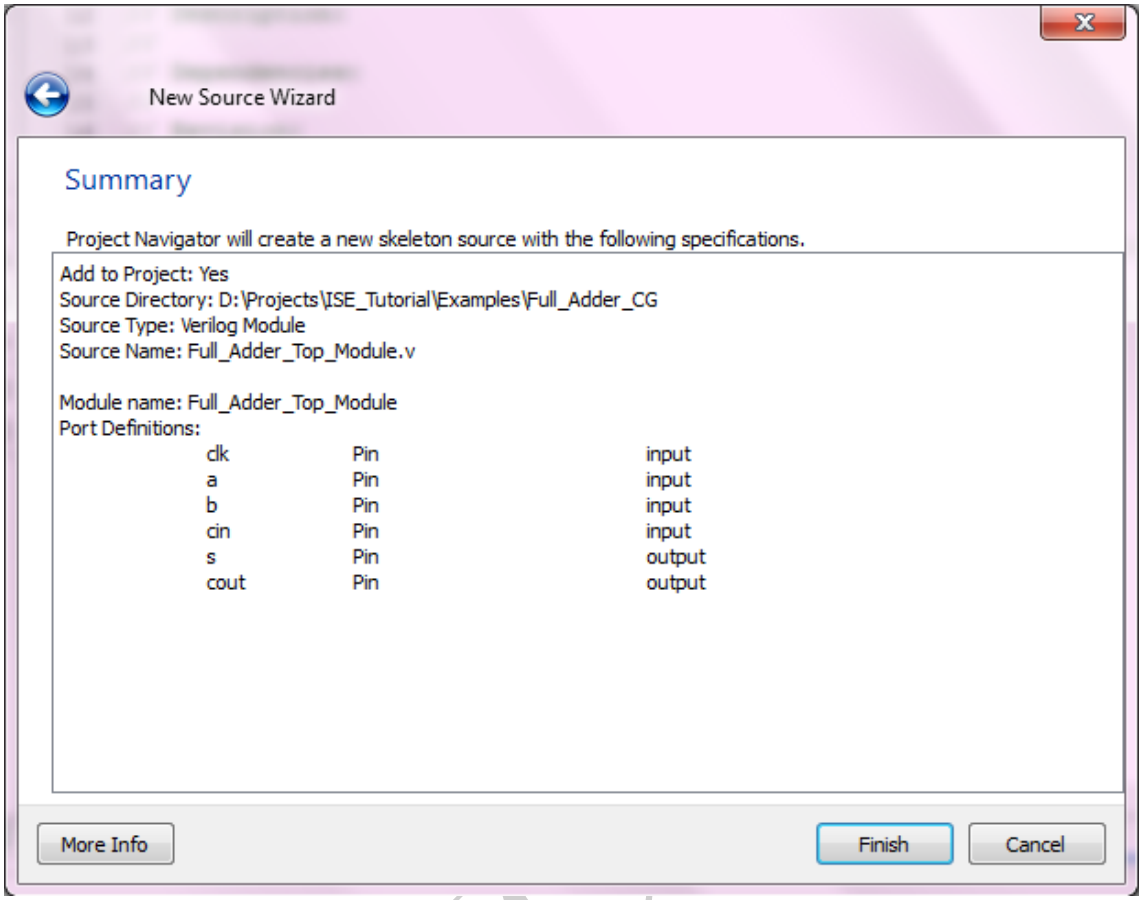
در روند ایجاد بلوک اصلی ورودی و خروجی‌ها را تعیین کرده و در نهایت خلاصه‌ی مشخصات را تایید کنید. دقت کنید که هسته‌ی جمع‌کننده ترتیبی است بنابراین به سیگنال ساعت نیاز دارد.

www.ICEEP



شکل (۲-۳) تعیین ورودی و خروجی‌های بلوک

www.IC



شکل (۲-۴) تایید مشخصات

با انجام این کار کد زیر نمایش داده می‌شود.

www.IC

```
1  `timescale 1ns / 1ps
2  //////////////////////////////////////////////////////////////////////////////////
3  // Company:
4  // Engineer:
5  //
6  // Create Date:    08:44:06 11/20/2013
7  // Design Name:
8  // Module Name:    Full_Adder_Top_Module
9  // Project Name:
10 // Target Devices:
11 // Tool versions:
12 // Description:
13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 //////////////////////////////////////////////////////////////////////////////////
21 module Full_Adder_Top_Module(
22     input clk,
23     input a,
24     input b,
25     input cin,
26     output s,
27     output cout
28     );
29
30
31 endmodule
32
```

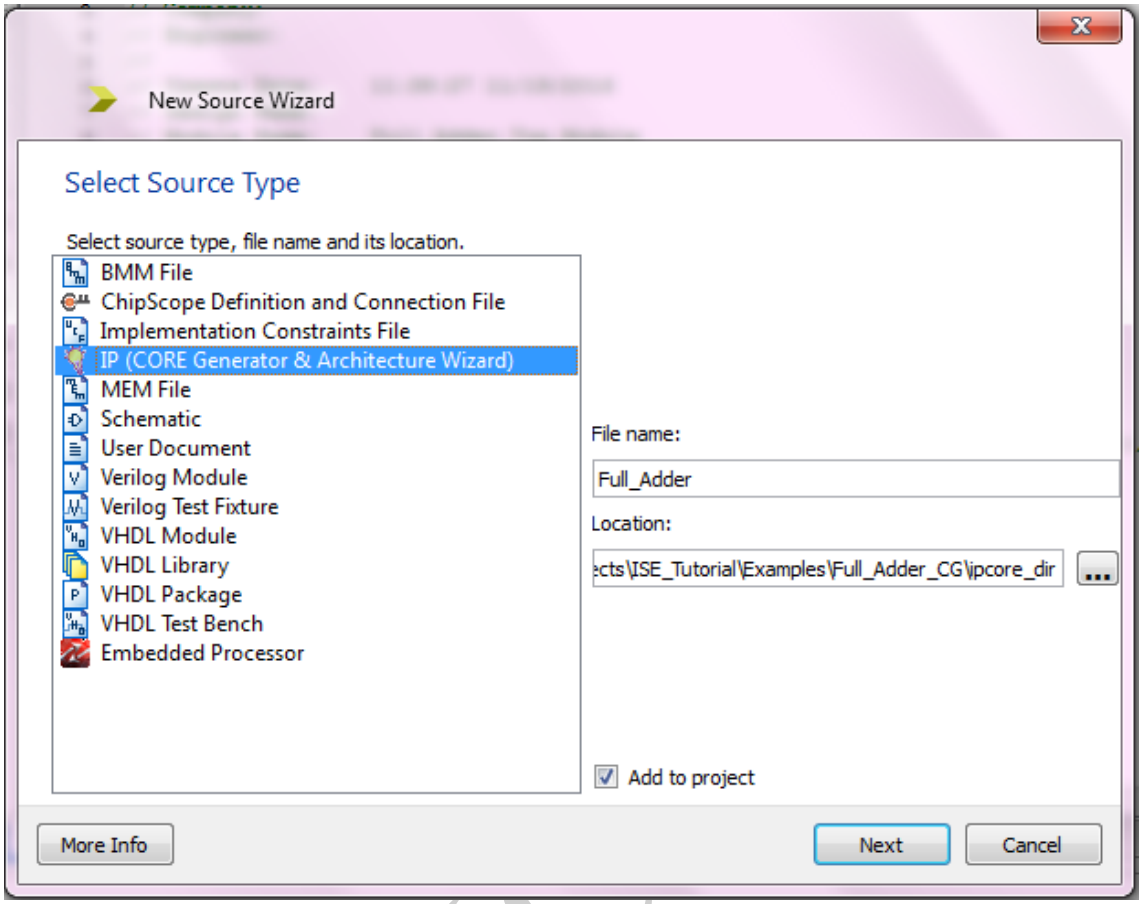
شکل (۲-۵) کد اولیه‌ی بلوک اصلی

فعلا این بلوک را به حال خود رها کنید. در این مرحله باید هسته‌ی مورد نظر را به پروژه اضافه کنید.

۲-۲- اضافه کردن هسته به پروژه

برای اضافه کردن هسته به پروژه دوباره در پنجره‌ی طراحی روی آیکون پروژه راست کلیک کرده و گزینه‌ی منبع جدید را انتخاب کنید با این تفاوت که در مرحله انتخاب نوع فایل روی عبارت IP (Core Generator & Architecture Wizard) بروید.

www.ICEEP

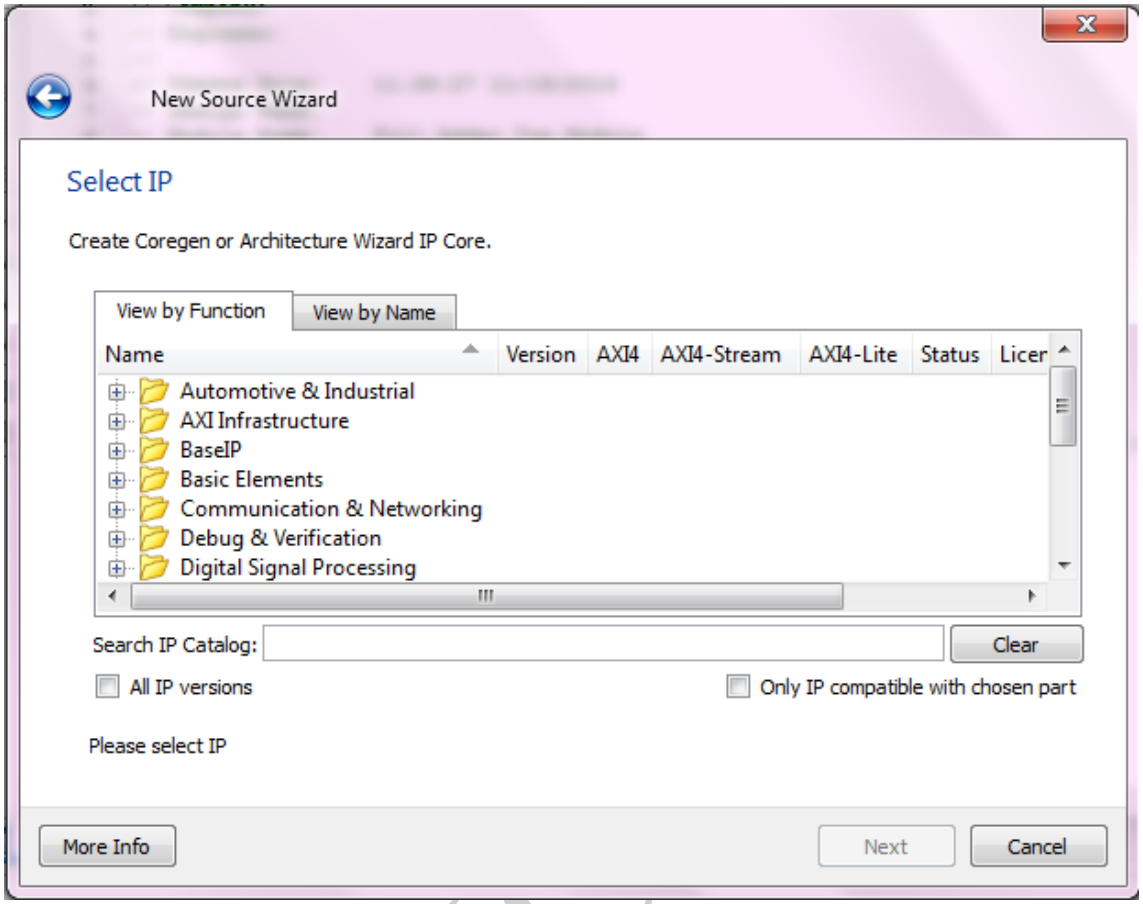


شکل (۲-۶) انتخاب گزینه‌ی مورد نظر برای تولید هسته

پس از این مرحله لیستی از تمام هسته‌های موجود در ISE نشان داده می‌شود. نمایش هسته‌ها به دو صورت است. در برگه[۱]ی نخست این هسته‌ها طبقه‌بندی شده‌اند و شما یا از قبل باید بدانید هسته‌ی مورد نظرتان در کدام دسته بوده و یا از نوع هسته تشخیص دهید که امکان حضور آن در کدام یک از دسته‌های مربوطه می‌باشد. اما در برگه دوم هسته‌ها با نامشان لیست شده اند. در قسمت پایین تر هم امکان جستجوی IPها توسط نامشان وجود دارد.

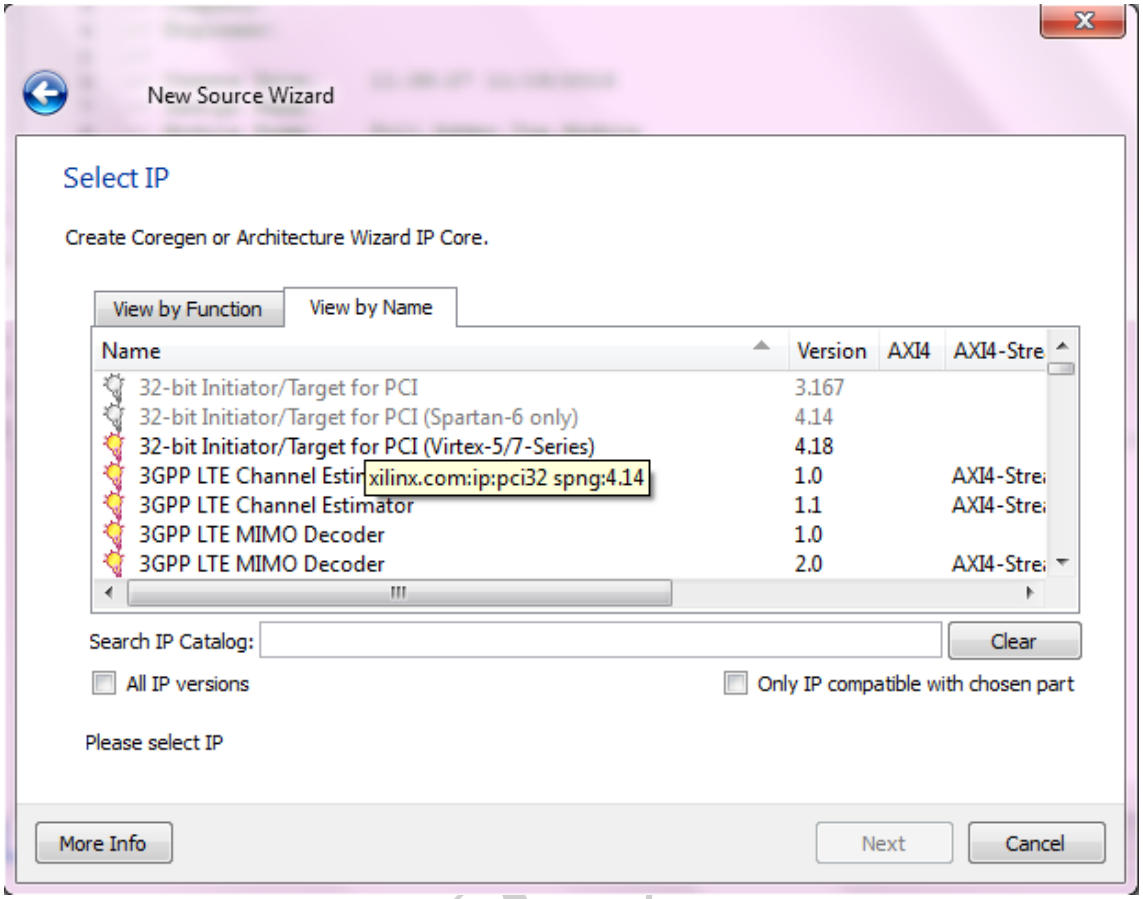
[۱] Tab

www.IC



شکل (۲-۷) لیست دسته‌های هسته‌های ISE

www.IC



شکل (۲-۸) لیست هسته‌ها بر اساس نام

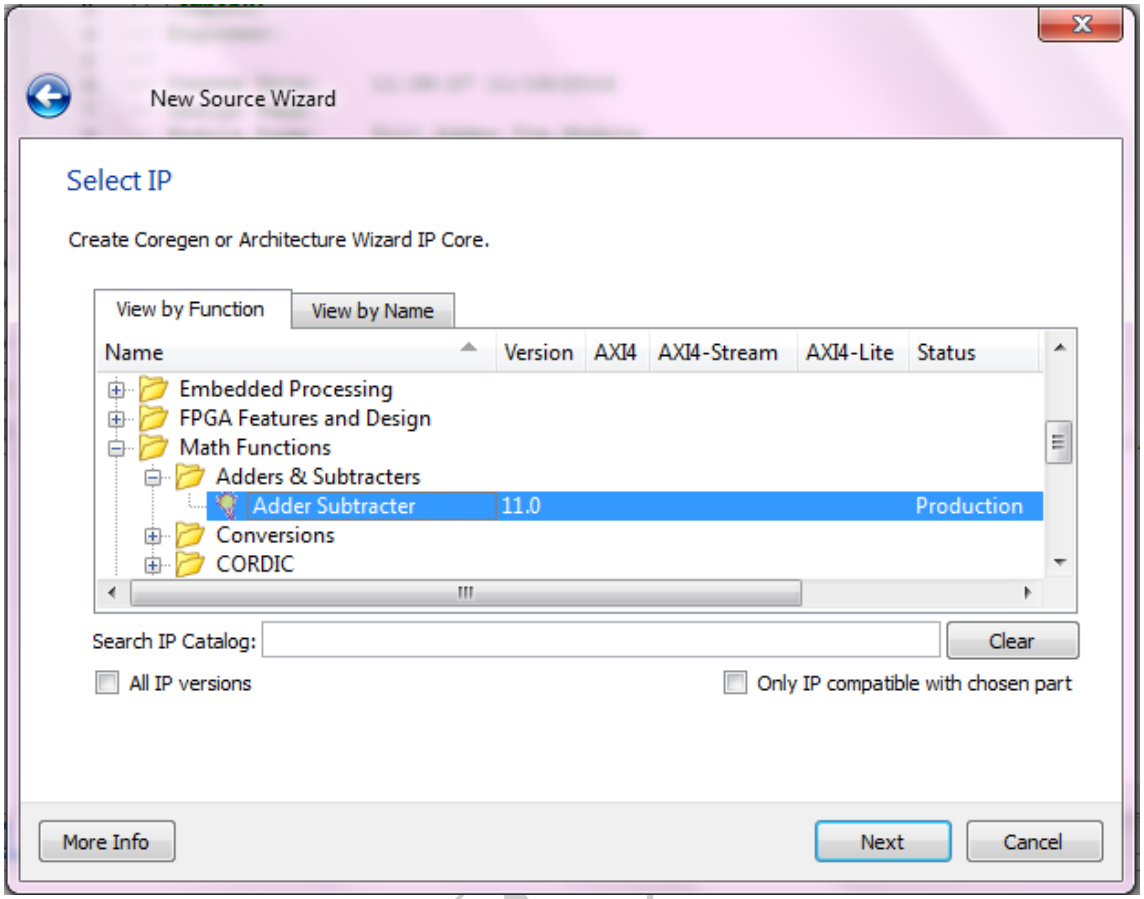
همان طور که در شکل ۲-۷ مشخص است عده ای از هسته‌ها با رنگ خاکستری نشان داده شده‌اند. این هسته‌ها در این نسخه از ISE یعنی نسخه‌ی WebPack غیرفعال بوده و در صورت نیاز به آنها باید از نسخه‌های دارای مجوز و قابل خریداری ISE استفاده کرد.

برای یافتن هسته‌ی جمع‌کننده اگر بخواهید از طریق برگه‌ی اول اقدام کنید، باید وارد دسته‌ی توابع ریاضی[۱] شده و از شاخه جمع‌کننده/تفریق‌کننده[۲] هسته‌ی مربوطه را انتخاب کنید. و یا اینکه از برگه دوم مستقیما نام جمع‌کننده/تفریق‌کننده را جستجو کنید.

[۱] Math Functions

[۲] Subtractor

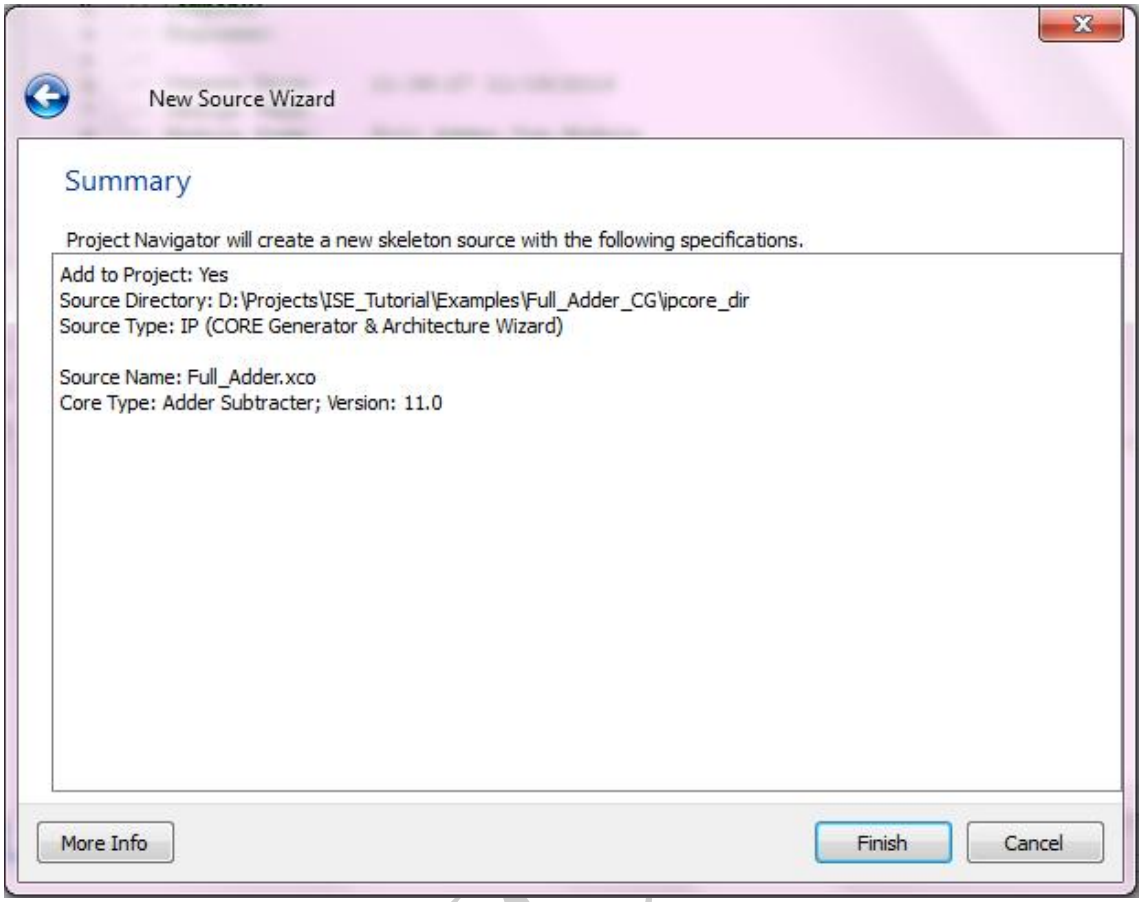
www.IC



شکل (۲-۹) انتخاب هسته‌ی جمع‌کننده بااستفاده از برگه‌ی دسته‌بندی شده

بعد از این مرحله پنجره‌ی خلاصه‌ی طراحی نشان داده می‌شود، آن را مطالعه و تایید کنید.

www.IC



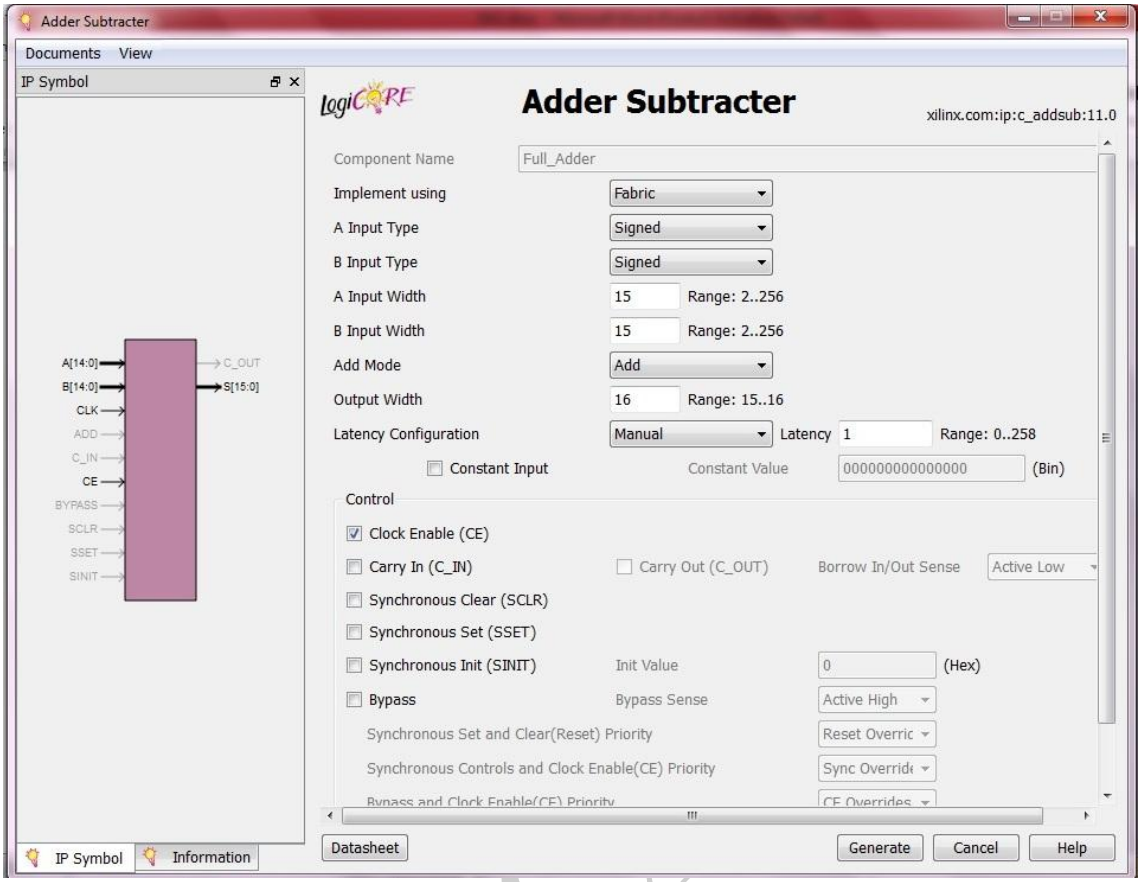
شکل (۲-۱۰) خلاصه‌ی انتخاب هسته

بعد از این زمان نرم‌افزار زمانی برای تولید فایل‌های هسته‌ی انتخابی نیاز دارد که این زمان بسته به نوع هسته و پیچیدگی آن ممکن است تا چند دقیقه طول بکشد. پس از طی این زمان نوبت به تنظیم پارامترهای هسته می‌رسد.

۲-۳- بررسی پنجره‌ی تنظیم پارامترهاها به صورت کلی

برای تنظیم پارامترهای هر هسته پنجره‌ای مانند شکل زیر نشان داده می‌شود.

www.IC



شکل (۲-۱۱) تنظیم پارامترهای هسته

این پنجره شامل دو بخش است. در بخش سمت راست با توجه به نوع هسته گزینه‌هایی برای هیئت‌بندی آن وجود دارد. در بخش سمت چپ دو برگه وجود دارد در برگه‌ی نماد IP شکلی ساده از هسته همراه ورودی‌ها و خروجی‌های فعال و غیرفعال نشان داده می‌شود. نوع ورودی‌ها و خروجی‌ها ثابت است و نمیتوان پورت جدیدی به آن‌ها افزود و یا به طور کامل آن‌ها را حذف کرد. تنها می‌توان عده از آن‌ها را فعال و یا غیرفعال نمود و یا اینکه در برخی از آن‌ها عرض بیت را هم می‌توان تغییر داد.

www.IC

در برگه‌ی اطلاعات[1] تعداد منابع مورد استفاده برای تولید هسته مشخص شده است. بدیهی است با تغییر پارامترهای هسته این تعداد نیز تغییر میکند.

در بخش سمت راست پایین عبارت Datasheet وجود دارد که در واقع یک فایل PDF حاوی اطلاعات مورد نیاز برای استفاده از هسته است. این اطلاعات شامل تعداد و نوع پورت‌های ورودی و خروجی، انواع ساختار پیاده‌سازی (برای بلوک‌هایی که با چند روش قابل پیاده‌سازی هستند) و سایر اطلاعات پایه‌ای و مفید برای کاربر می‌باشد. توصیه می‌شود برای اطلاع از نحوه‌ی تنظیم پارامترها حتما این فایل را مطالعه بفرمایید.

و اما در بدنه اصلی این بخش شما می‌توانید پارامترهای هسته را مطابق میل خود انتخاب کنید.

۲-۴- بررسی پنجره‌ی تنظیم پارامترهاها برای جمع‌کننده

با توجه به توضیح کلی بخش تنظیم پارامترها سراغ تنظیم پارامترهای جمع‌کننده می‌رویم. هسته‌ی جمع‌کننده برعکس آنچه تا به حال از آن بهره می‌گرفتیم یک جمع‌کننده ترتیبی با قابلیت Pipeline است که با سیگنال ساعت کار کرده و در هر سیکل ساعت یک داده را دریافت و نتیجه جمع را بعد از زمان قابل تنظیمی‌به بیرون می‌دهد.اگر نگاهی به Datasheet موجود بیندازید. اطلاعات مورد نیاز برای استفاده از آن را بدست خواهید آورد. سپس زمان تنظیم پارامترها فرا میرسد. لیست پارامترهای قابل تنظیم در این هسته عبارتند از:

Component Name: در اینجا نام طراحی نشان داده می‌شود و از آنجا که قبلا نام طراحی را

[1] Information

www.ICEEP.ir

تعیین نموده‌ایم این بخش غیرفعال است.

Implement Using: دو نوع پیاده‌سازی DSP48 و Fabric وجود دارد که در آن ساختار Pipeline را تعیین می‌شود (برای کسب اطلاعات راجع به ساختارها به Datasheet مراجعه کنید).

Input Type و Input Width: نوع(از لحاظ علامتدار یا بدون علامت بودن) و عرض بیت داده ورودی را تعیین می‌کند.

Add Mode: از شما می‌خواهد که نوع عملیات را تعیین کنید. زیرا هسته‌ی مربوطه عملیات تفریق را هم انجام می‌دهد.

Latency Configuration: مدت زمان بیرون آمدن اولین داده‌ی خروجی را در اینجا تعیین می‌کنید. برای این قسمت دو حالت اتوماتیک[۱] و دستی[۲] وجود دارد. در حالت اتوماتیک تصمیم برای تعداد مراحل Pipleline به صورت بهینه توسط تولیدکننده‌ی هسته تعیین می‌شود، اما در حالت دستی خودتان تعداد مراحل را تعیین می‌کنید.

Constant Input: شرایطی وجود دارد که در آن می‌خواهید تک ورودی خود را با یک عدد ثابت جمع کنید. در این حالت تیک مربوط به این قسمت را زده و در جلوی آن مقدار ثابت را به باینری وارد می‌کنید.

در قسمت‌های بعدی سیگنال‌های کنترلی وجود دارد که با زدن تیک کنار هر کدام آن را فعال خواهید کرد.

در عبارت آخر که Power-on ResetInitValue نام دارد مقدار اولیه را تنظیم می‌کنید.

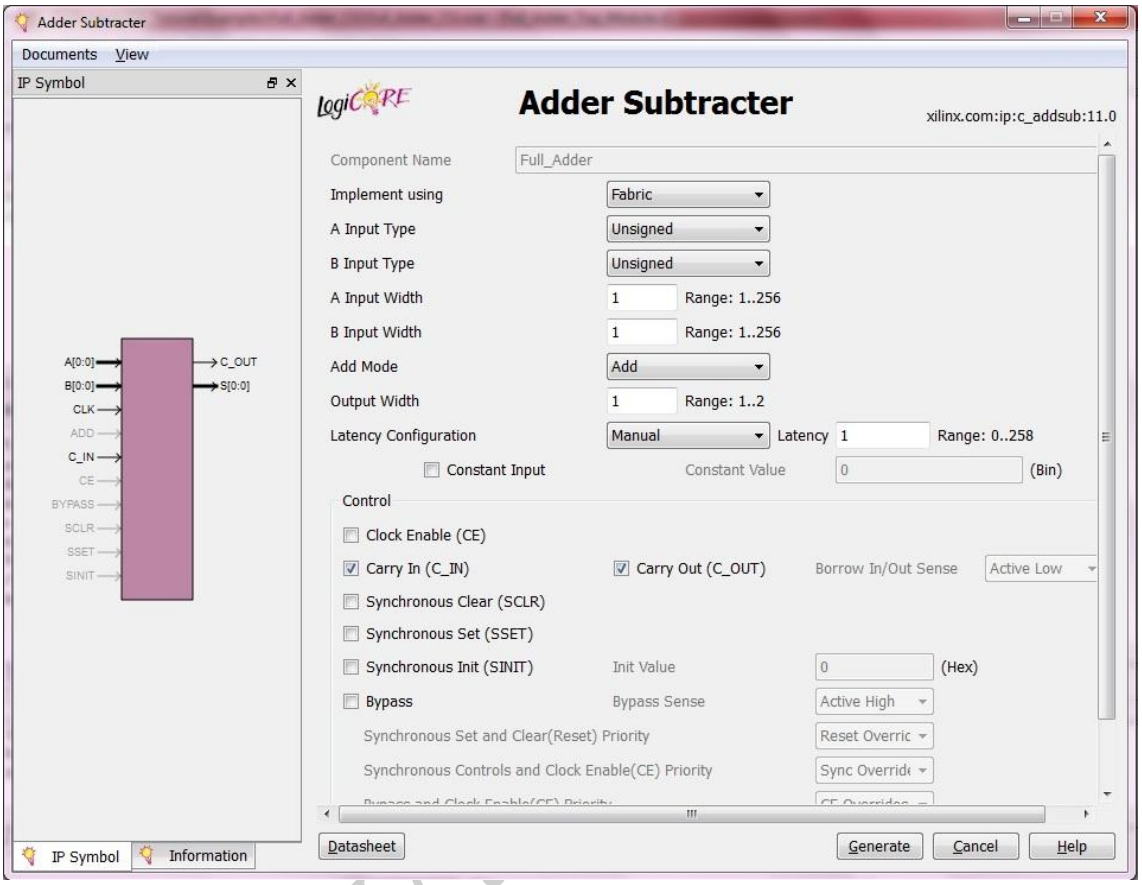
---

[۱] Automatic

[۲] Manual

www.ICEEP.ir

در شکل زیر جمع‌کننده ساده‌ی تک بیتی که قبلا شکل ترکیبی آن مورد استفاده بود، را شکل داده ایم.



شکل (۲-۱۲) تنظیم پارامتر برای جمع‌کننده‌ی ساده‌ی تک بیتی

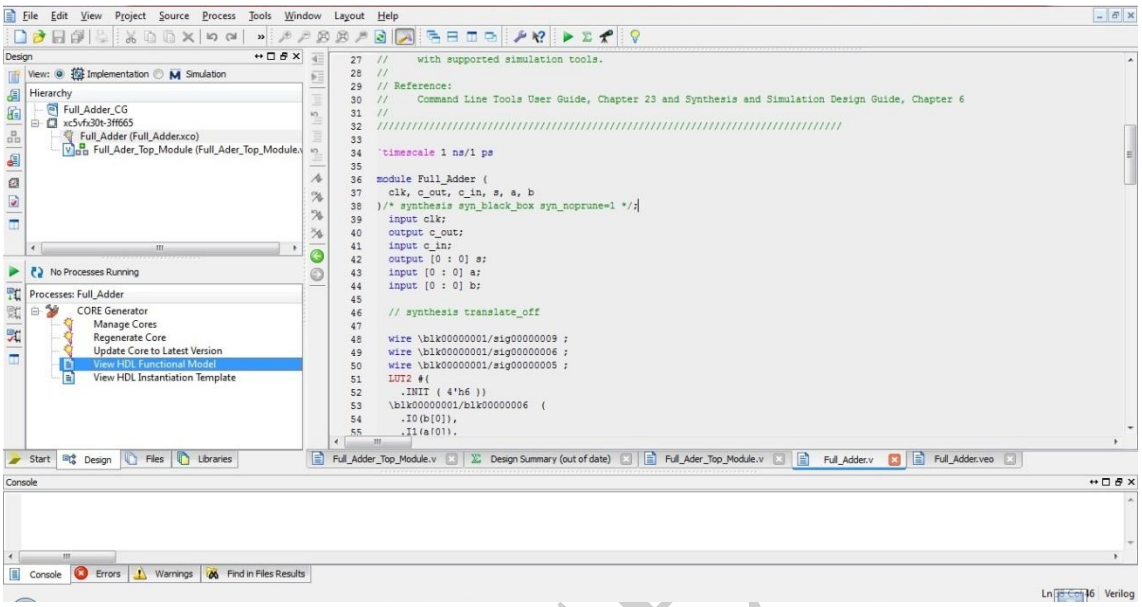
در نهایت روی عبارت تولید[۱] کلیک کنید. بعد از این کار چند دقیقه منتظر بمانید تا ISE با استفاده از تنظیمات شما هسته را پیاده کند.

بعد از پیاده‌سازی هسته در پنجره طراحی روی هسته رفته و در پنجره فرآیند روی تولیدکننده‌ی هسته کلیک کنید اگر روی عبارت View HDL Functional Model کلیک کنید کد هسته مربوطه را مشاهده می‌کنید و اگر روی View HDL Instantiation Template بروید نحوه‌ی

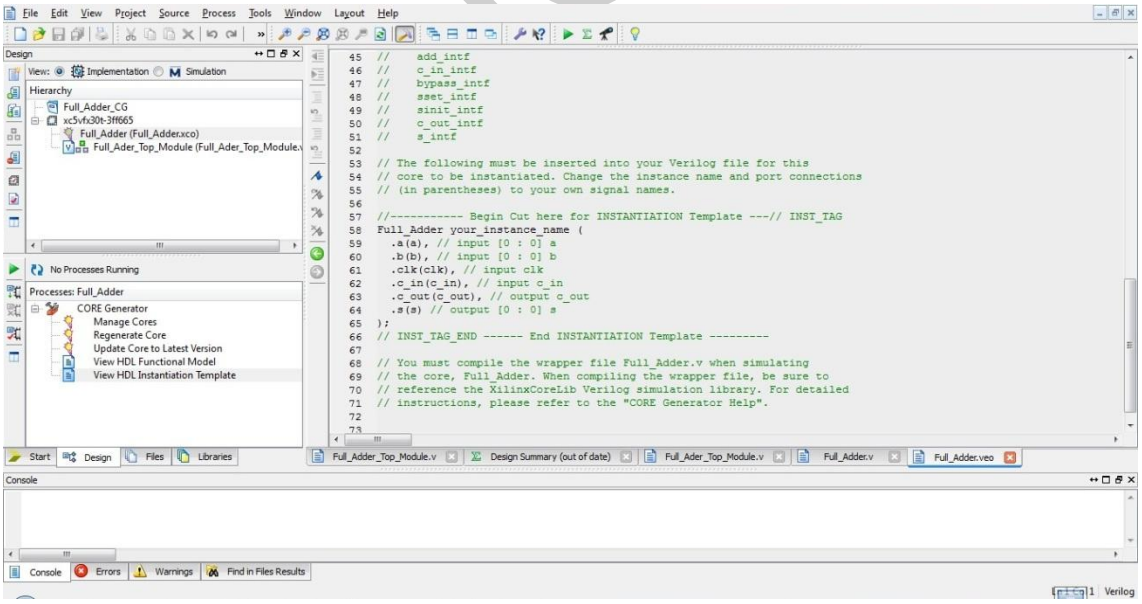
[۱] Generate

Copyright © 2013 ICEEP, University of Tehran

نمونه گیری از کد مذکور را میبینید. همین کد را کپی کرده و به بلوک اصلی خود ببرید و نام سیگنال‌ها را مطابق بلوک اصلی تغییر دهید.



شکل (۲-۱۳) HDL Functional Model



شکل (۲-۱۴) HDL Instantiation Template

```
 7  // Design Name:
 8  // Module Name:    Full_Adder_Top_Module
 9  // Project Name:
10  // Target Devices:
11  // Tool versions:
12  // Description:
13  //
14  // Dependencies:
15  //
16  // Revision:
17  // Revision 0.01 - File Created
18  // Additional Comments:
19  //
20  //////////////////////////////////////////////////////////////////////////////////
21  module Full_Adder_Top_Module(
22      input clk,
23      input a,
24      input b,
25      input cin,
26      output s,
27      output cout
28      );
29     Full_Adder my_Adder (
30        .a(a), // input [0 : 0] a
31        .b(b), // input [0 : 0] b
32        .clk(clk), // input clk
33        .c_in(cin), // input c_in
34        .c_out(cout), // output c_out
35        .s(s) // output [0 : 0] s
36        );
37
38  endmodule
39
```

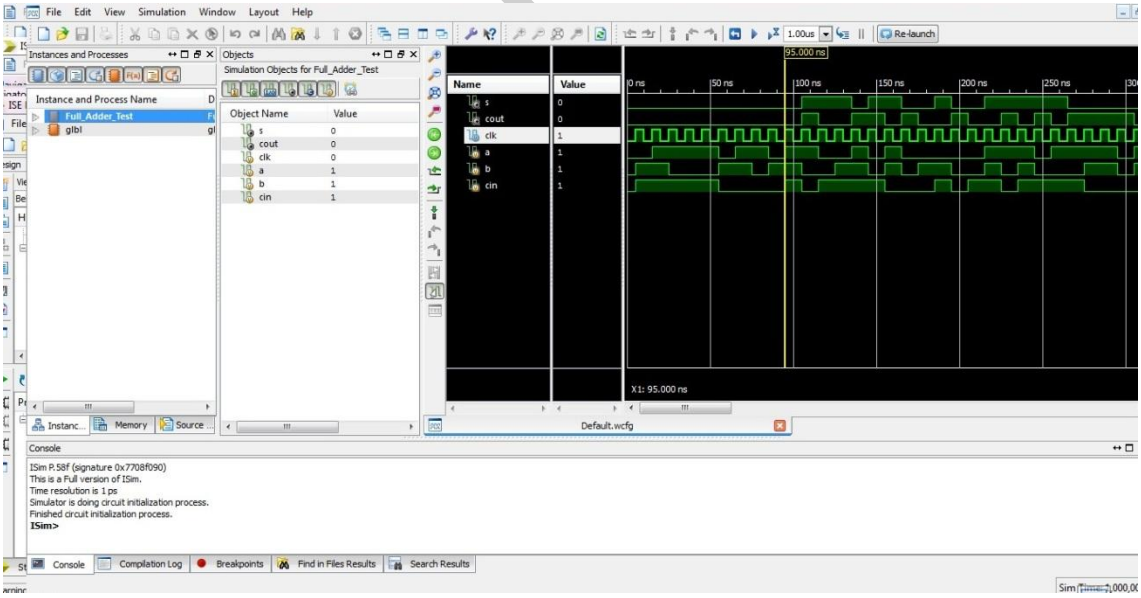
شکل (۲-۱۵) کد کامل بلوک اصلی

در نهایت برای تست طراحی Testbench ای مانند شکل ۲-۱۶ ایجاد کنید و آن را با ISim و یا Modelsim شبیه‌سازی کنید.

www.ICE

```
25  module Full_Adder_Test;
26     reg clk=0;
27     reg a;
28     reg b;
29     reg cin;
30     wire s;
31     wire cout;
32     Full_Adder_Top_Module uut (
33        .clk(clk),
34        .a(a),
35        .b(b),
36        .cin(cin),
37        .s(s),
38        .cout(cout)
39     );
40     initial begin
41        a = 0;
42        b = 0;
43        cin = 0;
44     end
45     initial begin forever clk = #5 ~clk; end
46     always @(posedge clk)
47        begin
48           a=$random;
49           b=$random;
50           cin=$random;
51        end
52  endmodule
```

شکل (۲-۱۶) Testbench



شکل (۲-۱۷) نتیجه شبیه‌سازی با ISim

همان طور که در شکل‌موج‌ها مشاهده می‌کنید، در ابتدا خروجی علی‌رغم اعمال ورودی صفر است. این مدت زمان، زمان راه‌اندازی هسته است که وابسته به عوامل مختلفی می‌باشد. اما بعد از زمان مشخصی (در زمان ۹۵ نانوثانیه) هر سه ورودی یک شده‌اند و در زمان ۱۰۵ نانوثانیه یعنی یک سیکل ساعت بعد، هر دو خروجی یک می‌شوند که در واقع اولین حاصل‌جمع خارج شده از جمع‌کننده است.

www.ICEEP.ir

واژه‌نامه

A	
Automatic	اتوماتیک، خودکار
B	
Breakpoint	نقطه‌ی انفصال
C	
Clock Region	ناحیه ی ساعت
Constraint	محدودیت
Core Generator	تولیدکننده‌ی هسته
D	
Debugging	اشکال‌زدایی
Design Analysis	آنالیز طراحی
Design Rule Check	بررسی قوانین طراحی
Drag and Drop	کشیدن و انداختن
Dynamic	پویا
E	
F	

www.ICEEP.ut

Full View	دید کامل
G	
Generate	تولید کردن
H	
Hardare Design Level	طراحی در سطح سخت‌افزار
I	
I/O Pin Planing	طرح‌ریزی پایه‌های I/O
Information	اطلاعات
J	
K	
L	
M	
Manual	دستی
Marker	نشان‌گذار
Math Functions	توابع ریاضی
N	

Noise	اختلال
O	
Objects	اشیا
P	
Part Selection	انتخاب بخش
Planning	طرح‌ریزی
Q	
R	
Restart	شروع دوباره
S	
Sequentially	پی در پی
Signal Integrity	تمامیت علائم
Simultaneous Switching Noise	اختلال ناشی از تغییر هم‌زمان
Simultaneous Switching Output	خروجی تغییر هم‌زمان
Spreadsheet	صفحه‌ی گسترده
Static	ایستا
Sub-Module	زیر واحد

www.iceep.ir

Subtractor	تفریق‌کننده
T	
Tab	برگه
Toolbar	منوی اصلی
U	
V	
W	
Weighted Average Simultaneous Switching Output	میانگین وزن‌دار خروجی تغییر هم‌زمان
X	
Y	
Z	
Zoom	بزرگنمایی

Copyright © 2013 ICEEP, University of Tehran