راهنمای استفاده از نرم‌افزار Modelsim

بر اساس نسخه

Modelisim-Altera Starter Edition 10.1 d

راهنمای راه‌اندازی اولیه

راهنمای پیش‌رو برای آموزش کار با نرم‌افزار Modelsim متعلق به شرکت Altera تهیه شده است. کلیه حقوق این اثر متعلق به گروه ICEEP دانشگاه تهران است. هر گونه تکثیر از این اثر منوط به اجازه‌ی کتبی پدیدآورندگان این راهنما در گروه ICEEP می‌باشد.

www.ICEEP.ir

روند بازبینی

نسخه	تاریخ	نسخه‌ی Modelsim	تغییرات
۱,۰	۹۲/۸/٦	Altera Starter Edition 10.1.d	-
۱,۱	۹۲/۹/۳۰	Altera Starter Edition 10.1 d	• تقسیم‌بندی مطالب • اصلاح متن

www.ICEEP.ir

فهرست

فصل ۱: پیشگفتار ٦

فصل ۲: چگونگی کار با نرم‌افزار ۸

۲-۱- ایجاد پروژه و اضافه کردن فایل‌های مورد نیاز به آن ۹

۲-۲- ایجاد توصیف سخت افزاری و شبیه سازی آن ۱۲

واژه‌نامه ۱۸

www.ICEEP.ir

فهرست شکل‌ها

شکل (۲-۱) پنجره‌ی آغازین ۹

شکل (۲-۲) پنجره‌ی شروع یک پروژه‌ی جدید یا باز کردن پروژه‌های قبلی ۱۰

شکل (۲-۳) پنجره ساخت پروژه‌ی جدید ۱۰

شکل (۲-٤) منوی File ۱۱

شکل (۲-۵) تعیین نام و مسیر فایل‌های یک پروژه ۱۱

شکل (۲-٦) اضافه کردن آیتم مورد نیاز به پروژه ۱۲

شکل (۲-۷) محل تعیین زبان توصیف سخت افزاری ۱۲

شکل (۲-۸) توصیف یک تمام جمع‌کننده به زبان Verilog ۱۳

شکل (۲-۹) توصیف یک فایل آزمون برای جمع‌کننده‌ی کامل به زبان Verilog ۱۳

شکل (۲-۱۰) گزینه‌ی Compile All موجود در نوار ابزار ۱٤

شکل (۲-۱۱) نمایی از رو نوشت موجود در پایین صفحه‌ی نرم‌افزار ۱٤

شکل (۲-۱۲) نحوه‌ی اجرای شبیه‌سازی ۱۵

شکل (۲-۱۳) نحوه‌ی اضافه کردن آیتم‌های موجود در طراحی به شکل موج ۱٦

شکل (۲-۱٤) قرار گرفتن آیتم‌های موجود در طراحی در پنجره‌ی شکل موج ۱٦

شکل (۲-۱۵) گزینه‌ی Run All در نوار ابزار ۱۷

شکل (۲-۱٦) شکل موج سیگنال‌های موجود در Full Adder ۱۷

www.ICEEP.ir

فصل اول

پیشگفتار

در این راهنما به بررسی نحوه‌ی استفاده از نرم‌افزار Modelsim-Altera Starter Edition خواهیم پرداخت. برای این کار از توضیح کلی برنامه شروع کرده و قدم به قدم با نحوه‌ی کار با بخش‌های مختلف آشنا می‌شویم.

بدیهی است گفتار پیش رو برای آن دسته از افرادی که با این نرم‌افزار آشنا نبوده و یا افرادی که خواهان بازیابی اطلاعاتشان در مورد این نرم‌افزار هستند مفید خواهد بود.

www.ICEEP.ir

Copyright © 2013 ICEEP, University of Tehran

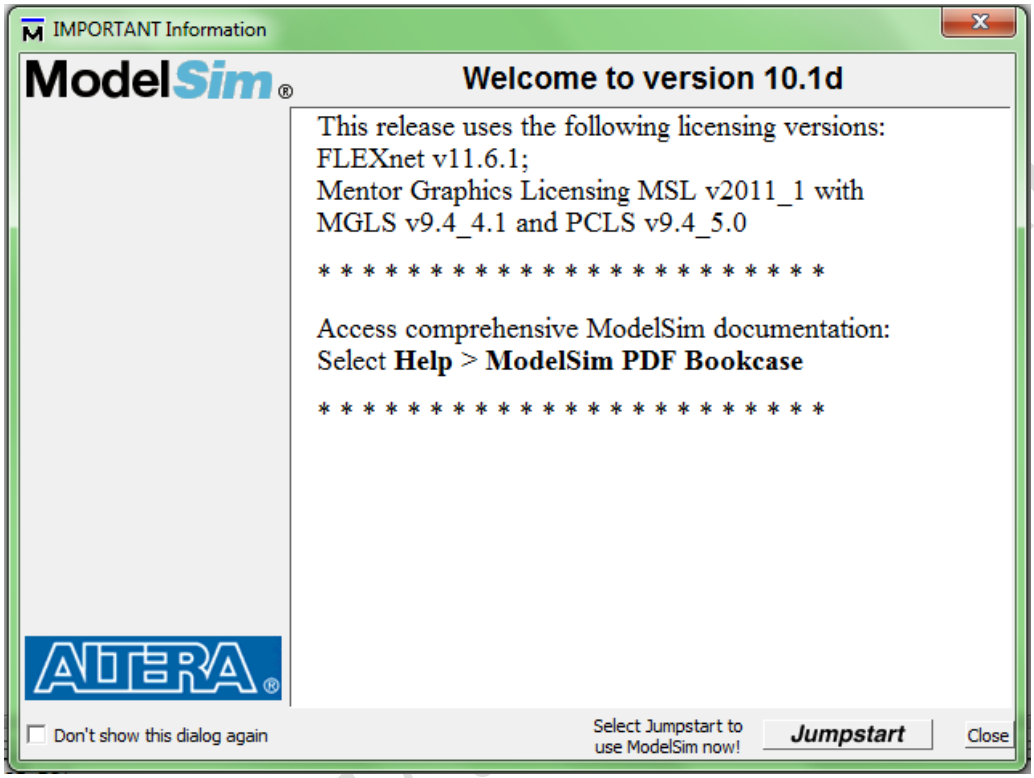
فصل دوم

چگونگی کار با

نرم‌افزار

۲-۱- ایجاد پروژه و اضافه کردن فایل‌های مورد نیاز به آن

به منظور طراحی[۱]، کامپایل[۲] و شبیه‌سازی[۳] مدل‌های سخت‌افزاری[۴] با استفاده از این نرم‌افزار ابتدا باید یک پروژه‌ی جدید[۵] بسازیم. به محض باز کردن نرم‌افزار پنجره‌ی زیر باز می‌شود.



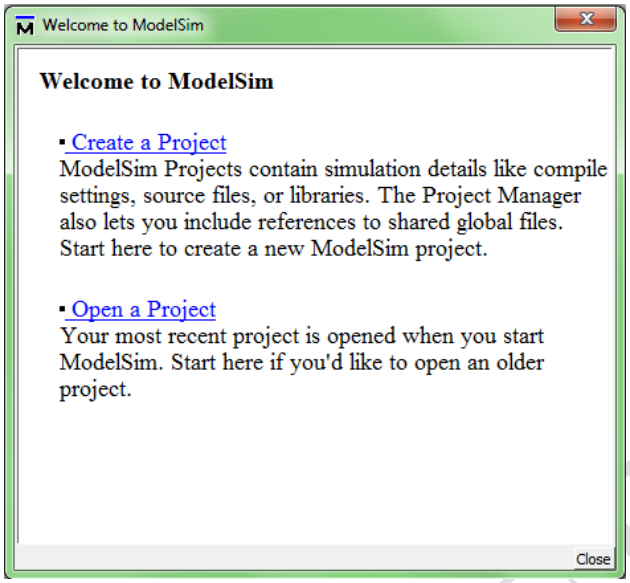
شکل (۲-۱) پنجره‌ی آغازین

با انتخاب گزینه "پرش به شروع"[۶] می‌توانید وارد نرم‌افزار شده و آن را به کار گیرید. در پنجره‌ی بعدی به شما این امکان داده می‌شود که یا یک پروژه‌ی جدید بسازید و یا یک پروژه‌ی از

---

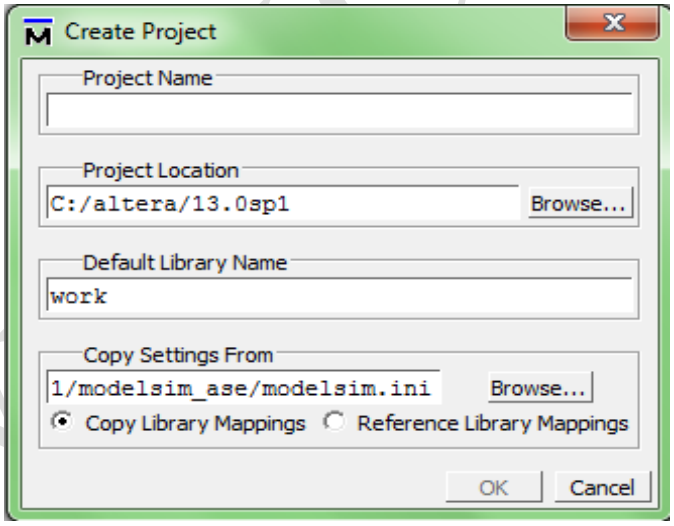
۱ Design
۲ Compile
۳ Simulation
۴ Hardware Modeling
۵ New Project
۶ Jumpstart
۷ Open

پیش ساخته شده را باز[۷] کنید.



شکل (۲-۲) پنجره‌ی شروع یک پروژه‌ی جدید یا باز کردن پروژه‌های قبلی

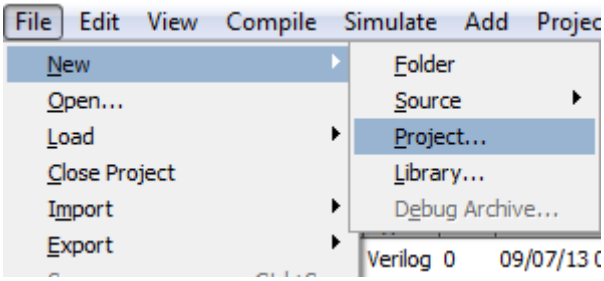
با انتخاب گزینه اول پنجره مربوط به ساخت پروژه‌ی[۱] جدید باز می‌شود.



شکل (۲-۳) پنجره ساخت پروژه‌ی جدید

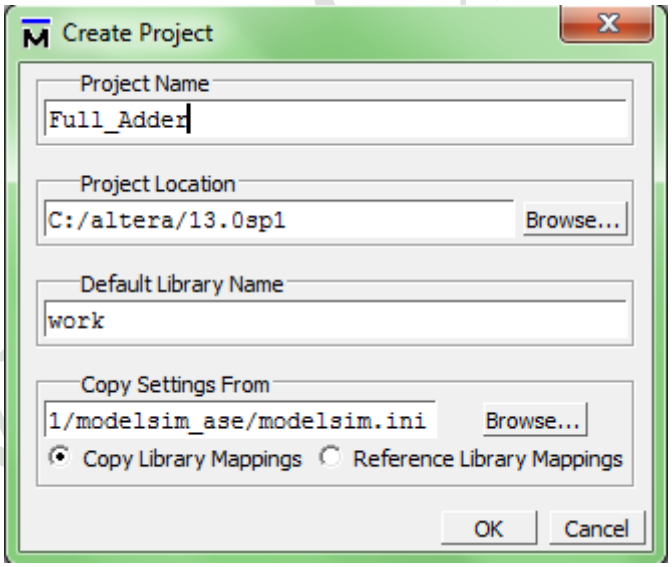
[۱] Create Project

روش دیگر دسترسی به این پنجره از طریق منوی File و از مسیر زیر می‌باشد.



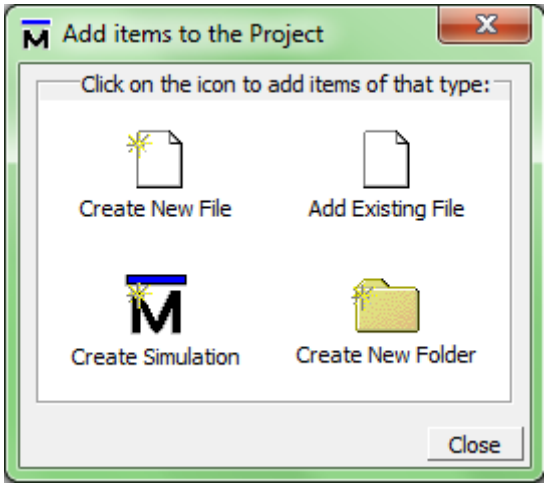
شکل (۲-٤) منوی File

برای ساخت پروژه‌ی جدید، نام مورد نظر را وارد کرده و مسیر ذخیره‌سازی آن را مشخص می‌کنیم و تایید را می‌زنیم. سپس باید فایل‌های مورد نظر را به پروژه اضافه کرد. در صورتی که می‌خواهید فایل جدید به پروژه اضافه کنید باید از Create New File و در صورتی که می‌خواهید فایل از پیش تعریف شده اضافه کنید باید از Add Existing File استفاده کنید.



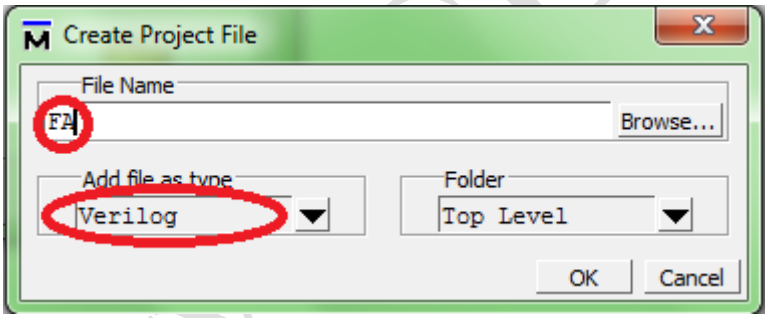
شکل (۲-۵) تعیین نام و مسیر فایل‌های یک پروژه

Copyright © 2013 ICEEP, University of Tehran



شکل (۲-۶) اضافه کردن آیتم مورد نیاز به پروژه

در مرحله بعد باید نام و زبان توصیف فایل را تعریف کنیم. این نرم‌افزار زبان‌های توصیف سخت‌افزاری مثل Verilog, VHDL, SystemC, SystemVerilog و ... را پشتیبانی می‌کند.



شکل (۲-۷) محل تعیین زبان توصیف سخت افزاری

۲-۲- ایجاد توصیف سخت افزاری و شبیه سازی آن

در مرحله بعد توصیف[۱] مربوط به هر یک از این فایل‌ها را وارد کرده و ذخیره می‌کنیم. برای این کار به ترتیب روی فایل‌ها دوبار کلیک می‌کنیم، با این کار امکان تغییر فایل از طریق ویرایشگر[۲]

[۱] Code

[۲] Editor

Copyright © 2013 ICEEP, University of Tehran

داخل برنامه یا به کمک نرم‌افزارهایی چون Notepad++ به کاربر داده می‌شود.

در این راهنما، ما می‌خواهیم یک جمع‌کننده‌ی کامل[1] را طراحی کرده، کامپایل و شبیه‌سازی کنیم. بنابراین علاوه بر فایل جمع‌کننده‌ی کامل نیاز به یک فایل آزمون[2] هم خواهیم داشت. هر دوی این فایل‌ها را به روش گفته شده می‌سازیم.

C:\altera\13.0sp1\FA.v - Default

```
Ln#
1
2   module FA (input a, b, Cin, output Sum, Cout);
3     assign Sum = a ^ b ^ Cin;
4     assign Cout = (a & b) | (a & Cin) | (b & Cin);
5   endmodule
```

شکل (۲–۸) توصیف یک تمام جمع‌کننده به زبان Verilog

C:\altera\13.0sp1\FA_TestBench.v - Default

```
Ln#
1   module FA_TestBench();
2     reg a = 0, b = 0, Cin = 0;
3     wire Cout, Sum;
4     parameter tlimit = 500;
5     FA FullAdder (a, b, Cin, Sum, Cout);
6     always begin
7       if ($time >= tlimit) $stop;
8       else begin
9         #17;
10        a = ~a;
11        #13;
12        Cin = ~Cin;
13        #19;
14        b = ~b;
15      end
16    end
17  endmodule
```

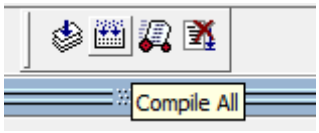
شکل (۲–۹) توصیف یک فایل آزمون برای جمع‌کننده‌ی کامل به زبان Verilog

[1] Full Adder

[2] TestBench

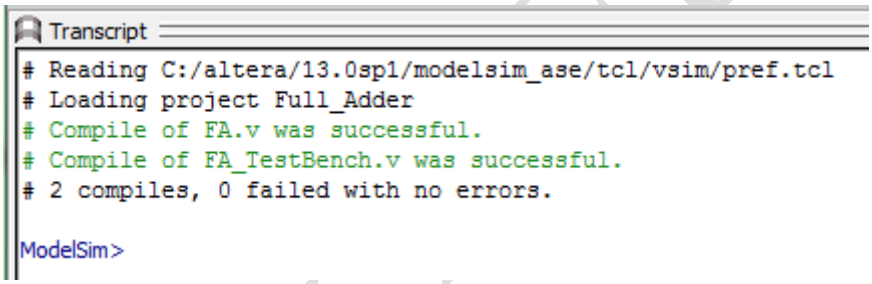
Copyright © 2013 ICEEP, University of Tehran

سپس به کمک دکمه‌ی Compile All موجود در نوار ابزار[1] هر دوی فایل‌ها را کامپایل می‌کنیم. به جهت کامپایل کردن تک تک فایل‌ها از دکمه‌ی سمت چپ دکمه‌ی قبل استفاده می‌کنیم. روش دیگر بهره‌بری از منوی Project و کلیک راست بر روی هر یک از فایل‌ها می‌باشد.



شکل (۲-۱۰) گزینه‌ی Compile All موجود در نوار ابزار

سپس با استفاده از بخش رونوشت[2] موجود در پایین نرم‌افزار اطمینان حاصل می‌کنیم که عملیات کامپایل با موفقیت انجام شده باشد.

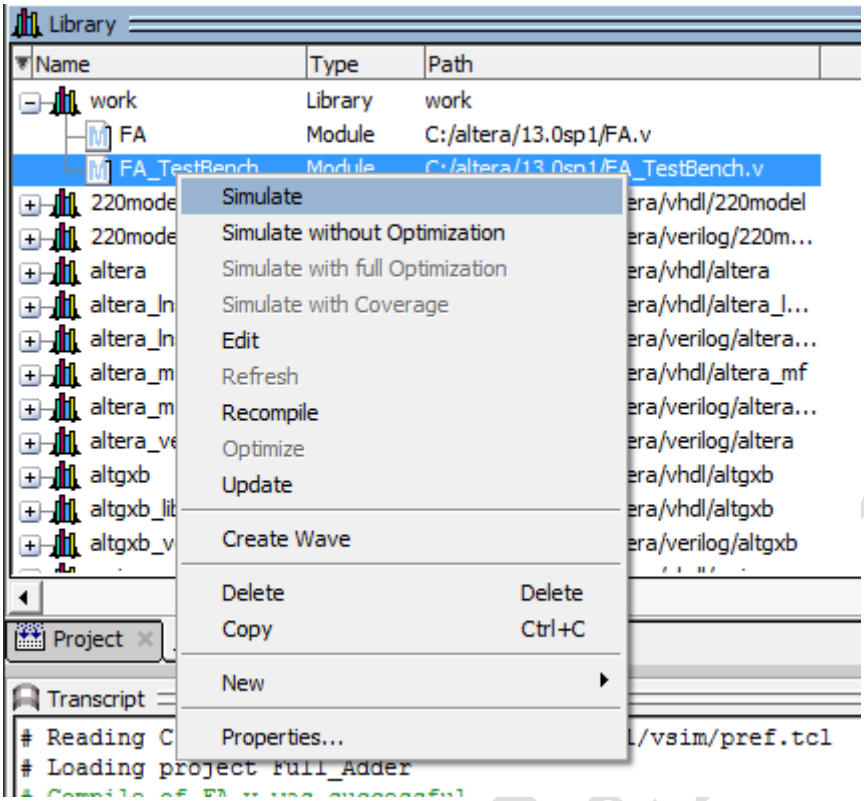


شکل (۲-۱۱) نمایی از رو نوشت موجود در پایین صفحه‌ی نرم‌افزار

سپس با استفاده از نمایه‌ی Library موجود در بخش Project نرم‌افزار شاخه[3]ی Work را باز می‌کنیم. در صورتی که این نمایه موجود نبود می‌توان با زدن تیک Library در منوی View به آن دسترسی پیدا کرد.

[1] Toolbar
[2] Transcript
[3] Tab

www.ICEEP.ir

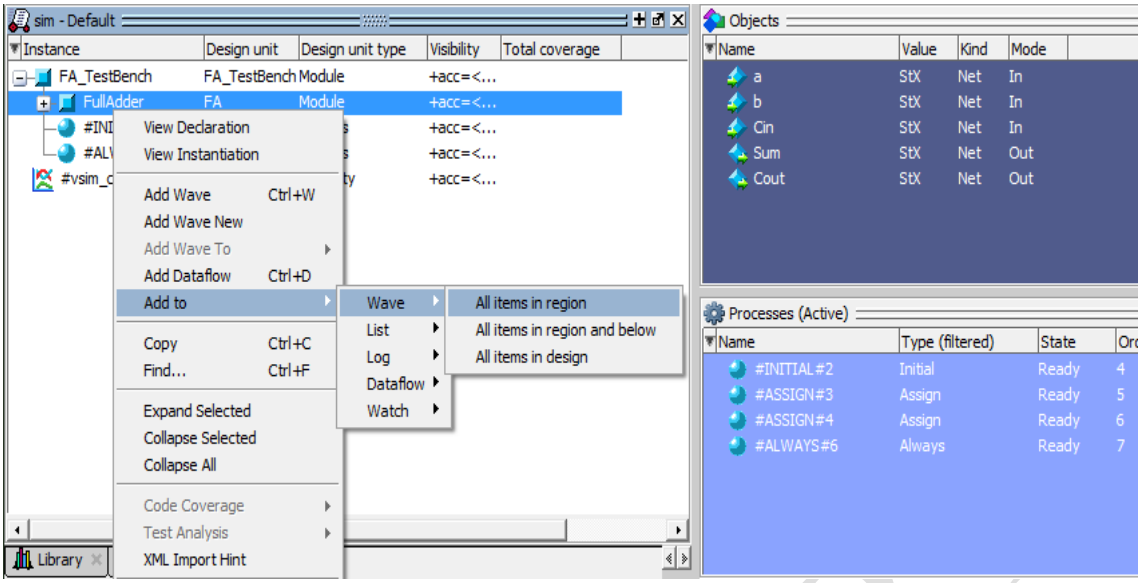


شکل (۲-۱۲) نحوه‌ی اجرای شبیه‌سازی

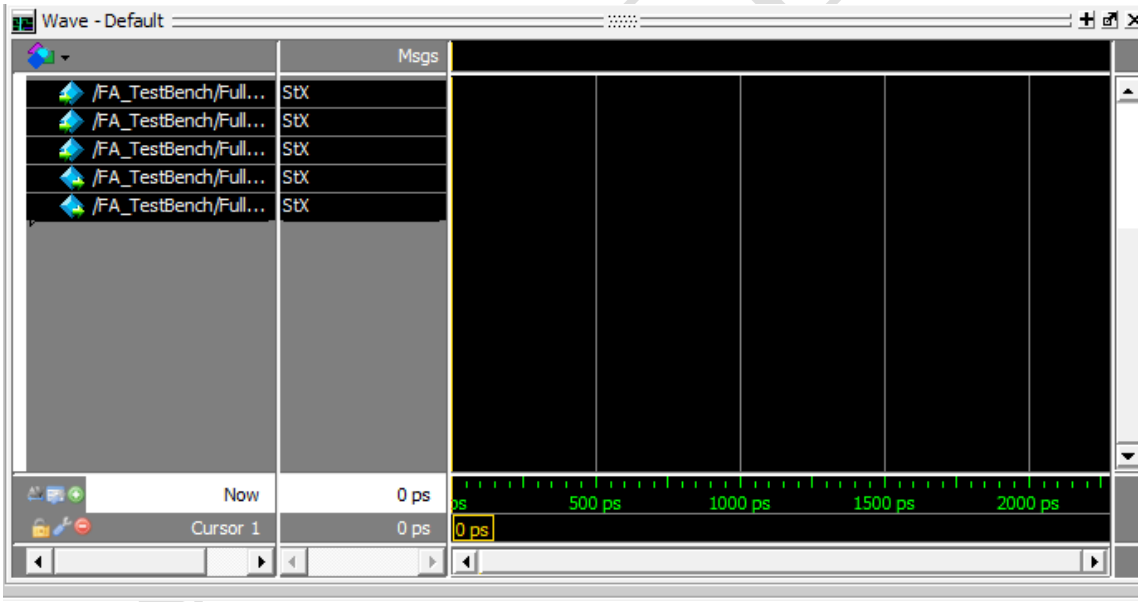
ملاحظه می‌شود که فایل‌های کامپایل شده زیرشاخه‌ی این کتابخانه هستند. روی فایل تست برنامه کلیک راست کرده و Simulate را انتخاب می‌کنیم.

بلافاصله تعدادی پنجره‌ی جدید باز می‌شود که با استفاده از Sim و مسیر زیر، آیتم‌های موجود در طراحی را به شکل موج اضافه می‌کنیم.

www.ICEEP.ir



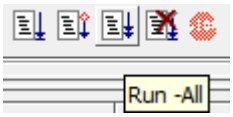
شکل (۲-۱۳) نحوه‌ی اضافه کردن آیتم‌های موجود در طراحی به شکل موج



شکل (۲-۱٤) قرار گرفتن آیتم‌های موجود در طراحی در پنجره‌ی شکل موج

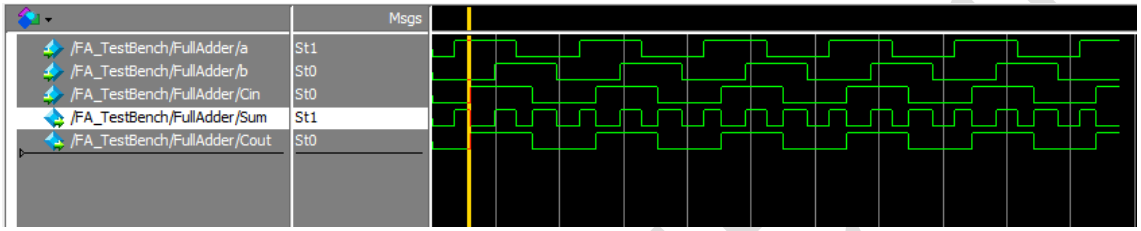
بعد از باز شدن پنجره شکل موج، دکمه‌ی Run ALL موجود در نوار ابزار را می‌زنیم. این امر باعث آغاز شدن شبیه‌سازی می‌شود. سپس کنترل به خطی می‌رود که سبب توقف شبیه‌سازی شده است.

Copyright © 2013 ICEEP, University of Tehran



شکل (۲-۱۵) گزینه‌ی Run All در نوار ابزار

با مراجعه به پنجره شکل موج تولید شده و بزرگ‌نمایی امواج می‌توان خروجی مدار طراحی شده را بررسی نموده و از صحت آن اطمینان حاصل کرد.



شکل (۲-۱۶) شکل موج سیگنال‌های موجود در Full Adder

لازم به بیان است که قابلیت‌های این نرم‌افزار بسیار زیاد بوده و آن چه در این راهنما آورده شده تنها ساده‌ترینِ آن‌ها می‌باشد.

www.ICEEP.ir

واژه‌نامه

A	
Add	اضافه کردن
B	
Block	بلوک
Breakpoint	نقطه‌ی انفصال
C	
Code	توصیف
Compile	کامپایل
Compiler	کامپایلر
Configuration	مشخصات
Create Project	ساخت پروژه
Curser	نشانه‌گر
D	
Drag and Drop	کشیدن و رها کردن
Debugging	عیب‌یابی
Decimal	دهدهی
Declaration	تعریف
Depth	عمق
Description Language	زبان توصیف
Default	پیش‌فرض

www.ICEEP.ir

Design	طراحی
Directory	مسیر
Download	بارگیری
E	
Editor	ویرایشگر
Error	خطا
Event	رویداد
Existing File	فایل از پیش تعریف شده
Extended VCD	VCDتوسعه یافته
F	
Falling Edge	لبه‌ی پایین رونده
Flip-Flop	فلیپ فلاپ
G	
Gate	گیت
H	
Hardware Modeling	مدل های سخت افزاری
Hierarchy of Object Oriented Designs	سلسله مراتب طراحی‌های شی‌گرایانه
I	
I Agree	اعلام موافقت

www.ICEEP.ir

Individual files	فایل‌های تکی
Install	نصب
Installation Directory	مسیر نصب
Instance	نمونه
Integer	عدد صحیح
J	
Jumpstart	پرش به شروع
K	
L	
Library Mapping	نگاشت کتابخانه
License	مجوز
Link	پیوند
Linking	اتصال
Load	بارگزاری
Local	محلی
M	
Macro	ماکرو
Method	متد
Module	ماجول

www.ICEEP.ir

N	
New Project	پروژه جدید
Next	بعدی
O	
Open	باز کردن
Optimization	بهینه‌سازی
P	
Pathname Pane	قسمت نام مسیر
Pattern	الگو
Pause	توقف
Process	پردازش
Q	
R	
Radix	مبنا
Random	تصادفی
Read Only	فقط خواندنی
Recompile	دوباره کامپایل کردن
Register	ریجستر
Reset	بازنشاندن

Copyright © 2013 ICEEP, University of Tehran

Resource Libraries	کتابخانه‌های منبع
Resume	شروع دوباره
Rising Edge	لبه‌ی بالا رونده
Run	اجرا
S	
Save	ذخیره
Simulation	شبیه‌سازی
Simulator	شبیه‌ساز
skip	پرش
Source files	فایل منبع
Standard Delay Format	فرمت استاندارد تاخیر
Step	گام
Structure	ساختمان
Summary	خلاصه
T	
Text Box	جعبه‌ی نوشته
Thread	رشته
Transcript	رونوشت
Transition	گذار
Typical	معمول

www.ICEEP.ir

U	
Unit	واحد
V	
Values Pane	قسمت مقادیر
Version	نسخه
W	
Warning	اخطار
Waveform	شکل موج
Width	پهنا
Wire	سیم
Wizard	روند
X	
Y	
Z	
Others	
Summary	یابنده‌ی ۱۰۱

ICEEP.ir